

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-25262

(P2007-25262A)

(43) 公開日 平成19年2月1日(2007.2.1)

(51) Int.Cl.	F I	テーマコード (参考)
GO2F 1/1339 (2006.01)	GO2F 1/1339 500	2H089
GO2F 1/1368 (2006.01)	GO2F 1/1368	2H092
HO1L 29/786 (2006.01)	HO1L 29/78 618C	5F110
	HO1L 29/78 617K	
	HO1L 29/78 616T	
審査請求 未請求 請求項の数 2 O L (全 10 頁)		

(21) 出願番号 特願2005-207267 (P2005-207267)

(22) 出願日 平成17年7月15日 (2005.7.15)

(71) 出願人 000001443

カシオ計算機株式会社

東京都渋谷区本町1丁目6番2号

(74) 代理人 100058479

弁理士 鈴江 武彦

(74) 代理人 100091351

弁理士 河野 哲

(74) 代理人 100088683

弁理士 中村 誠

(74) 代理人 100108855

弁理士 蔵田 昌俊

(74) 代理人 100075672

弁理士 峰 隆司

(74) 代理人 100109830

弁理士 福原 淑弘

最終頁に続く

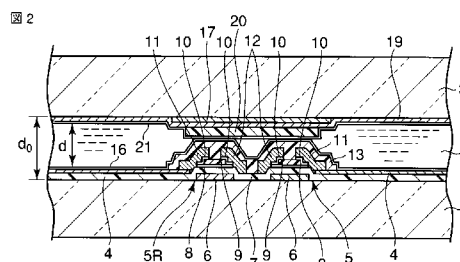
(54) 【発明の名称】 液晶表示素子

(57) 【要約】

【課題】画素部の液晶層厚を小さくして応答速度を速くし、且つ、全ての画素部の液晶層厚を均一にして表示むらの無い良好な表示品質を得るとともに、基板間隔の保持強度を高くし、さらにTFTの電流量を多くして画素へのデータ信号の書き込み時間を短くし、しかも、基板間への液晶の充填を能率良く行なうことができるアクティブマトリックス型の液晶表示素子を提供する。

【解決手段】液晶層1を挟んで対向する一对の基板2, 3の一方の内面に、複数の画素電極4と、画素電極4の幅と同程度のチャンネル長を有する複数のTFT5, 5Rと、複数のゲート配線14, 14R及びデータ配線15, 15Rを設け、他方の基板3の内面に、対向電極19と、複数のTFT5, 5Rに対応する部分毎に前記TFTのチャンネル長方向に間隔をおいて形成され、前記TFT5, 5R上に当接して一对の基板2, 3の間隔を規定する複数の樹脂膜からなる柱状スペーサ20を設けた。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

液晶層を挟んで対向する一对の基板の互いに対向する内面のうち、一方の基板の内面に、マトリックス状に配列する複数の画素電極と、前記複数の画素電極にそれぞれ対応させて形成され、前記画素電極の幅と同程度のチャンネル長を有し、対応する前記画素電極に接続された複数の薄膜トランジスタと、複数の薄膜トランジスタにゲート信号を供給する複数のゲート配線と、前記複数の薄膜トランジスタにデータ信号を供給する複数のデータ配線とが設けられ、他方の基板の内面に、前記複数の画素電極と対向する対向電極と、前記複数の薄膜トランジスタに対応する部分毎に前記薄膜トランジスタのチャンネル長方向に間隔をおいて形成され、前記薄膜トランジスタ上に当接して前記一对の基板の間隔を規定する複数の樹脂膜からなる柱状スペーサが設けられていることを特徴とする液晶表示素子。

10

【請求項 2】

他方の基板の内面に、一方の基板に設けられた薄膜トランジスタ上に当接する複数の柱状スペーサの間に対応する部分に開口を有する下地膜が設けられ、その上に前記複数の柱状スペーサが形成されていることを特徴とする液晶表示素子。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、薄膜トランジスタ（以下、TFTと記す）を能動素子とするアクティブマトリックス型の液晶表示素子に関する。

20

【背景技術】

【0002】

TFTを能動素子とするアクティブマトリックス型の液晶表示素子は、液晶層を挟んで対向する一对の基板の互いに対向する内面のうち、一方の基板の内面に、マトリックス状に配列する複数の画素電極と、前記複数の画素電極にそれぞれ対応させて形成され、対応する前記画素電極に接続された複数のTFTと、複数のTFTにゲート信号を供給する複数のゲート配線と、前記複数のTFTにデータ信号を供給する複数のデータ配線とを設け、他方の基板の内面に、前記複数の画素電極と対向する対向電極を設けた構成となっている。

30

【0003】

ところで、液晶表示素子は、応答速度を速くするために、液晶層厚をできるだけ小さくし、且つ表示むらの無い良好な表示品質を得るために、全ての画素部の液晶層厚を均一にすることが望まれている。

【0004】

そのため、従来のアクティブマトリックス型の液晶表示素子では、複数の画素電極とTFT及びゲート配線とデータ配線を形成した一方の基板の内面の各画素電極の側方の部分にそれぞれ、前記TFTと並べて、前記ゲート配線の一部とゲート絶縁膜と前記TFTのドレイン電極から延長させた延長膜とオーバーコート絶縁膜との積層膜からなるスペーサ当接部を形成し、対向電極を設けた他方の基板の内面に、前記スペーサ当接部にそれぞれ対応させて、樹脂膜を柱状にパターンニングしたスペーサを設け、これらの柱状スペーサを前記スペーサ当接部にそれぞれ当接させて一对の基板の間隔を規定している（特許文献1参照）。

40

【0005】

この液晶表示素子は、樹脂膜からなる柱状スペーサにより基板間隔を規定しているため、基板間ギャップを小さくすることができ、したがって、液晶層厚を小さくし、応答速度を速くすることができる。

【0006】

また、この液晶表示素子は、一方の基板の各画素電極の側方の部分にそれぞれスペーサ当接部を形成し、他方の基板に前記スペーサ当接部にそれぞれ対応させて前記柱状スペー

50

サを設けているため、基板間隔を、画素電極の配列ピッチに対応したピッチで規定し、全ての画素部の液晶層厚を均一にすることができる。

【特許文献１】特開２００３—１０７４９０号公報

【発明の開示】

【発明が解決しようとする課題】

【０００７】

しかし、上記従来の液晶表示素子は、一方の基板の各画素電極の側方の部分にそれぞれ、ＴＦＴと並べてスペーサ当接部を形成し、これらのスペーサ当接部に他方の基板に設けた柱状スペーサを当接させたものであるため、前記柱状スペーサによる基板間隔規定点の数が十分とはいえず、したがって、基板間隔の保持強度が弱く、そのために、基板が外部からの圧力等によりスペーサ間において撓み、その部分の液晶層厚が変化して表示むらを発生することがある。

10

【０００８】

しかも、この液晶表示素子は、前記スペーサ当接部をＴＦＴと並べて形成しているため、前記ＴＦＴの大きさ（面積）に制約があり、そのために、前記ＴＦＴのチャンネル長を大きくして電流量を多くし、画素へのデータ信号の書込み時間（ＴＦＴのオン時間）を短くすることが難しい。

【０００９】

この発明は、画素部の液晶層厚を小さくして応答速度を速くし、且つ、全ての画素部の液晶層厚を均一にして表示むらの無い良好な表示品質を得るとともに、基板間隔の保持強度を高くし、さらにＴＦＴの電流量を多くして画素へのデータ信号の書込み時間を短くし、しかも、基板間への液晶の充填を能率良く行なうことができるアクティブマトリックス型の液晶表示素子を提供することを目的としたものである。

20

【課題を解決するための手段】

【００１０】

この発明の液晶表示素子は、液晶層を挟んで対向する一对の基板の互いに対向する内面のうち、一方の基板の内面に、マトリックス状に配列する複数の画素電極と、前記複数の画素電極にそれぞれ対応させて形成され、前記画素電極の幅と同程度のチャンネル長を有し、対応する前記画素電極に接続された複数のＴＦＴと、複数のＴＦＴにゲート信号を供給する複数のゲート配線と、前記複数のＴＦＴにデータ信号を供給する複数のデータ配線とが設けられ、他方の基板の内面に、前記複数の画素電極と対向する対向電極と、前記複数のＴＦＴに対応する部分毎に前記ＴＦＴのチャンネル長方向に間隔をおいて形成され、前記ＴＦＴ上に当接して前記一对の基板の間隔を規定する複数の樹脂膜からなる柱状スペーサが設けられていることを特徴とする。

30

【００１１】

この発明の液晶表示素子においては、前記他方の基板の内面に、前記一方の基板に設けられたＴＦＴ上に当接する複数の柱状スペーサの間に対応する部分に開口を有する下地膜を設けられ、その上に前記複数の柱状スペーサを形成するのが望ましい。

【発明の効果】

【００１２】

40

この発明の液晶表示素子は、一方の基板の内面に、マトリックス状に配列する複数の画素電極にそれぞれ対応させて、前記画素電極の幅と同程度のチャンネル長を有するＴＦＴを設け、他方の基板の内面に、前記ＴＦＴに対応する部分毎に前記ＴＦＴのチャンネル長方向に間隔をおいて形成され、前記ＴＦＴ上に当接して前記一对の基板の間隔を規定する複数の樹脂膜からなる柱状スペーサを設けているため、画素部の液晶層厚を小さくして応答速度を速くし、且つ、全ての画素部の液晶層厚を均一にして表示むらの無い良好な表示品質を得るとともに、基板間隔の保持強度を高くし、さらにＴＦＴの電流量を多くして画素へのデータ信号の書込み時間を短くし、しかも、基板間への液晶の充填を能率良く行なうことができる。

【００１３】

50

この発明の液晶表示素子においては、前記他方の基板の内面に、前記一方の基板に設けられたＴＦＴ上に当接する複数の柱状スペーサの間に対応する部分に開口を有する下地膜を設けられ、その上に前記複数の柱状スペーサを形成するのが望ましく、このようにすることにより、前記基板間への液晶の充填をさらに能率良く行なうことができる。

【発明を実施するための最良の形態】

【００１４】

（第１の実施形態）

図１～図３はこの発明の第１の実施例を示しており、図１は液晶表示素子の一部分の平面図、図２は図１のⅡ－Ⅱ線に沿う拡大断面図、図３は図１のⅢ－Ⅲ線に沿う拡大断面図である。

【００１５】

この液晶表示素子は、フィールドシーケンシャル液晶表示装置に用いられるアクティブマトリックス型液晶表示素子であり、基本的には、液晶層１を挟んで対向する一对の透明基板２，３の互いに対向する内面のうち、一方の基板２の内面に、行方向及び列方向にマトリックス状に配列する複数の透明な画素電極４と、前記複数の画素電極４にそれぞれ対応させて形成され、対応する前記画素電極４に接続された複数のＴＦＴ５と、複数のＴＦＴ５にゲート信号を供給する複数のゲート配線１４と、前記複数のＴＦＴ５にデータ信号を供給する複数のデータ配線１５とが設けられ、他方の基板３の内面に、前記複数の画素電極４と対向する一枚膜状の透明な対向電極１９が設けられた構成となっている。

【００１６】

以下、前記画素電極４とＴＦＴ５とゲート配線１４及びデータ配線１５が設けられた一方の基板２をＴＦＴ基板といい、対向電極１９が設けられた他方の基板３を対向基板という。

【００１７】

なお、この実施例の液晶表示素子は、１フィールド毎に、前記複数の画素電極４と対向電極１９とが互いに対向する領域からなる複数の画素の書込み状態を一括してリセットするものであり、前記ＴＦＴ基板２の内面には、前記ＴＦＴ５とゲート配線１４及びデータ配線１５（以下、書込み用ＴＦＴ、書込み用ゲート配線、書込み用データ配線という）の他に、前記複数の画素電極４にそれぞれ対応させて形成され、対応する前記画素電極４に接続された複数のリセット用ＴＦＴ５Ｒと、前記複数のリセット用ＴＦＴ５Ｒにゲート信号を供給する複数のリセット用ゲート配線１４Ｒと、前記複数のリセット用ＴＦＴ５Ｒにリセット信号を供給する複数のリセット用データ配線１５Ｒとが設けられている。

【００１８】

前記書込み用ＴＦＴ５は、前記画素電極４の一端側（図１において下側）に配置され、前記リセット用ＴＦＴ５Ｒは、前記画素電極４の他端縁（図１において上側）に配置されており、隣合う画素電極行の一方の行の画素電極４に対応する書込み用ＴＦＴ５と、他方の行の画素電極４に対応するリセット用ＴＦＴ５Ｒとは互いに隣合っている。

【００１９】

前記書込み用ＴＦＴ５とリセット用ＴＦＴ５Ｒは、平面形状が対称形な同じ積層構造のものであり、前記ＴＦＴ基板２の基板面に形成されたゲート電極６と、このゲート電極６を覆ってＴＦＴ基板２の略全体に形成されたゲート絶縁膜７と、前記ゲート絶縁膜７の上に前記ゲート電極６と対向させて形成されたｉ型半導体膜８と、このｉ型半導体膜８のチャンネル領域となる中央部の上に設けられたブロッキング絶縁膜９と、前記ｉ型半導体膜８の両側部の上にｎ型半導体膜１０を介して形成されたソース電極１１及びドレイン電極１２と、オーバーコート絶縁膜１３とからなっている。

【００２０】

また、前記書込み用ゲート配線１４とリセット用ゲート配線１４Ｒは、前記ＴＦＴ基板２の基板面に、各画素電極行の書込み用ＴＦＴ５の配置側とリセット用ＴＦＴ５Ｒの配置側とにそれぞれ沿わせて設けられており、前記書込み用ＴＦＴ５及びリセット用ＴＦＴ５Ｒのゲート電極６は、前記書込み用ゲート配線１４及びリセット用ゲート配線１４Ｒの前

10

20

30

40

50

記画素電極 4 に隣接する部分からなっている。

【 0 0 2 1 】

さらに、前記書込み用 T F T 5 及びリセット用 T F T 5 R の i 型半導体膜 8 とブロッキング絶縁膜 9 と n 型半導体膜 1 0 とソース電極 1 1 及びドレイン電極 1 2 は、前記ゲート配線 1 4 , 1 4 R の長さ方向に沿わせて、前記画素電極 4 の行方向の幅と同程度の長さに形成されている。

【 0 0 2 2 】

すなわち、前記書込み用 T F T 5 及びリセット用 T F T 5 R はそれぞれ、前記画素電極 4 の幅と同程度のチャンネル長を有している。

【 0 0 2 3 】

また、前記書込み用データ配線 1 5 とリセット用データ配線 1 5 R は、前記ゲート絶縁膜 7 の上に、各画素電極列の一側と他側（図 1 において左側と右側）にそれぞれ沿わせて設けられ、前記リセット用データ配線 1 5 R は、前記各画素電極列の他側（図 1 において右側）にそれぞれ沿わせて設けられており、前記書込み用 T F T 5 のドレイン電極 1 2 は、前記書込み用データ配線 1 5 と一体に形成され、前記リセット用 T F T 5 R のドレイン電極 1 2 は、前記リセット用データ配線 1 5 R と一体に形成されている。

【 0 0 2 4 】

そして、前記画素電極 4 は、前記ゲート絶縁膜 7 の上に形成されており、この画素電極 4 の書込み用 T F T 5 に隣接する縁部に前記書込み用 T F T 4 のソース電極 1 1 が接続され、リセット用 T F T 5 R に隣接する縁部に前記リセット用 T F T 5 R のソース電極 1 1 が接続されている。

【 0 0 2 5 】

なお、前記書込み用 T F T 5 及びリセット用 T F T 5 R のオーバーコート絶縁膜 1 3 は、前記複数の画素電極 4 上の部分を除いて T F T 基板 2 の略全体に形成されており、前記書込み用データ配線 1 5 とリセット用データ配線 1 5 R は、前記オーバーコート絶縁膜 1 3 により覆われている。

【 0 0 2 6 】

また、前記 T F T 基板 2 の内面には、前記画素電極 4 の配列領域の全域にわたって配向膜 1 6 が形成されている。

【 0 0 2 7 】

一方、前記対向基板 3 の内面には、前記 T F T 基板 2 の複数の画素電極 4 にそれぞれ対応する複数の開口が設けられた金属膜（基板面に形成された酸化クロム膜とその上に形成されたクロム膜との積層膜）からなる遮光膜 1 7 が形成されており、その上に前記対向電極 1 9 が設けられている。

【 0 0 2 8 】

さらに、この対向基板 3 の内面には、前記遮光膜 1 7 と対向電極 1 9 との積層膜の上に、前記 T F T 基板 2 の隣合う書込み用及びリセット用 T F T 5 , 5 R に対応する部分毎に、前記 T F T 5 , 5 R のチャンネル長方向に間隔をおいて形成され、前記 T F T 5 , 5 R 上に当接して前記 T F T 基板 2 と対向基板 3 との間隔を規定する複数の樹脂膜からなる柱状スペーサ 2 0 が設けられており、その上に、前記画素電極 4 の配列領域の全域にわたって配向膜 2 1 が形成されている。

【 0 0 2 9 】

前記柱状スペーサ 2 0 は、前記遮光膜 1 7 と対向電極 1 9 との積層膜の上に感光性樹脂を一定厚さに塗布し、その樹脂膜を、前記隣合う書込み用とリセット用の T F T 5 , 5 R の両方の頂部にまたがる幅と、前記 T F T 5 , 5 R のチャンネル長を複数分割した長さ、例えば前記チャンネル長の約 1 / 6 の長さを有する矩形柱状にパターンニングして形成されており、前記隣合う書込み用及びリセット用 T F T 5 , 5 R のチャンネル長方向の両端部と中間部とに対応させて等間隔に設けられている。

【 0 0 3 0 】

そして、前記 T F T 基板 2 と対向基板 3 は、前記対向基板 3 の内面に設けた前記複数の

10

20

30

40

50

柱状スペーサ 20 を、前記 T F T 基板 2 の各 T F T 5 , 5 R 上 (オーバーコート絶縁膜 13 の上) に、両基板 2 , 3 の内面の配向膜 16 , 21 を介して当接させることにより、両基板 2 , 3 の間隔を規定され、前記画素電極 4 の配列領域を囲む図示しない枠状シール材を介して接合されており、これらの基板 2 , 3 間の前記枠状シール材により囲まれた領域に液晶層 1 が設けられている。

【0031】

なお、この液晶表示素子は、例えば非ツイストのホモジニアス配向型液晶表示素子であり、前記液晶層 1 の液晶分子は、一方向に分子長軸を揃えて基板 2 , 3 面と実質的に平行に配向している。

【0032】

この液晶表示素子は、前記 T F T 基板 2 の内面に、マトリックス状に配列する複数の画素電極 4 にそれぞれ対応させて書込み用及びリセット用 T F T 5 , 5 R を設け、対向基板 3 の内面に、前記 T F T 5 , 5 R 上に当接して前記一对の基板 2 , 3 の間隔を規定する複数の樹脂膜からなる柱状スペーサ 20 を設けているため、画素部の液晶層厚を小さくして応答速度を速くすることができる。

【0033】

すなわち、この液晶表示素子は、樹脂膜からなる柱状スペーサ 20 により基板間隔を規定しているため、画素部の基板間ギャップを小さくすることができ、したがって、前記画素部の液晶層厚を小さくし、応答速度を速くすることができる。

【0034】

なお、前記 T F T 基板 2 の内面に設けられた書込み用及びリセット用 T F T 5 , 5 R のゲート電極 6 の膜厚は $0.23\ \mu\text{m}$ 、ゲート絶縁膜 7 の膜厚は $0.25\ \mu\text{m}$ 、i 型半導体膜 8 の膜厚は $0.05\ \mu\text{m}$ 、ブロック絶縁膜 9 の膜厚は $0.10\ \mu\text{m}$ 、n 型半導体膜 10 の膜厚は $0.025\ \mu\text{m}$ 、ソース電極 11 及びドレイン電極 12 の膜厚は $0.425\ \mu\text{m}$ 、オーバーコート絶縁膜 13 の膜厚は $0.20\ \mu\text{m}$ であり、したがって前記 T F T 5 , 5 R の厚さは、 $1.28\ \mu\text{m}$ である。

【0035】

また、前記ゲート絶縁膜 7 上に形成された画素電極 4 の膜厚は $0.05\ \mu\text{m}$ 、対向基板 3 の内面に設けられた遮光膜 17 の膜厚は $0.17\ \mu\text{m}$ 、対向電極 19 の膜厚は $0.14\ \mu\text{m}$ 、両基板 2 , 3 の内面に設けられた配向膜 16 , 21 の膜厚はそれぞれ $0.05\ \mu\text{m}$ である。

【0036】

そして、この実施例では、前記柱状スペーサ 20 を $0.40\ \mu\text{m}$ の厚さに形成しており、したがって、前記柱状スペーサ 20 を前記 T F T 5 , 5 R 上に前記配向膜 16 , 21 を介して当接させることにより規定された両基板 2 , 3 の基板面間の間隔 d_0 は $2.07\ \mu\text{m}$ 、各画素部の基板間ギャップ (配向膜 16 , 21 間の間隙) d は $1.55\ \mu\text{m}$ である。

【0037】

また、この液晶表示素子は、T F T 基板 2 の内面に、前記複数の画素電極 4 にそれぞれ対応させて、前記画素電極 4 の幅と同程度のチャンネル長を有する書込み用及びリセット用 T F T 5 , 5 R を設け、対向基板 3 の内面に、前記 T F T 5 , 5 R に対応する部分毎に前記 T F T 5 , 5 R のチャンネル長方向に間隔をおいて複数の柱状スペーサ 20 を設けているため、前記柱状スペーサ 20 による基板間隔規定点の数を十分に多くし、全ての画素部の液晶層厚を均一にして表示むらの無い良好な表示品質を得るとともに、基板間隔の保持強度を高くし、基板 2 , 3 が外部からの圧力等によりスペーサ 20 間で撓んで表示むらを発生するのを防ぐことができる。

【0038】

さらに、この液晶表示素子は、前記書込み用及びリセット用 T F T 5 , 5 R のチャンネル長を前記画素電極 4 の幅と同程度に長くしているため、これらの T F T 5 , 5 R の電流量を多くし、画素へのデータ信号の書込み時間 (書込み用 T F T 5 のオン時間) 及び書込み状態のリセット時間 (リセット用 T F T 5 R のオン時間) を短くすることができ、した

10

20

30

40

50

がって、フィールドシーケンシャル液晶表示装置の書込み周期（１フィールドの長さ）を短くし、ちらつきの無い高品質の画像を表示することができる。

【００３９】

しかも、この液晶表示素子は、前記画素電極４の幅と同程度のチャンネル長を有する書込み用及びリセット用ＴＦＴ５，５Ｒに、そのチャンネル長方向に間隔をおいて形成された複数の柱状スペーサ２０を当接させているため、一对の基板２，３間の前記枠状シール材により囲まれた領域に液晶を充填する際に、前記枠状シール材の一辺を部分的に欠落させて形成した液晶注入口（図示せず）から注入された液晶を、前記書込み用及びリセット用データ配線１５，１５Ｒに対応する部分の基板２，３間の間隙部と、前記書込み用及びリセット用ＴＦＴ５，５Ｒ上の柱状スペーサ２０間の部分の基板２，３間の間隙部との両方を通して液晶充填領域の全体に流入させることができ、したがって、前記基板２，３間への液晶の充填を能率良く行なうことができる。

10

【００４０】

なお、前記書込み用及びリセット用データ配線１５，１５Ｒに対応する部分の基板間ギャップ（配向膜１６，２１間の間隙）は、 $0.575\mu\text{m}$ 、前記書込み用及びリセット用ＴＦＴ５，５Ｒ上の柱状スペーサ２０間の部分の基板間ギャップ（配向膜１６，２１間の間隙）は、前記柱状スペーサ２０の厚さと同じ $0.40\mu\text{m}$ であり、いずれの部分も、液晶をスムーズに流通させる。

【００４１】

（第２の実施形態）

20

図４～図６はこの発明の第２の実施例を示しており、図４は液晶表示素子の一部分の平面図、図５は図４のⅤ—Ⅴ線に沿う拡大断面図、図６は図４のⅥ—Ⅵ線に沿う拡大断面図である。なお、この実施例において、上述した第１の実施例に対応するものについては図に同符号を付してその説明を省略する。

【００４２】

この実施例の液晶表示素子は、対向基板３の内面に、ＴＦＴ基板２に設けられた書込み用及びリセット用ＴＦＴ５，５Ｒ上に当接する複数の柱状スペーサ２０の間に対応する部分に開口１８ａを有する透明な下地膜（絶縁膜）１８を設け、その上に前記複数の柱状スペーサ２０を形成したものであり、他の構成は上述した第１の実施例の液晶表示素子と同じである。

30

【００４３】

この実施例の液晶表示素子は、前記対向基板２の内面に前記下地膜１８を設け、その上に前記複数の柱状スペーサ２０を形成しているため、前記書込み用及びリセット用ＴＦＴ５，５Ｒ上の柱状スペーサ２０間の部分の基板間ギャップ（配向膜１６，２１間の間隙）を大きくし、前記基板２，３間への液晶の充填をさらに能率良く行なうことができる。

【００４４】

この実施例の液晶表示素子において、前記下地膜１８は、前記柱状スペーサ２０の厚さ（この実施例では $0.40\mu\text{m}$ ）以上、より好ましくは前記柱状スペーサ２０の厚さの２～４倍の膜厚に形成するのが望ましく、このようにすることにより、液晶をほとんど抵抗無く流通させることができる。

40

【００４５】

この実施例では、前記下地膜１８を、 $1.30\mu\text{m}$ 、つまり前記柱状スペーサ２０の厚さの３．２５倍の膜厚に形成し、前記ＴＦＴ５，５Ｒ上の柱状スペーサ２０間の部分の基板間ギャップを $1.70\mu\text{m}$ としている。

【００４６】

（他の実施形態）

また、上記第１及び第２の実施例の液晶表示素子は、書込み用とリセット用のＴＦＴ５，５Ｒを備えたものであるが、この発明は、リセット用ＴＦＴを備えないアクティブマトリックス型液晶表示素子にも適用することができ、また、非ツイストのホモジニアス配向型液晶表示素子に限らず、例えばＴＮまたはＳＴＮ型液晶表示素子、強誘電性または反強

50

誘電性液晶表示素子等のアクティブマトリックス液晶表示素子にも適用することができる。

【図面の簡単な説明】

【0047】

【図1】この発明の第1の実施例を示す液晶表示素子の一部分の平面図。

【図2】図1のII—II線に沿う拡大断面図。

【図3】図1のIII—III線に沿う拡大断面図。

【図4】この発明の第2の実施例を示す液晶表示素子の一部分の平面図。

【図5】図4のV—V線に沿う拡大断面図。

【図6】図4のVI—VI線に沿う拡大断面図。

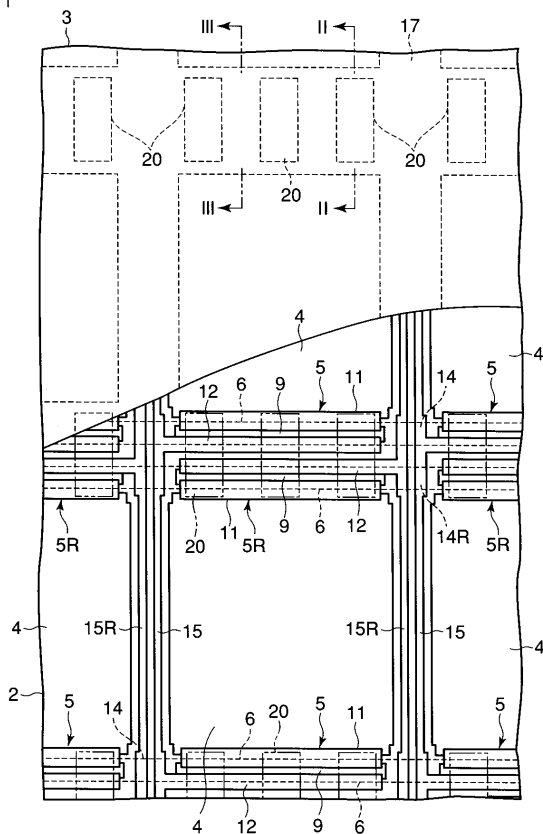
【符号の説明】

【0048】

1 ... 液晶層、2, 3 ... 基板、4 ... 画素電極、5 ... 書込み用TFT、5R ... リセット用TFT、14 ... 書込み用ゲート配線、14R ... リセット用ゲート配線、15 ... 書込み用データ配線、15R ... リセット用ゲート配線、17 ... 遮光膜、18 ... 下地膜、18a ... 開口、19 ... 対向電極、20 ... 柱状スペーサ。

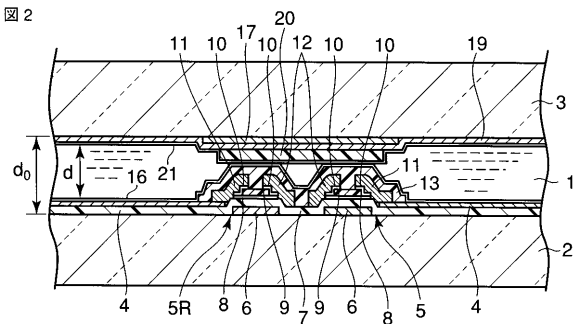
【図1】

図1



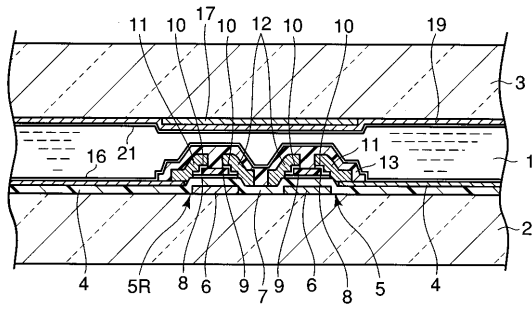
【図2】

図2



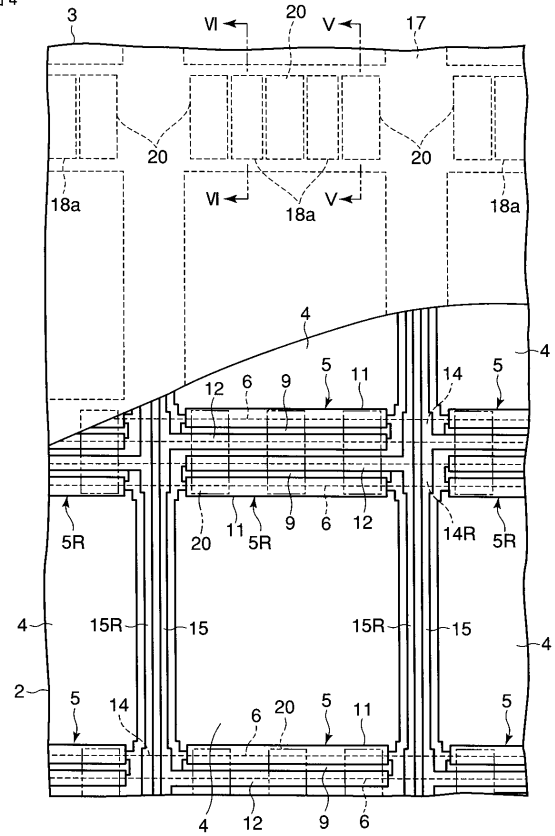
【 図 3 】

図 3



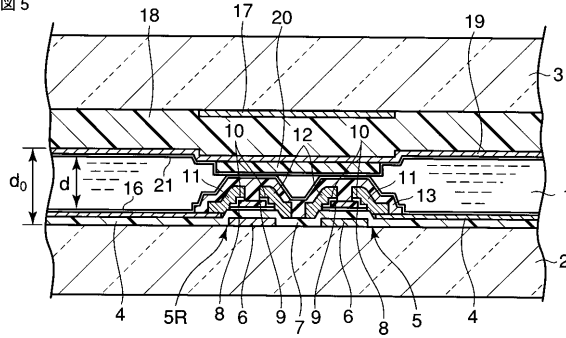
【 図 4 】

図 4



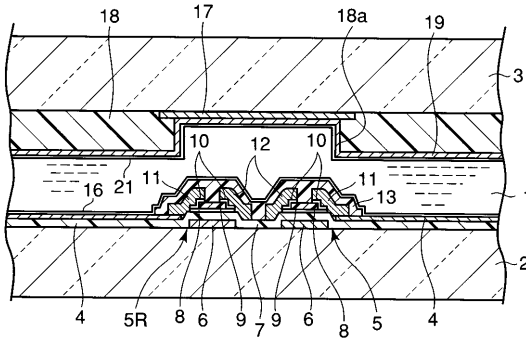
【 図 5 】

図 5



【 図 6 】

図 6



フロントページの続き

(74)代理人 100084618

弁理士 村松 貞男

(74)代理人 100092196

弁理士 橋本 良郎

(72)発明者 宮下 崇

東京都八王子市石川町 2 9 5 1 番地の 5 カシオ計算機株式会社八王子技術センター内

F ターム(参考) 2H089 LA09 LA16 MA03X NA14 PA01 QA04 QA12 QA14 QA16 RA09
TA09 TA13
2H092 GA12 GA24 JA26 JA28 JA31 JA34 JA37 JA41 JB13 JB22
JB31 JB42 JB51 JB56 MA01 MA12 NA05 NA21 NA27 PA03
PA09 QA09
5F110 AA07 BB01 CC07 EE25 GG25 GG26 GG28 GG29 HM05 NN72
NN80

专利名称(译)	液晶显示元件		
公开(公告)号	JP2007025262A	公开(公告)日	2007-02-01
申请号	JP2005207267	申请日	2005-07-15
[标]申请(专利权)人(译)	卡西欧计算机株式会社		
申请(专利权)人(译)	卡西欧计算机有限公司		
[标]发明人	宫下 崇		
发明人	宫下 崇		
IPC分类号	G02F1/1339 G02F1/1368 H01L29/786		
FI分类号	G02F1/1339.500 G02F1/1368 H01L29/78.618.C H01L29/78.617.K H01L29/78.616.T		
F-TERM分类号	2H089/LA09 2H089/LA16 2H089/MA03X 2H089/NA14 2H089/PA01 2H089/QA04 2H089/QA12 2H089/QA14 2H089/QA16 2H089/RA09 2H089/TA09 2H089/TA13 2H092/GA12 2H092/GA24 2H092/JA26 2H092/JA28 2H092/JA31 2H092/JA34 2H092/JA37 2H092/JA41 2H092/JB13 2H092/JB22 2H092/JB31 2H092/JB42 2H092/JB51 2H092/JB56 2H092/MA01 2H092/MA12 2H092/NA05 2H092/NA21 2H092/NA27 2H092/PA03 2H092/PA09 2H092/QA09 5F110/AA07 5F110/BB01 5F110/CC07 5F110/EE25 5F110/GG25 5F110/GG26 5F110/GG28 5F110/GG29 5F110/HM05 5F110/NN72 5F110/NN80 2H189/DA07 2H189/DA48 2H189/DA72 2H189/EA06X 2H189/FA16 2H189/HA12 2H189/HA16 2H189/JA05 2H189/JA08 2H189/JA11 2H189/JA19 2H189/JA20 2H189/LA10 2H192/AA24 2H192/CB05 2H192/CB14 2H192/CB52 2H192/CB71 2H192/CC24 2H192/CC64 2H192/EA23 2H192/EA34 2H192/GD23 2H192/JA03		
代理人(译)	河野 哲 中村 诚		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种有源矩阵型液晶显示元件，其通过减小像素部分上的液晶层的厚度来增加响应速度，并且在液体的恒定厚度下获得没有显示不均匀性的更优异的显示质量。所有像素部分的晶体层具有足够的保持基板之间间隙的强度，并且通过增加TFT的电流缩短了像素中写入数据信号的时间，并且进一步有效地填充了液晶。基板之间的间隙。ŽSOLUTION：液晶显示元件具有：多个像素电极4，多个TFT5，5R，其沟道长度等于像素电极4的宽度，多个栅极线14,14R和多个数据线15 15R设置在经由液晶层1彼此相对放置的一对基板2,3中的一个基板的内表面上;对应于多个TFT5,5R的各部分形成对电极19和柱状隔离物20，在TFT的沟道长度方向上间隔开，并通过与TFT接触而确定一对基板2,3之间的间隙。TFT5,5R的上侧，由设置在另一个基板3的内表面上的多个树脂膜构成。

