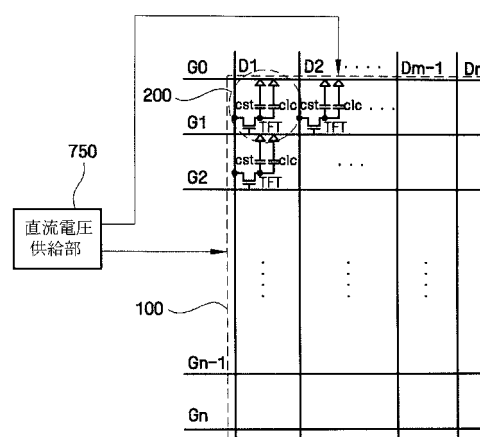




【特許請求の範囲】

【請求項 1】

ゲート電極、前記ゲート電極上に形成された半導体層、並びに前記半導体層上で且つ前記ゲート電極の両側にそれぞれ形成されたドレイン電極及びソース電極を含む複数の薄膜トランジスタを具備する液晶パネルを製造し、

前記液晶パネルの正常動作時に前記薄膜トランジスタをターンオフするために前記ゲート電極に印加される電圧レベルを第 3 電圧、前記液晶パネルの正常動作時に前記ドレイン電極に印加される電圧レベルのうち最大電圧レベルを第 4 電圧、前記ゲート電極に印加される電圧レベルを第 1 電圧且つ前記ドレイン電極に印加される電圧レベルを第 2 電圧とするとき、前記第 1 電圧－前記第 2 電圧＜前記第 3 電圧－前記第 4 電圧となるように直流電圧である前記第 1 電圧及び前記第 2 電圧を印加することを含むことを特徴とする液晶表示装置の製造方法。

10

【請求項 2】

前記第 1 電圧は－25～－30 V であって、前記第 2 電圧は接地電圧であることを特徴とする請求項 1 に記載の液晶表示装置の製造方法。

【請求項 3】

前記第 1 電圧が－25 V であるとき、電圧印加時間は 10 分以上であることを特徴とする請求項 2 に記載の液晶表示装置の製造方法。

【請求項 4】

前記半導体層は前記ドレイン電極及び前記ソース電極と一つの感光膜パターンとをエッチングマスクとして形成することを特徴とする請求項 1 に記載の液晶表示装置の製造方法。

20

【請求項 5】

前記半導体層は非晶質シリコンで形成されたことを特徴とする請求項 1 に記載の液晶表示装置の製造方法。

【請求項 6】

ゲート電極、前記ゲート電極上に形成された半導体層、並びに前記半導体層上で且つ前記ゲート電極の両側にそれぞれ形成されたドレイン電極及びソース電極を含む複数の薄膜トランジスタを具備する液晶パネル、前記複数の薄膜トランジスタをオフするゲートオフ電圧を供給する駆動電圧発生部、ゲート信号を前記液晶パネルのゲートラインに順次的に印加するゲート駆動部、前記駆動電圧発生部から前記ゲート駆動部に前記ゲートオフ電圧の伝達を決定するスイッチング部を含む液晶表示装置を製造し、

30

前記液晶パネルの正常動作時に前記薄膜トランジスタをターンオフするために前記ゲート電極に印加される電圧レベルを第 3 電圧、前記液晶パネルの正常動作時に前記ドレイン電極に印加される電圧レベルのうち最大電圧レベルを第 4 電圧、前記ゲート電極に印加される電圧レベルを第 1 電圧且つ前記ドレイン電極に印加される電圧レベルを第 2 電圧とするとき、前記第 1 電圧－前記第 2 電圧＜前記第 3 電圧－前記第 4 電圧となるように直流電圧である前記第 1 電圧及び前記第 2 電圧を印加することを含むことを特徴とする液晶表示装置の製造方法。

【請求項 7】

前記スイッチング部は、前記駆動電圧発生部から前記ゲート駆動部に前記ゲートオフ電圧を伝達するゲートオフ電圧ライン上に具備されたことを特徴とする請求項 6 に記載の液晶表示装置の製造方法。

40

【請求項 8】

外部電圧が前記ゲート駆動部に印加される時、前記スイッチング部は前記駆動電圧発生部と前記ゲート駆動部との接続を開放することを特徴とする請求項 6 に記載の液晶表示装置の製造方法。

【請求項 9】

前記第 1 電圧は－25～－30 V であって、前記第 2 電圧は接地電圧であることを特徴とする請求項 6 に記載の液晶表示装置の製造方法。

50

【請求項 10】

前記第 1 電圧が -25 V であるとき、電圧印加時間は 10 分以上であることを特徴とする請求項 9 に記載の液晶表示装置の製造方法。

【請求項 11】

前記半導体層は前記ドレイン電極及び前記ソース電極と一つの感光膜パターンとをエッチングマスクとして形成することを特徴とする請求項 6 に記載の液晶表示装置の製造方法。

【請求項 12】

前記半導体層は非晶質シリコンで形成されたことを特徴とする請求項 6 に記載の液晶表示装置の製造方法。

【請求項 13】

ゲート電極、前記ゲート電極上に形成された半導体層、並びに前記半導体層上で且つ前記ゲート電極の両側にそれぞれ形成されたドレイン電極及びソース電極を含む複数の薄膜トランジスタを具備する液晶パネルと、

前記複数の薄膜トランジスタをオフするゲートオフ電圧を供給する駆動電圧発生部と、ゲート信号を前記液晶パネルのゲートラインに順次的に印加するゲート駆動部と、

前記駆動電圧発生部から前記ゲート駆動部に前記ゲートオフ電圧の伝達を決定するスイッチング部とを含むことを特徴とする液晶表示装置。

【請求項 14】

前記スイッチング部は、前記駆動電圧発生部から前記ゲート駆動部に前記ゲートオフ電圧を伝達するゲートオフ電圧ライン上に具備されたことを特徴とする請求項 13 に記載の液晶表示装置。

【請求項 15】

外部電圧が前記ゲート駆動部に印加される時、前記スイッチング部は時前記駆動電圧発生部と前記ゲート駆動部との接続を開放することを特徴とする請求項 13 に記載の液晶表示装置。

【請求項 16】

前記液晶パネルの正常動作時に前記薄膜トランジスタをターンオフするための前記ゲート電極に印加される電圧レベルを第 3 電圧、前記液晶パネルの正常動作時に前記ドレイン電極に印加される電圧レベルのうち最大電圧レベルを第 4 電圧、前記ゲート電極に印加される電圧レベルを第 1 電圧且つ前記ドレイン電極に印加される電圧レベルを第 2 電圧とするとき、前記第 1 電圧 $-$ 前記第 2 電圧 $<$ 前記第 3 電圧 $-$ 前記第 4 電圧となるように直流電圧である前記第 1 電圧及び前記第 2 電圧を印加することを特徴とする請求項 13 に記載の液晶表示装置。

【請求項 17】

前記第 1 電圧は $-25 \sim -30\text{ V}$ であって、前記第 2 電圧は接地電圧であることを特徴とする請求項 16 に記載の液晶表示装置。

【請求項 18】

前記第 1 電圧が -25 V であるとき、電圧印加時間は 10 分以上であることを特徴とする請求項 17 に記載の液晶表示装置。

【請求項 19】

前記半導体層は前記ドレイン電極及び前記ソース電極と一つの感光膜パターンとをエッチングマスクとして形成することを特徴とする請求項 13 に記載の液晶表示装置。

【請求項 20】

前記半導体層は非晶質シリコンで形成されたことを特徴とする請求項 13 に記載の液晶表示装置。

【請求項 21】

液晶表示装置の正常動作時に薄膜トランジスタをターンオフするためのゲート電極に印加される電圧レベルを第 3 電圧、前記液晶表示装置の正常動作時にドレイン電極に印加される電圧レベルのうち最大電圧レベルを第 4 電圧、前記ゲート電極に印加する電圧レベル

10

20

30

40

50

を第 1 電圧且つ前記ドレイン電極に印加する電圧レベルを第 2 電圧とするとき、前記第 1 電圧－前記第 2 電圧＜前記第 3 電圧－前記第 4 電圧となるように直流電圧である前記第 1 電圧及び前記第 2 電圧を供給する直流電圧供給部と、

前記液晶表示装置の前記ゲート駆動部と前記データ駆動部とを安定化させる電圧を前記ゲート駆動部とガンマ電圧発生部とに供給する H V S 電圧供給部とを含むエージングシステムであって、

前記液晶表示装置は薄膜トランジスタをオフさせるためのゲートオフ電圧を供給する駆動電圧発生部、ゲート信号を順次的に印加するゲート駆動部、液晶パネルのデータラインにデータ信号を印加するデータ駆動部及び前記駆動電圧発生部で供給されたアレイ電源電圧でガンマ電圧を生成する前記ガンマ電圧発生部を含むことを特徴とするエージングシステム。

10

【請求項 2 2】

前記直流電圧供給部は－25～－30 V である前記第 1 電圧及び接地電圧である前記第 2 電圧を供給することを特徴とする請求項 2 1 に記載のエージングシステム。

【請求項 2 3】

前記直流電圧供給部は前記ゲート駆動部に－25 V～－30 V の電圧であるゲートオフ電圧を印加することを特徴とする請求項 2 1 に記載のエージングシステム。

【請求項 2 4】

前記直流電圧供給部は、接地電圧をアレイ電源電圧として前記ガンマ電圧発生部に供給し、電源電圧及びゲートオン電圧として前記ゲート駆動部に供給することを特徴とする請求項 2 3 に記載のエージングシステム。

20

【請求項 2 5】

前記駆動電圧発生部から前記ゲート駆動部に前記ゲートオフ電圧の伝達を決定するスイッチング部と、前記直流電圧供給部が前記ゲート駆動部に－25～－30 V であるゲートオフ電圧を印加する時、前記スイッチング部をターンオフするスイッチング信号を供給するスイッチング信号供給部とをさらに含むことを特徴とする請求項 2 1 に記載のエージングシステム。

【発明の詳細な説明】

【技術分野】

【0001】

30

本発明は液晶表示装置の製造方法、液晶表示装置及びエージングシステムに係り、さらに詳細には非晶質シリコン薄膜トランジスタを含む液晶表示装置の製造方法、液晶表示装置及びその製造方法に提供されるエージングシステムに関する。

【背景技術】

【0002】

一般的に、液晶表示装置は、共通電極及びカラーフィルター（color filter）等が形成されているカラーフィルター基板と、薄膜トランジスタ（Thin Film Transistor；TFT）及び画素電極などが形成されている薄膜トランジスタ基板との間に液晶物質を注入しておき、画素電極と共通電極とに相異なる電位を印加することによって電界を形成して液晶分子の配列を変化させて、これを通じて光の透過率を調節することによって画像を表現する装置である。

40

【0003】

薄膜トランジスタが一つのマスクを利用して形成されたドレイン電極と非晶質シリコンで構成された半導体層とを含む場合、バックライトから照射される光により相当部分露出した半導体層が存在する。非晶質シリコンで構成された半導体層は、光に露出されると光リーク電流が発生して電気伝導度が変化するようになる。したがって、ゲート電極の隣接部位の非晶質シリコンで構成された半導体層には、バックライトから照射された光により光リーク電流が発生するようになる。

【0004】

また、液晶表示装置はこのような光リーク電流によって残像が誘発され、このような残

50

像は残像評価時にバックライトを遮って駆動した領域の残像パターンでは残像が発生しないが、正常的に駆動する領域の残像パターンでは残像が発生する。

【0005】

このような残像が誘発される理由は、バックライトが正常的に動作する状態で薄膜トランジスタの駆動電圧の差が光リーク電流の差を誘発して、この差により画素電極とカラーフィルターに形成された共通電極とにかかる実効電圧が変化するためである。

【特許文献1】大韓民国特開2004-0048756号公開

【発明の開示】

【発明が解決しようとする課題】

【0006】

本発明が解決しようとする技術的課題は、光リーク電流の変化によって発生する残像を防止する液晶表示装置の製造方法を提供することにある。

【0007】

本発明が解決しようとする他の技術的課題は、光リーク電流の変化によって発生する残像を防止する液晶表示装置を提供することにある。

【0008】

本発明が解決しようとする他の技術的課題は、残像防止をする液晶表示装置の製造方法に提供されるエージングシステムを提供することにある。

【0009】

本発明の技術的課題は以上で言及した技術的課題に制限されず、言及されないまた他の技術的課題は下記の記載から当業者に明確に理解され得る。

【課題を解決するための手段】

【0010】

前記技術的課題を達成するために本発明の一実施形態による液晶表示装置の製造方法は、ゲート電極、前記ゲート電極上に形成された半導体層、並びに前記半導体層上で且つ前記ゲート電極の両側にそれぞれ形成されたドレイン電極及びソース電極を含む複数の薄膜トランジスタを具備する液晶パネルを製造し、前記液晶パネルの正常動作時に前記薄膜トランジスタをターンオフするために前記ゲート電極に印加される電圧レベルを第3電圧、前記液晶パネルの正常動作時前記ドレイン電極に印加される電圧レベルのうち最大電圧レベルを第4電圧、前記ゲート電極に印加される電圧レベルを第1電圧且つ前記ドレイン電極に印加される電圧レベルを第2電圧とすると、前記第1電圧－前記第2電圧<前記第3電圧－前記第4電圧となるように直流電圧である前記第1電圧及び前記第2電圧を印加することを含む。

【0011】

前記他の技術的課題を達成するための本発明の一実施形態による液晶表示装置は、ゲート電極、前記ゲート電極上に形成された半導体層、並びに前記半導体層上で且つ前記ゲート電極の両側にそれぞれ形成されたドレイン電極及びソース電極を含む複数の薄膜トランジスタを具備する液晶パネル、前記複数の薄膜トランジスタをオフするゲートオフ電圧を供給する駆動電圧発生部、ゲート信号を前記液晶パネルのゲートラインに順次的に印加するゲート駆動部、前記駆動電圧発生部から前記ゲート駆動部に前記ゲートオフ電圧の伝達を決定するスイッチング部を含む液晶表示装置を製造し、前記液晶パネルの正常動作時に前記薄膜トランジスタをターンオフするために前記ゲート電極に印加される電圧レベルを第3電圧、前記液晶パネルの正常動作時に前記ドレイン電極に印加される電圧レベルのうち最大電圧レベルを第4電圧、前記ゲート電極に印加される電圧レベルを第1電圧且つ前記ドレイン電極に印加される電圧レベルを第2電圧とすると、前記第1電圧－前記第2電圧<前記第3電圧－前記第4電圧となるように直流電圧である前記第1電圧及び前記第2電圧を印加する段階を含む。

【0012】

前記他の技術的課題を達成するために本発明の一実施形態によるエージングシステムは、液晶表示装置の正常動作時に薄膜トランジスタをターンオフするためのゲート電極に印

10

20

30

40

50

加される電圧レベルを第3電圧、前記液晶表示装置の正常動作時にドレイン電極に印加される電圧レベルのうち最大電圧レベルを第4電圧、前記ゲート電極に印加する電圧レベルを第1電圧且つ前記ドレイン電極に印加する電圧レベルを第2電圧とするとき、前記第1電圧－前記第2電圧＜前記第3電圧－前記第4電圧となるように直流電圧である前記第1電圧及び前記第2電圧を供給する直流電圧供給部と、

前記液晶表示装置の前記ゲート駆動部と前記データ駆動部とを安定化させる電圧を前記ゲート駆動部とガンマ電圧発生部とに供給するHVS電圧供給部とを含み、

前記液晶表示装置は薄膜トランジスタをオフさせるためのゲートオフ電圧を供給する駆動電圧発生部、ゲート信号を順次的に印加するゲート駆動部、液晶パネルのデータラインにデータ信号を印加するデータ駆動部及び前記駆動電圧発生部で供給されたアレイ電源電圧でガンマ電圧を生成する前記ガンマ電圧発生部を含む。 10

【0013】

その他実施形態の具体的な事項は詳細な説明及び図面に含まれている。

【発明の効果】

【0014】

前述したような本発明による液晶表示装置の製造方法、液晶表示装置及びその方法に提供するエージングシステムによれば次のような効果がある。

【0015】

液晶表示装置の非晶質シリコンで構成された半導体層には、ドレイン電極に印加された電圧レベルを基準にして更に低い電圧をゲート電極に印加することにより、低い電圧が印加される。そして、ドレイン電極とゲート電極とにそれぞれ印加された電圧レベルが液晶表示装置の正常動作時にドレイン電極とゲート電極との間の電圧レベルより更に低いようにそれぞれの電極に電圧を印加することによって液晶表示装置の残像評価時残像パターンで残像を防止することができる。 20

【発明を実施するための最良の形態】

【0016】

本発明の利点及び特徴、そしてそれらを達成する方法は添付される図面と共に詳細に後述する実施形態を参照すると明確になる。しかし、本発明は以下で開示する実施形態に限られることはなく、相異なる多様な形態で具現される。本実施形態は、単に、本発明が属する技術分野の通常の知識を有する者に発明の範ちゅうを完全に知らせるために提供するに過ぎず、本発明は請求項の範ちゅうにより定義される。明細書全体に渡って同一参照符号は同一構成要素を指す。 30

【0017】

以下、添付した図面を参照して本発明の望ましい実施形態による液晶表示装置の製造方法、液晶表示装置及びエージングシステムを詳細に説明する。

【0018】

図1及び図2を参照して、本発明の一実施形態による液晶表示装置の液晶パネルを説明する。

【0019】

図1は本発明の一実施形態による液晶表示装置の液晶パネルと直流電圧供給部の接続を示した概略的なブロック図であって、図2は本発明の一実施形態による液晶表示装置の薄膜トランジスタの断面図である。 40

【0020】

液晶パネル100はゲートラインG1－Gnから伝達を受けた信号によって薄膜トランジスタをオン（on）またはオフ（off）させて、データラインD1－Dmから伝達を受けた信号によって液晶を動作させる。液晶パネル100はゲートラインG1－Gn、データラインD1－Dm及び複数の画素200を含む。

【0021】

複数のゲートライン（G1－Gnまたは信号走査線）はゲート信号を伝達し、行方向に延びる。

【0022】

複数のデータラインD1-Dmは画像信号またはデータ信号を伝達し、列方向に延びる。

【0023】

各画素200は、ゲートラインG1-Gn、データラインD1-Dmに接続した薄膜トランジスタ(TFT)、これに接続した液晶キャパシタC1c及び維持キャパシタCstを含む。

【0024】

図2を参照して薄膜トランジスタ(TFT)について詳細に説明する。

【0025】

薄膜トランジスタ(TFT)は三端子素子であって、光透過率が高い透明基板である基板(210)上に形成される。薄膜トランジスタ(TFT)はゲートラインG1-Gn及びデータラインD1-Dmが交差する領域に形成される。薄膜トランジスタ(TFT)はゲート電極220、ゲート絶縁膜230、半導体層240、オーミックコンタクト層252、254、ドレイン電極260及びソース電極270を含む。

【0026】

ゲート電極220はゲートラインG1-Gnに接続されており、ゲートラインG1-Gnからゲートオン電圧Vonまたはゲートオフ電圧Voffの供給を受けて薄膜トランジスタ(TFT)をターンオンまたはターンオフする。ゲート電極220の上部に無機絶縁物で構成されたゲート絶縁膜230が形成される。

【0027】

一方、半導体層240は薄膜トランジスタ(TFT)のチャネルを形成する。半導体層240はゲート絶縁膜230上に形成され、ドレイン電極260とソース電極270との間に遮られない部分まで積層されて、ゲート電極220の両端よりも延長されてゲート電極220の周辺に突出部を形成する。半導体層240は非晶質シリコンで構成されており、ダングリング・ボンド(dangling bond)と弱いシリコン結合(weak Si-Si bond)とを含む。図2に示す本発明の一実施形態による液晶表示装置では4マスク工程により形成された半導体層240の例を挙げて説明するが、ゲート電極220の周辺に半導体層240が突出した構造ならば、半導体層240に限定されない。

【0028】

オーミックコンタクト層252、254は、半導体層240とドレイン電極260との間及び半導体層240とソース電極270との間のコンタクト抵抗を低める。オーミックコンタクト層252、254は半導体層240上で二部分に分けられている。オーミックコンタクト層252、254はシリサイドまたはn+非晶質シリコンで構成される。

【0029】

そして、ドレイン電極260は、データラインD1-Dmから印加された信号を薄膜トランジスタ(TFT)に供給する。ドレイン電極260はデータラインD1-Dmに接続されて、2つに分けられたオーミックコンタクト層252の一部の上に形成される。

【0030】

また、ソース電極270はドレイン電極260に印加された信号を画素電極282に供給する。ソース電極270はドレイン電極260が形成されたオーミックコンタクト層252と反対側のオーミックコンタクト層254上に形成される。

【0031】

一方、画素電極282は有機絶縁膜280上のコンタクトホール284を介してソース電極270と接続されており、ドレイン電極260に印加された信号の供給を受ける。

【0032】

液晶キャパシタC1cは、画素電極282、カラーフィルタ(図示せず)に形成された共通電極(図示せず)及びその間の液晶層(図示せず)を含む。共通電極(図示せず)に共通電圧が供給される。維持キャパシタCstの他の端子は真上のゲートラインG1-Gnに接続される。維持キャパシタCst(図示せず)は、その上を覆うゲートライン、

10

20

30

40

50

画素電極 282 及びゲート絶縁膜 230 を含む。

【0033】

このとき、用いられる維持キャパシタ C_{st} は、前段ゲート駆動方式と共通電極方式とを挙げることができる。以上で説明した本発明の一実施形態では、維持キャパシタ C_{st} を前段ゲート電極方式で説明したが、これに制限されるわけではなく、付加容量方式にも同じく適用することができる。

【0034】

直流電圧供給部 750 は非晶質シリコンで構成された半導体層 240 を安定させて残像検査時残像パターンにおいて残像を防止する。直流電圧供給部 750 はゲート電極 220 とドレイン電極 260 とに印加する直流電圧を供給する。直流電圧供給部 750 は、印加する直流電圧レベルで $-25 \sim -30 \text{ V}$ をゲート電極 220 に印加し、印加する電圧レベルで接地電圧をドレイン電極 260 に印加する。

10

【0035】

しかし、これに制限されなくて、液晶パネル 100 の正常動作時に薄膜トランジスタ (TFT) をターンオフするためにゲート電極 220 に印加される電圧レベルを V_1 、液晶パネル 100 の正常動作時にドレイン電極 260 に印加される電圧レベルのうち最大電圧レベルを V_2 、ゲート電極 220 に印加される電圧レベルを V_g 且つドレイン電極 260 に印加される電圧レベルを V_d とするとき、ゲート電極 220 及びドレイン電極 260 が許容される電圧レベルの範囲内において、 V_g 及び V_d は、 $V_g - V_d < V_1 - V_2$ を満たす。ここで、液晶パネル 100 の正常動作時にドレイン電極 260 に印加される最大電圧レベルは、液晶表示装置 (図 4 の 1 参考) の駆動電圧発生部 (図 4 の 510 参考) で生成したアレイ電源電圧 AV_{dd} のレベルと同じである。

20

【0036】

図 1 ないし図 3 を参照して本発明の一実施形態による液晶表示装置の製造方法を説明する。

【0037】

図 3 は本発明の一実施形態による液晶表示装置の製造方法において印加する電圧レベルを示した図面である。

【0038】

液晶パネル 100 のそれぞれのゲートライン $G_1 - G_n$ 及びデータライン $D_1 - D_m$ と直流電圧供給部 750 とを接続する。

30

【0039】

図 3 に示したように、直流電圧供給部 750 はゲート電極 220 に印加する直流電圧レベルで -25 V を生成し、ドレイン電極 260 に印加する電圧レベルで接地電圧を生成する。生成された電圧はそれぞれのゲートライン $G_1 - G_n$ とデータライン $D_1 - D_m$ とに沿って薄膜トランジスタ (TFT) のゲート電極 220 とドレイン電極 260 とに印加される。

【0040】

このように、ゲート電極 220 には -25 V の直流電圧が印加され、ドレイン電極 260 には接地電圧が印加され、ソース電極 270 はフローティングされる。

40

【0041】

本発明の一実施形態では、ゲート電極 220 には -25 V が印加され、ドレイン電極 260 には接地電圧が印加された例を挙げる。しかし、これに制限されるわけではなく、液晶パネル 100 の正常動作時に薄膜トランジスタ (TFT) をターンオフするためにゲート電極 220 に印加される電圧レベルを V_1 、液晶パネル 100 の正常動作時にドレイン電極 260 に印加される電圧レベルのうち最大電圧レベルを V_2 、ゲート電極 220 に印加される電圧レベルを V_g 且つドレイン電極 260 に印加される電圧レベルを V_d とするとき、ゲート電極 220 及びドレイン電極 260 が許される電圧レベルの範囲内において、 V_g 及び V_d は $V_g - V_d < V_1 - V_2$ を満たす。ここで、液晶パネル 100 の正常動作時にドレイン電極 260 に印加される最大電圧レベルは、液晶表示装置 (図 4 の 1 参考

50

）の駆動電圧発生部（図４の５１０参考）で生成したアレイ電源電圧 $AVdd$ のレベルと同じである。

【００４２】

ここで、直流電圧供給部７５０は、１０分以上各電極に電圧を印加する。

【００４３】

図４は本発明の一実施形態による液晶表示装置と本発明の一実施形態によるエージングシステムの接続を示した概略的なブロック図である。

【００４４】

液晶表示装置１は、液晶パネル１００、ゲート駆動部３００、データ駆動部４００及びプリント回路基板５００を含む。

【００４５】

液晶パネルは前で説明して以下ゲート駆動部３００、データ駆動部４００及びプリント回路基板５００を説明する。

【００４６】

ゲート駆動部３００はスキャン（scan）駆動部とも言い、液晶パネル１００のゲートライン $G1-Gn$ に接続されて、駆動電圧発生部５１０からのゲートオン電圧 Von とゲートオフ電圧 $Voff$ とのコンビネーションで構成されたゲート信号をゲートライン $G1-Gn$ に印加する。ゲート駆動部３００はゲートテープキャリアパッケージ（tape carrier package）に実装されるようにしてもよい。

【００４７】

データ駆動部４００は、液晶パネル１００のデータライン $D1-Dm$ に接続され、データ信号をデータライン $D1-Dm$ に印加する。データ駆動部４００はデータテープキャリアパッケージに実装されるようにしてもよい。

【００４８】

プリント回路基板５００は、データテープキャリアパッケージに電氣的に接続され、ゲート駆動部３００に駆動電圧を供給し、データ駆動部４００にデータ信号を供給する。プリント回路基板５００は、駆動電圧発生部５１０、ガンマ電圧発生部５２０、タイミング制御部５３０及びスイッチング部６００を含む。

【００４９】

駆動電圧発生部５１０は、薄膜トランジスタ（TFT）をターンオンするゲートオン電圧 Von 、薄膜トランジスタ（TFT）をターンオフするゲートオフ電圧 $Voff$ 、共通電圧 $Vcom$ 、ガンマ電圧生成のためのアレイ電源電圧 $AVdd$ 、及び電源電圧 Vdd 等を生成する。

【００５０】

ガンマ電圧発生部５２０は、駆動電圧発生部５１０からのアレイ電源電圧 $AVdd$ に基づいてガンマ電圧を生成しデータ駆動部４００に供給する。

【００５１】

タイミング制御部５３０は、ゲート駆動部３００、データ駆動部４００、及び駆動電圧発生部５１０等の動作を制御する制御信号を生成して、該当する各制御信号をゲート駆動部３００、データ駆動部４００、及び駆動電圧発生部５１０等に供給する。

【００５２】

スイッチング部６００は、駆動電圧発生部５１０からゲートオフ電圧 $Voff$ をゲート駆動部３００に伝達するかどうかを決定して、直流電圧供給部７１０が供給した電圧から駆動電圧発生部５１０を保護する。そして、スイッチング部６００は、エージングシステム７００のスイッチング信号供給部７４０において発生した信号を介して駆動電圧発生部５１０とゲート駆動部３００との接続を開放（切断）する。例えば、スイッチング部６００が n 型金属酸化半導体電界効果トランジスタである場合には、一定値以下の電圧がスイッチング部６００のゲート電極（図示せず）に印加されると、スイッチング部６００のチャンネル層（図示せず）に電流が流れなくなり、駆動電圧発生部５１０とゲート駆動部３００との接続が開放される。また、スイッチング部６００はゲートオフ電圧ライン６１０上

10

20

30

40

50

に形成されるようにしてもよい。

【0053】

本発明の一実施形態では、スイッチング素子を半導体電界効果トランジスタとした例を挙げているが、スイッチング効果を有する手段であれば特別に制限されない。

【0054】

エージングシステム700は、液晶表示装置1に薄膜トランジスタ(TFT)の半導体層(図2の240参考)、ゲート駆動部300及びデータ駆動部400を安定させる電圧を供給する。エージングシステム700は直流電圧供給部710、HVS(High Voltage Stress)電圧供給部720、制御部730及びスイッチング信号供給部740を含む。

10

【0055】

直流電圧供給部710は、液晶パネル100の非晶質シリコンで構成された半導体層(図2の240参考)を安定させて残像検査時の残像パターンによる残像を防止する。直流電圧供給部710は、ゲート駆動部300とガンマ電圧発生部520とに供給する直流電圧を供給する。直流電圧供給部710は、ゲート駆動部300にゲートオフ電圧Voff、ゲートオン電圧Von及び電源電圧Vddを供給し、データ駆動部400にアレイ電源電圧AVddを供給する。直流電圧供給部710は、 $-25 \sim -30$ Vのゲートオフ電圧Voffを供給し、接地電圧のゲートオン電圧Von、電源電圧Vdd及びアレイ電源電圧AVddを供給する。ここで、ゲートオフ電圧Voffとアレイ電源電圧AVddとはゲート電極(図2の220参考)とドレイン電極(図2の260参考)とに印加される。

20

【0056】

本発明の一実施形態では、 $-25 \sim -30$ Vのゲートオフ電圧Voffを供給し、接地電圧でアレイ電源電圧AVddを供給する例を挙げている。しかし、これに制限されるわけではなく、液晶パネル100の正常動作時に薄膜トランジスタ(TFT)をターンオフするためのゲート電極(図2の220参考)に印加される電圧レベルをV1、液晶パネル100の正常動作時にドレイン電極(図2の260参考)に印加される電圧レベルのうち最大電圧レベルをV2、ゲートオフ電圧VoffレベルをVa、アレイ電源電圧AVddレベルをVbとすると、ゲート電極(図2の220参考)及びドレイン電極(図2の260参考)が許される電圧レベルの範囲内において、 Va 及び Vb は $Va - Vb < V1 - V2$ を満たす。ここで、液晶パネル100の正常動作時にドレイン電極(図2の260参考)に印加される最大電圧レベルは、液晶表示装置1の駆動電圧発生部510で生成したアレイ電源電圧AVddのレベルと同じである。

30

【0057】

HVS電圧供給部720は、液晶表示装置1のゲート駆動部300及びデータ駆動部400を安定させる電圧を供給する。HVS電圧供給部720は、ゲート駆動部300にゲートオン電圧Von、ゲートオフ電圧Voff及び電源電圧Vddを供給し、ガンマ電圧発生部520にアレイ電源電圧AVddを供給する。HVS電圧供給部720は、3.3 Vのゲートオン電圧Vonを供給し、 -8 Vのゲートオフ電圧Voffを供給し、3.3 Vの電源電圧Vddを供給し、且つ1.3 Vのアレイ電源電圧AVddを供給する。

【0058】

制御部730は、エージングシステム700から液晶表示装置1に供給する電圧を選択して、スイッチング信号供給部740の動作を制御する。制御部730は、直流電圧供給部710とスイッチング信号供給部740との動作を開始する信号を送り、同時にHVS電圧供給部720の動作を止めるようにする。

40

【0059】

一方、スイッチング信号供給部740は、制御部730から動作開始信号を受けてスイッチング部600に供給する信号を生成する。スイッチング信号供給部740は、ゲートオフ電圧ライン610上のスイッチング部600と接続される。

【0060】

図4、図5及び図6を参照して、本発明の他の実施形態による液晶表示装置の製造方法

50

を説明する。

【0061】

図5は本発明の他の一実施形態による液晶表示装置の製造方法を順次的に示したフローチャートであって、図6は本発明の他の実施形態による液晶表示装置の製造方法で直流電圧供給部が印加する電圧レベルを示した図面である。

【0062】

直流電圧発生(S610)は制御部730を介して入力された信号により直流電圧供給部710において直流電圧が発生する。一方、HVS電圧供給部720電圧の発生(S620)は直流電圧発生(S610)が行われない場合に開始される。

【0063】

図6に示したように、直流電圧供給部710は、 -25V のゲートオフ電圧 V_{off} を供給し、接地電圧のゲートオン電圧 V_{on} 、電源電圧 V_{dd} 及びアレイ電源電圧 AV_{dd} を供給する。ここで、ゲートオフ電圧 V_{off} とアレイ電源電圧 AV_{dd} とはゲート電極(図2の220参考)とドレイン電極(図2の260参考)とに印加される。

【0064】

本発明の一実施形態では、 -25V のゲートオフ電圧 V_{off} を供給し、接地電圧のアレイ電源電圧 AV_{dd} を供給する例を挙げている。しかし、これに制限されるわけではなく、液晶パネル100の正常動作時に薄膜トランジスタ(TFT)をターンオフするためにゲート電極(図2の220参考)に印加される電圧レベルを V_1 、液晶パネル100の正常動作時にドレイン電極(図2の260参考)に印加される電圧レベルのうち最大電圧レベルを V_2 、ゲートオフ電圧 V_{off} レベルを V_a 、且つアレイ電源電圧 AV_{dd} レベルを V_b とすると、ゲート電極(図2の220参考)及びドレイン電極(図2の260参考)が許される電圧レベルの範囲内において、 V_a 及び、 V_b は $V_a - V_b < V_1 - V_2$ を満たす。ここで、液晶パネル100の正常動作時にドレイン電極(図2の260参考)に印加される最大電圧レベルは液晶表示装置1の駆動電圧発生部510で生成したアレイ電源電圧 AV_{dd} のレベルと同じである。

【0065】

一方、スイッチング信号印加(S630)はスイッチング信号供給部740からスイッチング部600にゲート駆動部300と駆動電圧発生部510との接続を開放(切断)する一定信号を供給する。

【0066】

また、ゲート駆動部300と駆動電圧発生部510との接続の開放(S640)はスイッチング部600で行なわれる。これは駆動電圧発生部510の回路がバート(burnt)されないようにするためである。

【0067】

直流電圧供給部710で発生した電圧は、ゲート駆動部300及びガンマ電圧発生部520へ印加(S650)される。

【0068】

ゲート駆動部300に印加された直流電圧は、ゲートライン $G_1 - G_n$ を介して各ゲート電極(図2の220参考)に印加(S660)される。一方、ガンマ電圧発生部520に印加された接地電圧は、データ駆動部400とデータライン $D_1 - D_m$ とに沿って各ドレイン電極(図2の260参考)に印加(S660)される。この時、ソース電極(図2の270参考)はフローティングされる。ここで直流電圧供給部710の電圧印加時間は10分以上とする。

【0069】

薄膜トランジスタ(TFT)のゲート電極220に印加された電圧はドレイン電極260の接地電圧より低く、フェルミ準位(fermi level)をバランスバンド(balance band)側に移動させる。薄膜トランジスタ(TFT)の半導体層(図2の240参考)はドレイン電極260より更に低い電圧を印加することによって弱いシリコン・ボンド(結合)でダングリング・ボンドを形成する。

10

20

30

40

50

【0070】

本発明に関するさらに詳細な内容は次の具体的な実験例を介して説明し、ここに記載されない内容はこの技術分野で熟練された者ならば十分に技術的に類推することができることであるので説明を省略する。

<実験例1>

【0071】

グラフa、b、cはバックライトをオンさせた場合のリーク電流の測定結果であって、グラフa'、b'、c'はバックライトをオフさせた場合のリーク電流の測定結果である。

【0072】

グラフaとa'とは、20Vから0.5V間隔で20Vまで電圧をゲート電極に印加し、10Vをドレイン電極に印加し、且つ接地電圧をソース電極に印加してリーク電流を測定した結果である。

【0073】

グラフbとb'とは、本発明の一実施形態による液晶表示装置の製造方法によって約10分間、-30Vをゲート電極に印加し、接地電位をドレイン電極に印加し、ソース電極をフローティングにした後、前述の条件と同じ条件でリーク電流を測定した。

【0074】

グラフcとc'とは本発明の一実施形態による液晶表示装置の製造方法を実施した後、ホワイトストレスを駆動した次に前述の条件と同じ条件でリーク電流を測定した結果である。ホワイトストレスはホワイト駆動領域の電圧状態を摸して印加したストレスであって、ここでは、約10分間、ゲート電極に-7V、ドレイン電極に6V、ソース電極に12Vを印加したストレスを言う。

【0075】

リーク電流の測定結果は図7に図示される。

【0076】

図7は本発明の一実施形態による液晶表示装置の製造方法を適用した場合、適用する場合及びホワイトストレスを適用した場合の光リーク電流の大きさを比較した図面である。

【0077】

図7のx軸はゲート電極に印加された電圧を示し、y軸はリーク電流を示す。

【0078】

バックライトオフ状態でa'とc'とを比較してみれば、リーク電流の差が最大約 9×10^{-14} Aの差が生じる。しかし、b'とc'とを比較してみても、リーク電流の差がほとんど生じない。

【0079】

バックライトオン状態でaとcとを比較してみれば、リーク電流の差が最大約 9×10^{-13} Aの差が生じる。しかし、bとcとを比較してみても、リーク電流の差がほとんど生じない。

【0080】

ここで、バックライトオン状態で薄膜トランジスタがオフした場合、aとcとの差が最も大きく現われる。これはバックライトがオン状態である時、薄膜トランジスタ(TFT)においてホワイトストレス前後のリーク電流の変化が生じるためである。このリーク電流の変化は、維持キャパシタに印加される電圧の差を生じるようにする。維持キャパシタのかかった電圧差は残像検査時に残像パターンで残像を誘発させる。しかし、bとcとはリーク電流の差がほとんど生じないので、維持キャパシタに印加された電圧の差が生じず、残像検査時に残像パターンで残像を誘発させない。よって、残像が改善された効果が見られる。

【0081】

一方、非晶質シリコンで構成された半導体層は、原子配列が無秩序で弱いシリコン・ボ

10

20

30

40

50

ンド及びダングリング・ボンドによる局所状態を含んでいる。本発明の一実施形態による液晶表示装置の製造方法を実施した場合、残像が改善される理由は、非晶質シリコン層に印加された電界によりダングリング・ボンドの密度が増加して、内部における弱いシリコン・ボンドが減って半導体層が安定したからである。すなわち、非晶質シリコンで構成された半導体層のフェルミ準位が低くなって薄膜トランジスタの特性が変化する。

<実験例 2>

【0082】

本発明の一実施形態による液晶表示装置の製造方法を実施することにおいて、ゲート電極に印加した電圧レベルによる残像是認指数 (residual image viewing factor) を評価した。ここで、10 分間、-20 V から -5 V 間隔で -30 V まで電圧をゲート電極に印加し、接地電位をドレイン電極に印加するようにし、ソース電極をフローティングにした。このとき、残像是認指数は 1 ~ 64 階調のテスト階調を用いた残像テストパターンにおける残像を目視評価することによって評価され、微弱水準の残像が観察され始める階調を基準にした。その測定結果は図 8 に図示される。

【0083】

図 8 は本発明の一実施形態による液晶表示装置の製造方法でゲート電極に対して印加した電圧レベルと残像是認指数との関係を示した図面である。

【0084】

図 8 の x 軸はゲート電極に印加される電圧レベルを示し、y 軸は残像是認指数を示す。ゲート電極に -25 V 以下の電圧が印加される場合、残像是認指数が 1 以下になり、残像が顕著に改善されることが示されている。

<実験例 3>

【0085】

本発明の一実施形態による液晶表示装置の製造方法を実施することにおいて、電圧印加時間による残像是認指数を評価した。ここで、-25 V をゲート電極に印加し、接地電位をドレイン電極に印加し、ソース電極をフローティングにした。その測定結果は図 9 に示される。

【0086】

図 9 は本発明の一実施形態による液晶表示装置の製造方法で電圧印加時間と残像是認指数との関係を示した図面である。

【0087】

図 9 の x 軸はゲート電極に電圧が印加される時間を示し、y 軸は残像是認指数を示す。電圧印加時間が 10 分を越える場合は、残像是認指数が 1 以下になり、残像が顕著に改善されることが示されている。

【0088】

以上添付した図面を参照して本発明の実施形態を説明したが、本発明が属する技術分野で通常の知識を有する者は、本発明がその技術的思想や必須な特徴を変更せずに他の具体的な形態で実施できるということを理解することができる。それゆえ、上述した実施形態はすべての面で例示的であって限定的でないものと理解しなければならない。

【産業上の利用可能性】

【0089】

本発明は残像防止のための液晶表示装置の製造方法、このような製造方法により製造された液晶表示装置及びこのような製造方法に提供されるエージングシステムに適用することができる。

【図面の簡単な説明】

【0090】

【図 1】本発明の一実施形態による液晶表示装置の液晶パネルと直流電圧供給部との接続を示した概略的なブロック図である。

【図 2】本発明の一実施形態による液晶表示装置の薄膜トランジスタの断面図である。

【図 3】本発明の一実施形態による液晶表示装置の製造方法で印加する電圧レベルを示し

10

20

30

40

50

た図面である。

【図４】本発明の一実施形態による液晶表示装置と本発明の一実施形態によるエージングシステムの接続を示した概略的なブロック図である。

【図５】本発明の他の実施形態による液晶表示装置の製造方法を順次的に示したフローチャートである。

【図６】本発明の他の実施形態による液晶表示装置の製造方法で直流電圧供給部が印加する電圧レベルを示した図面である。

【図７】本発明の一実施形態による液晶表示装置の製造方法を適用した場合、適用する場合及びホワイトストレスを適用した場合の光リーク電流大きさを比較した図面である。

10

【図８】本発明の一実施形態による液晶表示装置の製造方法でゲート電極に対する印加した電圧レベルと残像是認指数との関係を示した図面である。

【図９】本発明の一実施形態による液晶表示装置の製造方法で電圧印加時間と残像是認指数との関係を示した図面である。

【符号の説明】

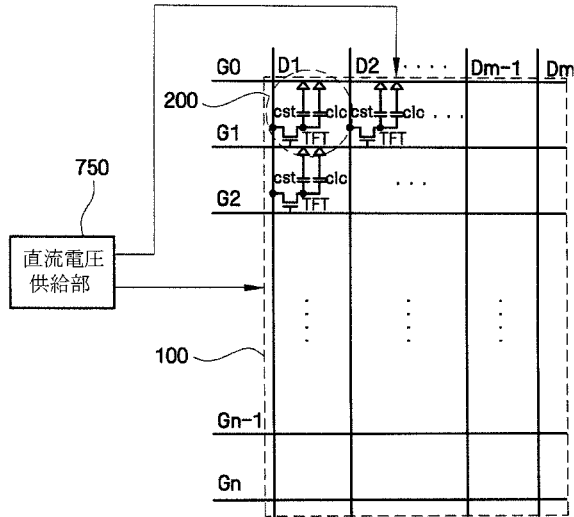
【００９１】

- １：液晶表示装置
- １００：液晶パネル
- ２００：画素
- ２２０：ゲート電極
- ２４０：半導体層
- ２６０：ドレイン電極
- ２７０：ソース電極
- ３００：ゲート駆動部
- ４００：データ駆動部
- ５００：プリント回路基板
- ５１０：駆動電圧発生部
- ５２０：ガンマ電圧発生部
- ６００：スイッチング部
- ６１０：ゲートオフ電圧ライン
- ７００：エージングシステム
- ７１０：直流電圧供給部

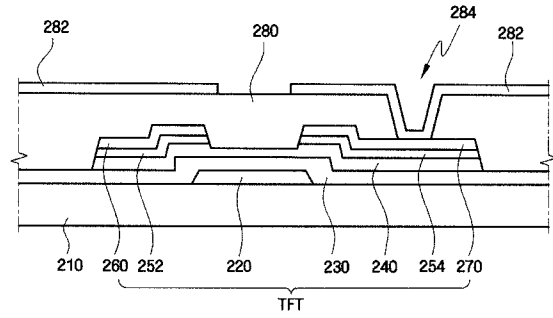
20

30

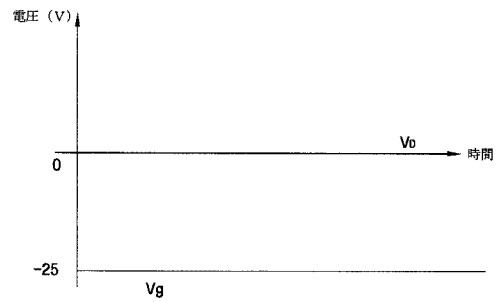
【図 1】



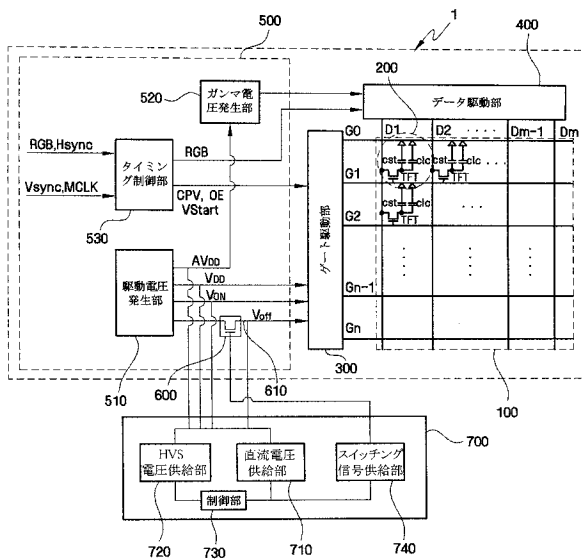
【図 2】



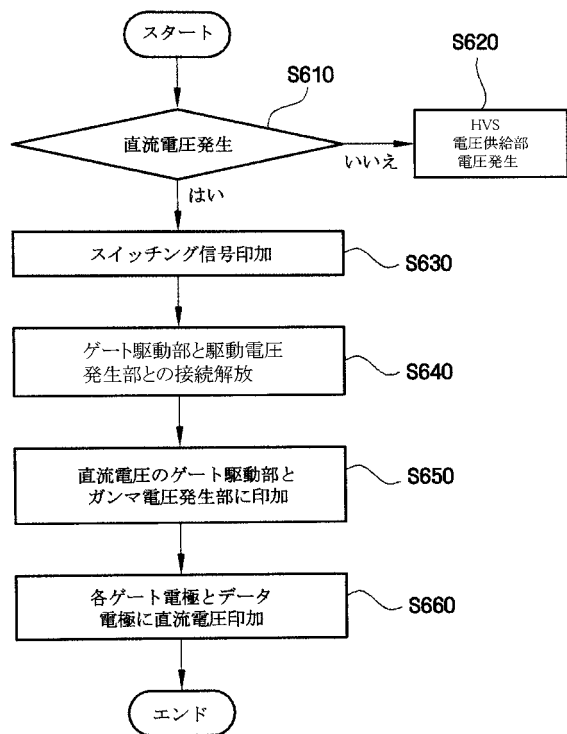
【図 3】



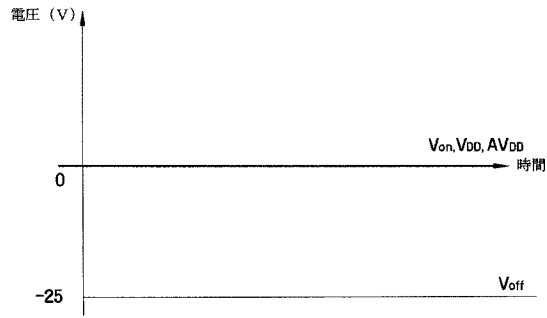
【図 4】



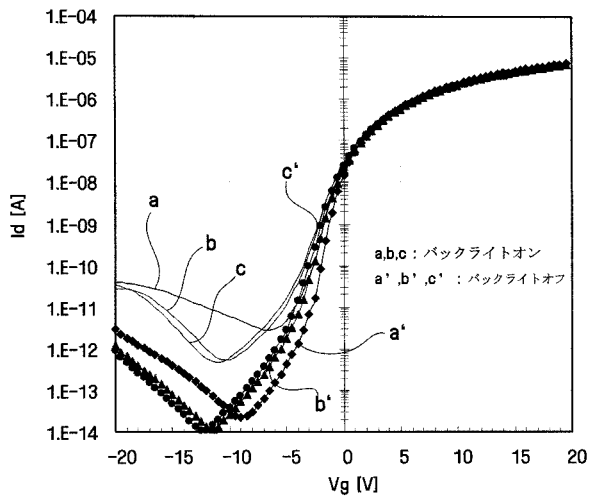
【図 5】



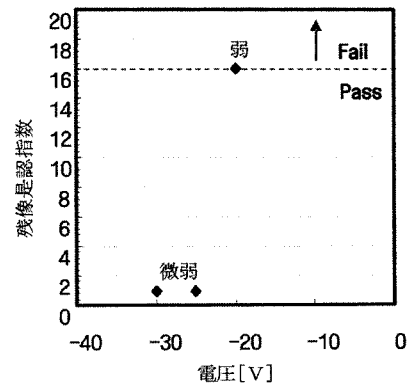
【図 6】



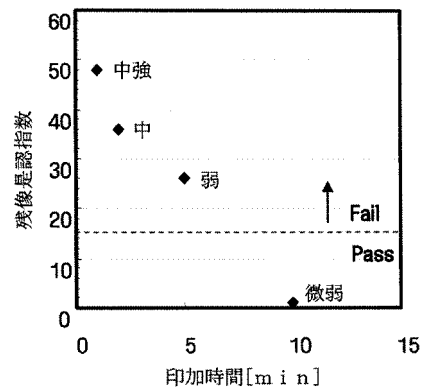
【図 7】



【図 8】



【図 9】



フロントページの続き

(51)Int.Cl.		F I		テーマコード (参考)
G 0 9 G	3/20	(2006.01)	G 0 9 G 3/20	6 7 0 Q
			G 0 9 G 3/20	6 1 1 Z
			G 0 9 G 3/20	6 2 3 A

(72)発明者 全 宰 弘
大韓民国京畿道城南市盆唐区九美洞 カチマエルロッテアパートメント415棟1105号

(72)発明者 金 時 烈
大韓民国京畿道龍仁市上見洞861番地 満現マエウル8團地 斗山ウィーヴアパートメント80
6棟1601号

(72)発明者 金 彰 洙
大韓民国京畿道水原市靈通區靈通洞 シンナムシル6團地 信元アパートメント643棟1703
号

(72)発明者 柳 慧 英
大韓民国ソウル特別市城北区貞陵1洞 16-96番地

Fターム(参考) 2H092 JA26 JB77 MA05 MA08 MA14 MA15 MA16 MA18 MA19 MA20
MA35 MA55 NA30
5C006 AF42 BB16 BC03 BF34 EB01 EB04 FA20 FA34 FA36
5C080 AA10 BB05 DD11 DD15 FF11 JJ02 JJ03 JJ05 JJ06 JJ07
5F110 AA06 AA30 BB01 CC07 GG02 GG15 HK05 HK09 HK16 NN72
NN73
5G435 AA01 AA16 AA17 AA19 BB12 KK05 KK10

专利名称(译)	<无法获取翻译>		
公开(公告)号	JP2006338003A5	公开(公告)日	2009-06-18
申请号	JP2006142451	申请日	2006-05-23
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
[标]发明人	李禹根 全宰弘 金時烈 金彰洙 柳慧英		
发明人	李 禹 根 全 宰 弘 金 時 烈 金 彰 洙 柳 慧 英		
IPC分类号	G02F1/1368 G09F9/00 H01L21/336 H01L29/786 G09G3/36 G09G3/20		
CPC分类号	G09G3/3648 G02F2001/136254 G09G3/3696 G09G2310/0245 G09G2320/043		
FI分类号	G02F1/1368 G09F9/00.352 H01L29/78.627.C G09G3/36 G09G3/20.622.A G09G3/20.670.Q G09G3/20.611.Z G09G3/20.623.A		
F-TERM分类号	2H092/JA26 2H092/JB77 2H092/MA05 2H092/MA08 2H092/MA14 2H092/MA15 2H092/MA16 2H092/MA18 2H092/MA19 2H092/MA20 2H092/MA35 2H092/MA55 2H092/NA30 5C006/AF42 5C006/BB16 5C006/BC03 5C006/BF34 5C006/EB01 5C006/EB04 5C006/FA20 5C006/FA34 5C006/FA36 5C080/AA10 5C080/BB05 5C080/DD11 5C080/DD15 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ05 5C080/JJ06 5C080/JJ07 5F110/AA06 5F110/AA30 5F110/BB01 5F110/CC07 5F110/GG02 5F110/GG15 5F110/HK05 5F110/HK09 5F110/HK16 5F110/NN72 5F110/NN73 5G435/AA01 5G435/AA16 5G435/AA17 5G435/AA19 5G435/BB12 5G435/KK05 5G435/KK10 2H192/AA24 2H192/BC31 2H192/CB05 2H192/GD61 2H192/HB02 2H192/HB25		
优先权	1020050046883 2005-06-01 KR		
其他公开文献	JP2006338003A		

摘要(译)

要解决的问题：提供一种液晶显示装置，其防止由于漏光的变化而发生残像，并提供一种制造该液晶显示装置的方法，以及老化系统。

ŽSOLUTION：在制造液晶显示装置的方法中，液晶面板配备有栅电极，形成在栅电极上的半导体层，以及多个薄膜晶体管，每个薄膜晶体管分别包括漏电极和源电极。制造在半导体层上的栅电极的两侧上形成的。当在液晶面板的正常操作中施加到栅电极以关闭薄膜晶体管的电压电平被定义为第三电压时，施加到漏电极的电压电平中的最大电压电平被定义为第四电压。电压，施加到栅电极的电压电平被定义为第一电压，并且施加到漏电极的电压电平被定义为液晶面板的正常操作中的第二电压，制造液晶显示装置的方法包括施加作为DC电压的第一电压和第二电压以便满足不等式[(第一电压) - (第二电压)] < [(第三电压) - (第四电压)]。Ž