

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-317867

(P2006-317867A)

(43) 公開日 平成18年11月24日(2006.11.24)

(51) Int.Cl.	F I	テーマコード (参考)
G02F 1/1368 (2006.01)	G02F 1/1368	2H092
G09F 9/30 (2006.01)	G09F 9/30 338	5C094
H01L 29/786 (2006.01)	G09F 9/30 339Z	5F110
H01L 21/336 (2006.01)	H01L 29/78 612Z	

審査請求 未請求 請求項の数 5 O L (全 11 頁)

(21) 出願番号 特願2005-142770 (P2005-142770)
 (22) 出願日 平成17年5月16日 (2005.5.16)

(71) 出願人 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町22番22号
 (74) 代理人 100101214
 弁理士 森岡 正樹
 (72) 発明者 星野 淳之
 神奈川県川崎市中原区上小田中4丁目1番
 1号 富士通ディスプレイテクノロジーズ
 株式会社内
 Fターム(参考) 2H092 JA26 JA38 JA42 JB04 JB23
 JB32 JB45 JB46 JB65 JB69
 NA07 QA09
 5C094 AA02 BA03 BA43 CA19 EA04

最終頁に続く

(54) 【発明の名称】 薄膜トランジスタ基板及び液晶表示パネル

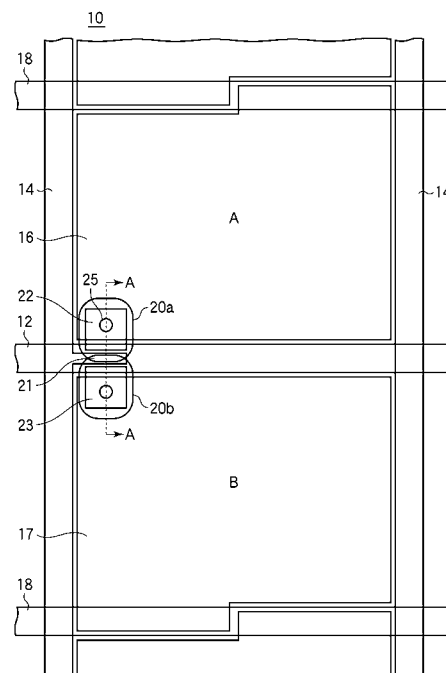
(57) 【要約】

【課題】本発明は、液晶表示装置に用いられる薄膜トランジスタ基板および液晶表示パネルに関し、良好な表示品質の得られる薄膜トランジスタ基板及び液晶表示パネルを提供することを目的とする。

【解決手段】薄膜トランジスタ基板には、ゲートバスライン12を挟んで両側に配置された第1の副画素電極16および第2の副画素電極17と、第1の副画素電極16に電気的に直接接続された第1の薄膜トランジスタ20aと、第2の副画素電極17に容量結合された第2の薄膜トランジスタ20bとが形成されている。

【効果】従来のソース電極と画素電極のコンタクトホールを介しての接続部分に相当する部位に容量を形成するため、不必要に不透明な配線の使用がなく、画素の有効面積及び透過率を充分確保できる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

透明絶縁基板上に絶縁膜を介して交差して配置された第 1 及び第 2 のバスラインと、
前記第 1 のバスラインを挟んで両側に配置された第 1 及び第 2 の副画素電極と、
前記第 1 の副画素電極に電氣的に直接接続された第 1 の薄膜トランジスタと、
前記第 2 の副画素電極に容量結合された第 2 の薄膜トランジスタと
を有することを特徴とする薄膜トランジスタ基板。

【請求項 2】

請求項 1 記載の薄膜トランジスタ基板において、
前記第 1 のバスラインは、前記第 1 及び第 2 の薄膜トランジスタのゲート電極に電氣的 10
に直接接続されるゲートバスラインであり、
前記第 2 のバスラインは、前記第 1 及び第 2 の薄膜トランジスタのドレイン電極に電氣的
的に直接接続されるドレインバスラインであること
を特徴とする薄膜トランジスタ基板。

【請求項 3】

請求項 2 記載の薄膜トランジスタ基板において、
前記第 1 の薄膜トランジスタのソース電極が前記第 1 の副画素電極に電氣的に直接接続 20
され、
前記第 2 の薄膜トランジスタのソース電極が前記絶縁膜を介して前記第 2 の副画素電極
と容量結合されていること
を特徴とする薄膜トランジスタ基板。

【請求項 4】

請求項 3 記載の薄膜トランジスタ基板において、
前記ゲートバスラインの一部が前記第 1 及び第 2 の薄膜トランジスタのゲート電極を兼 30
ねており、
前記ドレイン電極は、前記透明絶縁基板面の法線方向に見て、前記ドレインバスライン
から前記ゲート電極上に突出して形成され、前記第 1 及び第 2 の薄膜トランジスタの共通
のドレイン電極として用いられること
を特徴とする薄膜トランジスタ基板。

【請求項 5】

請求項 1 乃至 4 のいずれか 1 項に記載の薄膜トランジスタ基板と、 40
前記薄膜トランジスタ基板に対向して配置され、透明絶縁基板上に対向電極が形成され
た対向基板と、
前記薄膜トランジスタ基板と前記対向基板との間に挟持された液晶層と
を有することを特徴とする液晶表示パネル。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置に用いられる薄膜トランジスタ基板及び液晶表示パネルに関す 40
る。

【背景技術】

【0002】

近年、液晶表示装置は、テレビ受像機やモニタ等を使用されている。特に、絶縁基板上
に薄膜トランジスタ (Thin Film Transistor; TFT) がマトリクス
状に配置された薄膜トランジスタ基板を搭載した液晶表示パネル (以下、TFT 液晶表
示パネルと称する) を用いる液晶表示装置は、高精細化、多階調化に伴い、画像表示品質
の向上が望まれている。

【0003】

TFT 液晶表示パネルは一般に、薄膜トランジスタ基板と、当該薄膜トランジスタ基板
に対向配置された対向基板と、当該基板間に挟持された液晶層とを有している。両基板に 50

それぞれ形成された透明電極に電圧を印加して液晶分子を傾斜させて光透過率を変化させることにより、階調を制御して画像を表示するようになっている。近年、液晶表示装置の需要は増加しており、液晶表示装置に対する要求も多様化している。特に視角特性や表示品質の改善が強く要求されており、これを実現する手段として垂直配向（V A : V e r t i c a l l y A l i g n e d）型液晶表示装置が有望視されている。

【0004】

V A型液晶表示装置は、両基板の対向面に垂直配向膜を備え、両基板間に負の誘電率異方性を有する液晶層を含むことを特徴としている。また、V A型液晶表示装置は、両基板上に例えば線状のドメイン規制手段（突起又はスリット）を備えており、このドメイン規制手段により配向分割が行われる。これによりV A型液晶表示装置は優れた視角特性や表示品質を実現している。

10

【0005】

V A型液晶表示装置や他の方式の液晶表示装置に用いられるT F T液晶表示パネルでは、一般に画素毎に1つの画素電極が配置されているが、1画素内で当該画素電極を複数の副画素電極に分割した構造も知られている。例えば、特許文献1にはゲートバスラインとドレインバスラインとで画定された画素領域内で1つのT F Tを介して複数の副画素電極に供給する電位を容量結合により変化させた構成が開示されている。また、ゲートバスライン又はドレインバスラインを挟んで分割された副画素電極を有する薄膜トランジスタ基板及び液晶表示装置が特許文献2乃至4等が開示されている。

【0006】

20

ところで、配向分割型のV A型液晶表示装置では、画面を斜め方向から見ると白っぽく視認される「白っ茶け」現象が生じてしまうという問題がある。その改善方法として、1画素内の画素電極を複数の副画素電極に分割し、画素T F Tを介して階調電圧が直接印加される副画素電極と、容量結合により、階調電圧より低い所定電位になる副画素電極とを混在させた、いわゆる容量ハーフトーン駆動方法が提案されている。

【0007】

【特許文献1】特許第3076938号公報

【特許文献2】特開昭63-262621号公報

【特許文献3】特開平03-024524号公報

【特許文献4】特開平09-179141号公報

30

【特許文献5】特許第3098345号公報

【特許文献6】特開2002-287712号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

しかしながら、容量ハーフトーン駆動方法で用いられる画素構造は以下のような不利な点を有している。第1に、副画素電極を容量結合するための容量電極は、画素T F Tを構成する不透明金属膜と同一膜で画素領域内に形成されるので、容量電極の存在により画素有効面積が減少して透過率が低下してしまう。第2に、仮に容量電極を透明電極材で形成しようとするすると製造工程が増加してしまう。第3に、隣接副画素電極間を絶縁するために所定幅のスリット領域を必要とするので、スリットの幅だけ画素の有効面積が減少して透過率が低下してしまう。第4に、仮にスリット幅を狭めると副画素電極のパターニング時にパターン不良により隣接副画素電極間が短絡してしまうことがある。第5に、異なる電位になる副画素電極同士が隣接しているので画素構造が複雑になってしまう。第6には、画素構造が複雑になることから画素設計の自由度が制限されてしまう。

40

【0009】

本発明の目的は、良好な表示品質の得られる薄膜トランジスタ基板及び液晶表示パネルを提供することにある。

【課題を解決するための手段】

【0010】

50

上記目的は、透明絶縁基板上に絶縁膜を介して交差して配置された第1及び第2のバスラインと、前記第1のバスラインを挟んで両側に配置された第1及び第2の副画素電極と、前記第1の副画素電極に電氣的に直接接続された第1の薄膜トランジスタと、前記第2の副画素電極に容量結合された第2の薄膜トランジスタとを有することを特徴とする薄膜トランジスタ基板によって達成される。

【0011】

上記本発明の薄膜トランジスタ基板において、前記第1のバスラインは、前記第1及び第2の薄膜トランジスタのゲート電極に電氣的に直接接続されるゲートバスラインであり、前記第2のバスラインは、前記第1及び第2の薄膜トランジスタのドレイン電極に電氣的に直接接続されるドレインバスラインであることを特徴とする。

10

【0012】

上記本発明の薄膜トランジスタ基板において、前記第1の薄膜トランジスタのソース電極が前記第1の副画素電極に電氣的に直接接続され、前記第2の薄膜トランジスタのソース電極が前記絶縁膜を介して前記第2の副画素電極と容量結合されていることを特徴とする。

【0013】

上記本発明の薄膜トランジスタ基板において、前記ゲートバスラインの一部が前記第1及び第2の薄膜トランジスタのゲート電極を兼ねており、前記ドレイン電極は、前記透明絶縁基板面の法線方向に見て、前記ドレインバスラインから前記ゲート電極上に突出して形成され、前記第1及び第2の薄膜トランジスタの共通のドレイン電極として用いられることを特徴とする。

20

【0014】

上記本発明の薄膜トランジスタ基板において、前記ゲートバスラインと同層に形成され、前記第2の薄膜トランジスタのソース電極との間に前記絶縁膜を容量膜として容量を形成し、前記第2の副画素電極と電氣的に直接接続されている独立電極をさらに有することを特徴とする。

【0015】

上記本発明の薄膜トランジスタ基板において、前記ゲートバスラインと同層に形成され、前記第2の薄膜トランジスタのソース電極との間に前記絶縁膜を容量膜として容量を形成し、且つ前記第2の副画素電極と容量結合される独立電極をさらに有することを特徴とする。

30

【0016】

上記本発明の薄膜トランジスタ基板において、前記第2の薄膜トランジスタのソース電極は、前記第2の副画素電極との間に前記第2の薄膜トランジスタ上部を覆う絶縁膜を容量膜として容量を形成していることを特徴とする。

【0017】

また上記目的は、上記本発明の薄膜トランジスタ基板と、前記薄膜トランジスタ基板に対向して配置され、透明絶縁基板上に対向電極が形成された対向基板と、前記薄膜トランジスタ基板と前記対向基板との間に挟持された液晶層とを有することを特徴とする液晶表示パネルによって達成される。

40

【発明の効果】

【0018】

本発明によれば、良好な表示品質の得られる薄膜トランジスタ基板及び液晶表示パネルを実現できる。

【発明を実施するための最良の形態】

【0019】

〔第1の実施の形態〕

本発明の第1の実施の形態による薄膜トランジスタ基板及び液晶表示パネルについて図1及び図2を用いて説明する。図1は、本実施の形態による薄膜トランジスタ基板の1画素の構成を示し、図2は図1のA-A線で切断した薄膜トランジスタ基板の断面構成を示

50

している。図1及び図2に示すように、薄膜トランジスタ基板には透明絶縁基板であるガラス基板10上にA1（アルミニウム）とMo（モリブデン）をこの順に積層したA1/Mo層で複数のゲートバスライン12が形成されている。ガラス基板10上及びゲートバスライン12上にはシリコン窒化膜の絶縁膜（ゲートバスライン12上の一部ではゲート絶縁膜として機能する；以下、ゲート絶縁膜という）30が形成されている。ゲート絶縁膜30上にはゲートバスライン12に交差して複数のドレインバスライン14が形成されている。また、ゲートバスライン12の形成層のA1/Mo層でゲートバスライン12と並列に蓄積容量電極バスライン18が形成されている。

【0020】

本実施の形態による1画素の構成では、ゲートバスライン12を挟んで両側に副画素領域A、Bがそれぞれ形成されている。なお、ドレインバスライン14を挟んで両側に副画素領域A、Bを配置することももちろん可能である。ゲートバスライン12及びドレインバスライン14の交差位置近傍には、副画素領域A、B毎にスイッチング素子としてのTF T（第1及び第2の薄膜トランジスタ）20a、20bが図1中の2つの円内に示す位置に形成されている。

TF T 20aと20bのドレイン電極21は共通化されており、パネル面の法線方向に見るとゲートバスライン12に重なるようにドレインバスライン14から引き出されて形成されている。つまり、ドレインバスライン14と電氣的に接続されたドレイン電極21はTF T 20a、20b双方のドレイン電極を兼ねている。またゲートバスライン12の一部は、TF T 20a、20bのゲート電極として機能している。ドレイン電極21と所定の空間を隔てて副画素領域A側にTF T 20aのソース電極22が形成されている。また、ドレイン電極21と所定の空間を隔てて副画素領域B側にTF T 20bのソース電極23が形成されている。ドレインバスライン14及び、ドレイン電極21、ソース電極22、23は、同層のMo/A1/Mo膜で形成されている。

【0021】

ゲートバスライン12の所定位置の上方のゲート絶縁膜30上には、図2に示すように、例えばアモルファス・シリコン（a-Si）層のアイランド半導体層40が形成されている。アイランド半導体層40上にはn型a-Si層からなるオーミックコンタクト層41が形成されている。ゲート絶縁膜30及びアイランド半導体層40上にソース電極22、23とドレイン電極21が形成されている。ゲート絶縁膜30及びソース電極22、23とドレイン電極21上の基板全面にシリコン窒化膜の絶縁膜（保護膜）31が形成されている。

【0022】

副画素領域Aには透明画素電極材料のITO（インジウム・錫・オキシド）膜で副画素電極（第1の副画素電極）16が形成されている。副画素領域Bには副画素電極16と同層のITO膜で副画素電極（第2の副画素電極）17が形成されている。

副画素領域Aの副画素電極16は、ソース電極22上の絶縁膜31に形成されたコンタクトホール25を介してソース電極22と電氣的に直接接続されている。また、副画素領域Bの副画素電極17は、ソース電極23上の絶縁膜31を介してソース電極22と容量結合されている。パネル面法線方向に見て画素電極17はソース電極23と重なり部を有し、重なり部の絶縁膜31を容量膜としてキャパシタが構成されている。

【0023】

このように、副画素電極16と副画素電極17とは、ドレイン電極21及びゲートバスライン12を挟んで対向して配置されている。また、副画素電極16と副画素電極17はその一部がそれぞれ別の蓄積容量バスライン18とゲート絶縁膜30を介して重なり、それぞれ別の蓄積容量バスライン18との間に容量を形成している。

以上説明した画素構成を備えた薄膜トランジスタ基板を液晶層を挟んで不図示の対向基板と貼り合わせるにより液晶表示パネルが完成する。

【0024】

ところで、薄膜トランジスタ（TF T）の構造としては、アモルファスシリコン（a-

10

20

30

40

50

S i) が動作層に用いられる T F T では逆スタガ型やスタガ型、多結晶シリコン (P o l y - S i) が動作層に用いられる T F T ではコプレー型等がある。また、逆スタガ型 a - S i - T F T ではチャンネル部の構造の違いによりチャンネル保護膜型 (I S I) とチャンネルエッチ型 (N S I) に分類される。しかし、上記のいずれの T F T の型においても T F T を覆う絶縁膜上に画素電極を配置する場合、構造的な違いはあるとしても T F T としての基本的な機能の面ではいずれもおなじである。本実施の形態ではチャンネルエッチ型の T F T を用いている。

【0025】

また、チャンネルエッチ型 T F T では a - S i 層とソース・ドレイン用金属を同一マスクでパターニングしアイランド形成するとともに、この工程の露光マスクにハーフトーンマスクを使用することによってチャンネル部のみハーフトーン露光して、レジストにコントラストを形成しておいて、アイランド形成後にレジストをハーフアッシング処理によりチャンネル部のレジストを除去してから、素子分離を行いフォトリソ工程を削減する手法が提案されている。 10

【0026】

次に、本実施の形態による薄膜トランジスタ基板及び液晶表示パネルその製造方法について説明する。まず厚さ約 0.7 mm のガラス基板 10 上に A l を 150 nm の膜厚に成膜し、さらに M o を 80 nm の膜厚に真空中でスパッタ法により成膜して積層した A l / M o 層を形成する。この A l / M o 層をフォトリソグラフィ法及びウェットエッチング法を用いてパターニングし、一部がゲート電極を兼ねるゲートバスライン 12 と、蓄積容量電極バスライン 18 とを形成する。次に、プラズマ C V D 法を用いて、基板全面にシリコン窒化膜 (ゲート絶縁膜 30) 及び、a - S i 膜、P (リン) をドーピングした n 型 a - S i 膜をそれぞれ 400 nm、100 nm、50 nm の膜厚にこの順に成長させる。次に、a - S i 膜と n 型 a - S i 膜をフォトリソグラフィ法とドライエッチング法を用いてゲート電極上に島状にパターニングして、アイランド半導体層 40 とオーミックコンタクト層 41 を形成する。 20

【0027】

次いで、基板全面に T i (チタン) を 20 nm の膜厚に、A l を 75 nm の膜厚に、T i を 40 nm の膜厚に真空中でスパッタ法によりこの順に成膜して積層する。この積層膜をフォトリソグラフィ法とドライエッチング法を用いてパターニングし、ソース電極 22、23 及びドレイン電極 21 を形成する。次に、アイランド半導体層 40 上のソース電極 22、23 とドレイン電極 21 間の n 型 a - S i 層 41 をドライエッチング法を用いてエッチング除去し、ソース電極 22 とドレイン電極 21 との間、及びソース電極 23 とドレイン電極 21 との間をそれぞれ分離する。 30

【0028】

続いて、プラズマ C V D 法により、膜厚 300 nm のシリコン窒化膜を成膜し、フォトリソグラフィ法とドライエッチング法を用いてパターニングし、コンタクトホール 25 が開口された絶縁膜 (保護膜) 31 を形成する。ここで、シリコン窒化膜である絶縁膜 31 は薄膜トランジスタ基板の保護膜として機能する。

【0029】

次に、画素電極 16、17 及び端子部の電極となる透明な酸化物である I T O 膜をスパッタ法により膜厚 80 nm に成膜する。次いで、フォトリソグラフィ法とウェットエッチング法を用いて端子部の電極と画素電極 16、17 を同時に形成する。ここで、端子部の電極は、不図示のコンタクトホールを介してゲートバスラインやドレインバスラインと接続され、また、副画素電極 16 は、コンタクトホール 25 を介してソース電極 22 と接続される。最後に、全体を 200 度程度の温度で 2 時間アニールして薄膜トランジスタ基板 (T F T 基板) の製造が完了する。

【0030】

上記の薄膜トランジスタ基板の製造方法では、配線の材料及び構造・膜厚の一例を示したが、その他の種々の組み合わせが可能である。たとえば、ゲート配線として、A l 及び 40

10

20

30

40

50

Al 合金又はCr（クロム）やMoなどの金属単層で使用することもできるし、Al及びAl合金とその上部にTiを積層した構成とし、これをドライエッチングによりパターンニングすることもできる。

【0031】

また、単にMoなどの金属として用いるのではなく、Alとのウェットエッチング時の加工性や拡散防止などの効果から窒素や酸素を加えた条件でのスパッタ成膜によりMoNやMoOを適時組み合わせることができる。さらに、ITOを透明導電膜として用いたがその他のZnO（酸化亜鉛）やIZO（インジウム・亜鉛・オキサイド）などの透明導電膜を用いることもできる。

【0032】

上記では、チャンネルエッチタイプの薄膜トランジスタ基板の製造方法について説明したが、ハーフトーンマスクを使用してアイランド半導体層のパターンニング工程とその工程に続くソース・ドレイン（及びバスライン）の金属及び素子部分離のパターンニング工程のフォトリソグラフィ工程を削減したりすることも、先に述べたとおりである。

【0033】

本実施の形態の薄膜トランジスタ基板及び液晶表示パネルによれば、以下のような効果を奏することができる。第1に、従来のソース電極と画素電極のコンタクトホールを介しての接続部分に相当する部位に容量を形成するため、不必要に不透明な配線の使用がなく、画素の有効面積及び透過率を充分確保できる。第2に、特別に追加的な容量電極や透明な容量電極を必要としないため工程の増加がない。第3に、従来必要であった副画素電極間の隙間がなくなるため、画素の有効面積及び透過率を充分確保できる。第4に、副画素同士がゲートバスラインとドレインバスラインを挟んで分割されるため、パターン不良により短絡してしまう恐れがない。第5に、画素構造が簡単になることから、画素設計の自由度が大きい。

【0034】

〔第2の実施の形態〕

本発明の第2の実施の形態による薄膜トランジスタ基板について図3及び図4を用いて説明する。図3は、本実施の形態による薄膜トランジスタ基板の1画素の構成を示し、図4は図3のA-A線で切断した断面を示している。なおこれ以降の薄膜トランジスタ基板等の説明において、第1の実施の形態と同一の機能、作用を奏する構成要素には同一の符号を付して詳細な説明は省略する。

【0035】

本実施の形態による薄膜トランジスタ基板の副画素領域Bには、TFT20bのソース電極23の下層にゲート絶縁膜30を介して独立電極13が形成されている。独立電極13はゲートバスライン12の形成工程で同時にゲートバスライン12と同層に形成される。ソース電極23は、パネル面法線方向に見て独立電極13との間にゲート絶縁膜30を介した重なり部を有し、重なり部のゲート絶縁膜30を容量膜としてキャパシタが構成されている。また、独立電極13上のゲート絶縁膜30及び絶縁膜（保護膜）31にはコンタクトホール26が形成され、独立電極13と副画素電極17がコンタクトホール26を介して直接接続されている。

【0036】

本実施の形態によれば、第1の実施の形態と同様の効果が得られるのはもちろん、副画素電極17とソース電極23の間に容量が形成されるだけでなく、独立電極13とソース電極23との間にも容量を形成することができる。

【0037】

〔第3の実施の形態〕

本発明の第3の実施の形態による薄膜トランジスタ基板について図5及び図6を用いて説明する。図5は、本実施の形態による薄膜トランジスタ基板の1画素の構成を示す図であり、図6は図5のA-A線で切断した断面を示している。

【0038】

10

20

30

40

50

本実施の形態による薄膜トランジスタ基板の副画素領域 B には、T F T 2 0 b のソース電極 2 3 の下層にゲート絶縁膜 3 0 を介して独立電極 1 3 が形成されている。独立電極 1 3 はゲートバスライン 1 2 の形成工程で同時にゲートバスライン 1 2 と同層に形成される。ソース電極 2 3 は、パネル面法線方向に見て独立電極 1 3 との間にゲート絶縁膜 3 0 を介した重なり部を有し、重なり部のゲート絶縁膜 3 0 を容量膜としてキャパシタが構成されている。但し、本実施の形態では第 2 の実施の形態と異なり、独立電極 1 3 は副画素電極 1 7 と電氣的に直接接続されておらず、フローティング状態になっている。

本実施の形態においても、第 1 の実施の形態と同様の効果が得られるのはもちろん、副画素電極 1 7 とソース電極 2 3 の間に容量が形成されるだけでなく、独立電極 1 3 とソース電極 2 3 との間にも容量を形成することができる。

10

【0039】

本発明は、上記実施の形態に限らず種々の変形が可能である。

例えば、上記実施の形態では、チャンネルエッチ型の T F T を用いた薄膜トランジスタ基板を例に挙げたが、本発明はこれに限らず、チャンネル領域上に保護膜が形成されたチャンネル保護膜型の T F T を用いた薄膜トランジスタ基板にも適用できる。

【図面の簡単な説明】

【0040】

【図 1】本発明の第 1 の実施の形態による薄膜トランジスタ基板の 1 画素の構成を示す図である。

【図 2】本発明の第 1 の実施の形態による薄膜トランジスタ基板の 1 画素の構成を示す断面図である。

20

【図 3】本発明の第 2 の実施の形態による薄膜トランジスタ基板の 1 画素の構成を示す図である。

【図 4】本発明の第 2 の実施の形態による薄膜トランジスタ基板の 1 画素の構成を示す断面図である。

【図 5】本発明の第 3 の実施の形態による薄膜トランジスタ基板の 1 画素の構成を示す図である。

【図 6】本発明の第 3 の実施の形態による薄膜トランジスタ基板の 1 画素の構成を示す断面図である。

【符号の説明】

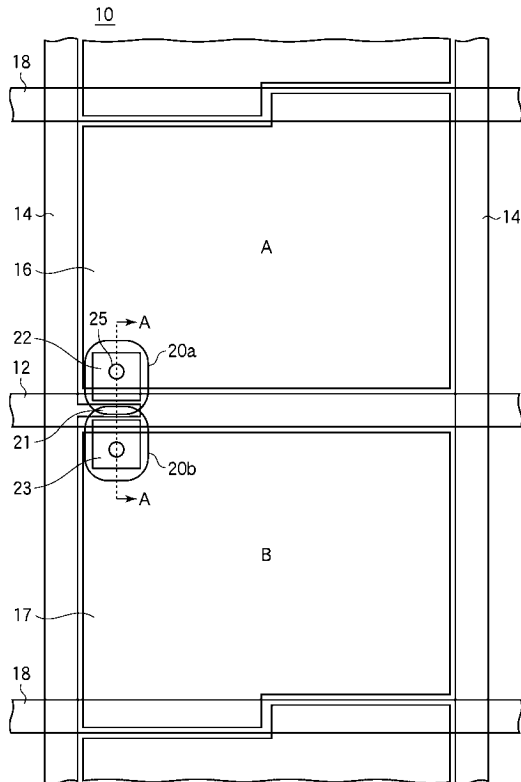
30

【0041】

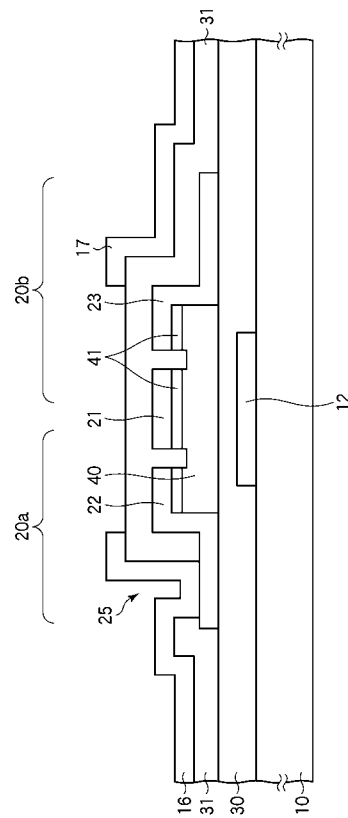
- 1 0 ガラス基板
- 1 2 ゲートバスライン
- 1 3 独立電極
- 1 4 ドレインバスライン
- 1 6 第 1 の副画素電極
- 1 7 第 2 の副画素電極
- 1 8 蓄積容量電極バスライン
- 2 0 a、2 0 b T F T
- 2 1 ドレイン電極
- 2 2、2 3 ソース電極
- 2 5、2 6 コンタクトホール
- 3 0 ゲート絶縁膜
- 3 1 絶縁膜（保護膜）
- 4 0 アイランド半導体層
- 4 1 オーミックコンタクト層

40

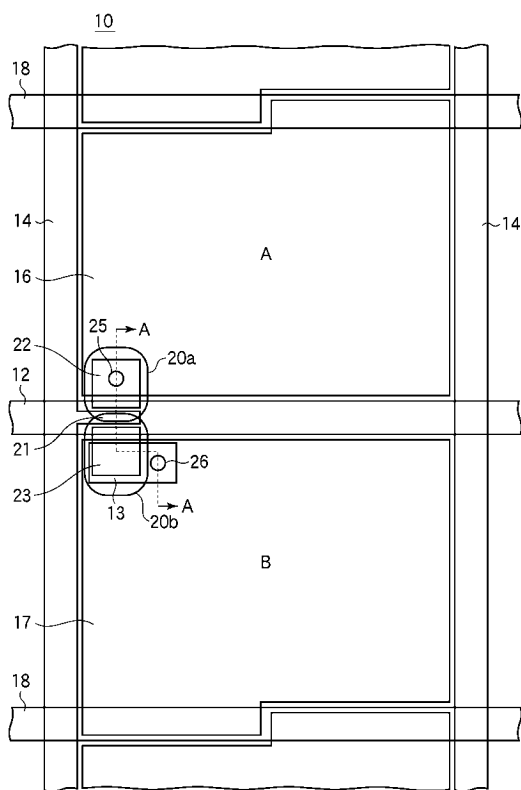
【図 1】



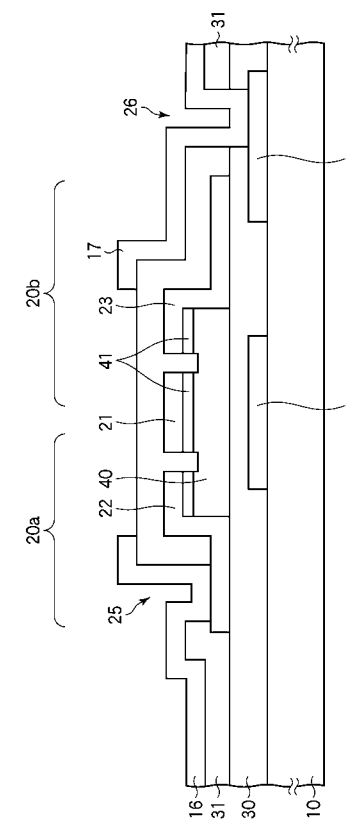
【図 2】



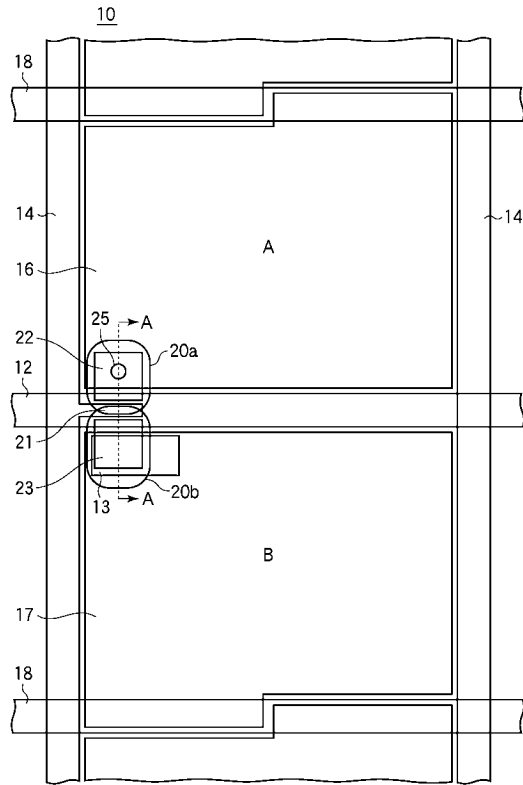
【図 3】



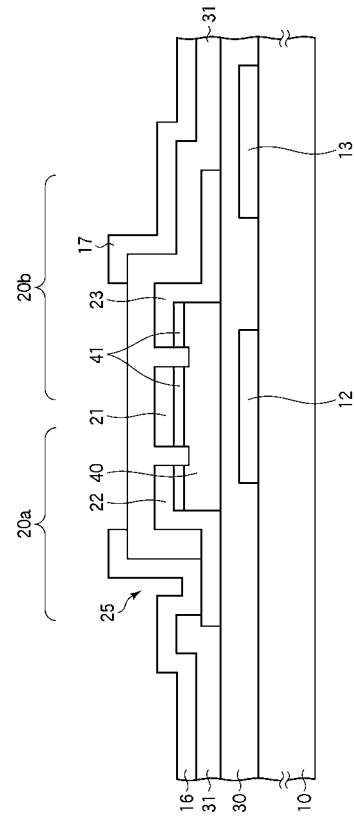
【図 4】



【図 5】



【図 6】



フロントページの続き

Fターム(参考) 5F110 AA30 BB01 CC01 CC05 CC07 DD02 EE01 EE03 EE04 EE06
EE14 EE44 FF03 FF30 GG02 GG13 GG15 GG25 GG45 HK03
HK04 HK09 HK16 HK22 HK25 HK33 NN04 NN24 NN35 NN72
NN73 QQ01

专利名称(译)	薄膜晶体管基板和液晶显示板		
公开(公告)号	JP2006317867A	公开(公告)日	2006-11-24
申请号	JP2005142770	申请日	2005-05-16
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	星野淳之		
发明人	星野 淳之		
IPC分类号	G02F1/1368 G09F9/30 H01L29/786 H01L21/336		
CPC分类号	H01L27/124		
FI分类号	G02F1/1368 G09F9/30.338 G09F9/30.339.Z H01L29/78.612.Z		
F-TERM分类号	2H092/JA26 2H092/JA38 2H092/JA42 2H092/JB04 2H092/JB23 2H092/JB32 2H092/JB45 2H092/JB46 2H092/JB65 2H092/JB69 2H092/NA07 2H092/QA09 5C094/AA02 5C094/BA03 5C094/BA43 5C094/CA19 5C094/EA04 5F110/AA30 5F110/BB01 5F110/CC01 5F110/CC05 5F110/CC07 5F110/DD02 5F110/EE01 5F110/EE03 5F110/EE04 5F110/EE06 5F110/EE14 5F110/EE44 5F110/FF03 5F110/FF30 5F110/GG02 5F110/GG13 5F110/GG15 5F110/GG25 5F110/GG45 5F110/HK03 5F110/HK04 5F110/HK09 5F110/HK16 5F110/HK22 5F110/HK25 5F110/HK33 5F110/NN04 5F110/NN24 5F110/NN35 5F110/NN72 5F110/NN73 5F110/QQ01 2H192/BC22 2H192/BC24 2H192/BC31 2H192/CB05 2H192/CC04 2H192/CC22 2H192/CC32 2H192/CC72 2H192/DA12 2H192/DA81 2H192/HA44 2H192/JA13		
代理人(译)	盛冈正树		
其他公开文献	JP4703258B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供能够获得优选显示质量的薄膜晶体管板和液晶显示板。解决方案：提供一种薄膜晶体管板和用于液晶显示装置的液晶显示面板，其中第一子像素电极16和第二子像素电极17设置在两侧，插入栅极总线12，在薄膜晶体管板上制作与第一子像素电极16电连接的第一薄膜晶体管20a和与第二子像素电极17电容耦合的第二薄膜晶体管20b。根据本发明，在传统系统中，通过接触孔在与源电极和像素电极的连接部分对应的部分处形成电容，这消除了使用不必要的不透明线并充分保持有效面积。像素和透射率。Ž

