

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-292899
(P2006-292899A)

(43) 公開日 平成18年10月26日(2006.10.26)

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G02F 1/133 (2006.01)	G02F 1/133 525	5C006
G09G 3/20 (2006.01)	G02F 1/133 550	5C080
	G09G 3/20 611A	
	G09G 3/20 612T	
審査請求 未請求 請求項の数 15 O L (全 27 頁) 最終頁に続く		

(21) 出願番号 特願2005-111439 (P2005-111439)
(22) 出願日 平成17年4月7日(2005.4.7)

(71) 出願人 302062931
NECエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753番地
(74) 代理人 100102864
弁理士 工藤 実
(72) 発明者 能勢 崇
神奈川県川崎市中原区下沼部1753番地
NECエレクトロニクス株式会社内
Fターム(参考) 2H093 NA16 NA31 NA32 NA34 NA43
NC03 NC10 NC12 NC22 NC26
NC34 NC49 NC50 ND35 ND39
5C006 AC21 AC26 AF43 BB16 BC12
BF24 BF25 BF26 FA47
5C080 AA10 BB05 DD26 EE29 FF01
FF11 JJ02 JJ04

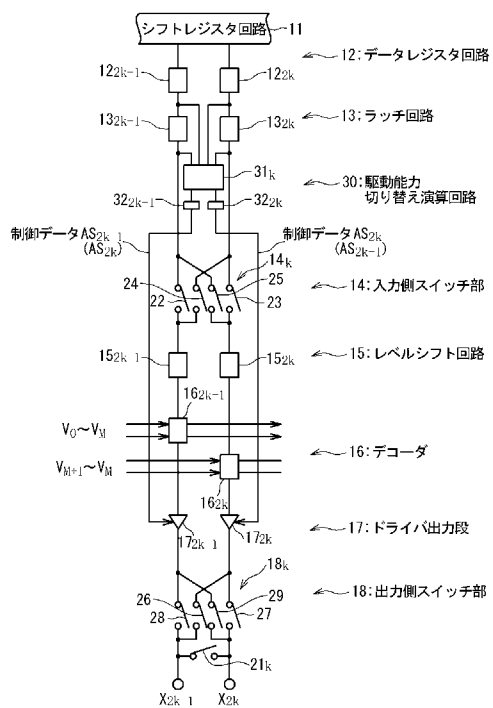
(54) 【発明の名称】 液晶表示装置、液晶ドライバ、及び液晶表示パネルの駆動方法

(57) 【要約】

【課題】 各データ線の駆動前にデータ線を短絡するドット反転駆動を採用する液晶表示装置の消費電力を低減する。

【解決手段】 本発明による液晶表示装置は、データ線 X_{2k-1} 、 X_{2k} と、オペアンプ 17_{2k-1} 、 17_{2k} と、短絡スイッチ 21_k とを具備する。オペアンプ 17_{2k-1} は、第1期間においてはデータ線 X_{2k-1} を正の電位に、第1期間の後の第2期間においてはデータ線 17_{2k} を正の電位に駆動する。オペアンプ 17_{2k} は、第1期間においてはデータ線 X_{2k} を負の電位に、第2期間においてはデータ線 X_{2k-1} を負の電位に駆動する。短絡スイッチ 21_k は、第1期間と第2期間との間の短絡期間においてデータ線 X_{2k-1} 、 X_{2k} を短絡するように構成されている。第2期間におけるオペアンプ 17_{2k-1} の駆動能力は、短絡期間におけるデータ線 X_{2k-1} 、 X_{2k} の電位に応じて制御される。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

第 1 及び第 2 データ線と、

第 1 期間においては前記第 1 データ線を第 1 極性の電位に、前記第 1 期間の後の第 2 期間においては前記第 2 データ線を前記第 1 極性の電位に駆動する第 1 オペアンプと、

前記第 1 期間においては前記第 2 データ線を前記第 1 極性と相補の第 2 極性の電位に、前記第 2 期間においては前記第 1 データ線を前記第 2 極性の電位に駆動する第 2 オペアンプと、

前記第 1 期間と前記第 2 期間との間の短絡期間において前記第 1 データ線と前記第 2 データ線を短絡するように構成された短絡回路

10

とを具備し、

前記第 2 期間における前記第 1 オペアンプ及び前記第 2 オペアンプの駆動能力は、前記短絡期間における前記第 1 及び前記第 2 データ線の電位である短絡電位に応じて制御される

液晶表示装置。

【請求項 2】

請求項 1 に記載の液晶表示装置であって、

前記第 2 期間における前記第 1 オペアンプの駆動能力は、前記第 2 期間において前記第 2 データ線が駆動される電位と前記短絡電位との差に応じて制御され、

前記第 2 期間における前記第 2 オペアンプの駆動能力は、前記第 2 期間において前記第 1 データ線が駆動される電位と前記短絡電位との差に応じて制御される

20

液晶表示装置。

【請求項 3】

請求項 1 に記載の液晶表示装置であって、

前記第 1 オペアンプは、前記第 1 期間においては第 1 画素データにตอบสนองして前記第 1 データ線を駆動し、前記第 2 期間においては第 2 画素データにตอบสนองして前記第 2 データ線を駆動し、

前記第 2 オペアンプは、前記第 1 期間においては第 3 画素データにตอบสนองして前記第 2 データ線を駆動し、前記第 2 期間においては第 4 画素データにตอบสนองして前記第 1 データ線を駆動し、

30

前記第 2 期間における前記第 1 オペアンプの駆動能力は、前記短絡電位に加え、前記第 2 画素データにตอบสนองして可変であり、

前記第 2 期間における前記第 2 オペアンプの駆動能力は、前記短絡電位に加え、前記第 4 画素データにตอบสนองして可変である

液晶表示装置。

【請求項 4】

請求項 3 に記載の液晶表示装置であって、

前記第 1 オペアンプの駆動能力は、前記第 2 画素データに加え、前記第 1 画素データ及び前記第 3 画素データにตอบสนองして可変であり

前記第 2 オペアンプの駆動能力は、前記第 4 画素データに加え、前記第 1 画素データ及び前記第 3 画素データにตอบสนองして可変である

40

液晶表示装置。

【請求項 5】

請求項 4 に記載の液晶表示装置であって、

前記第 1 極性は正の極性であり、

前記第 1 オペアンプは、前記第 1 画素データの値及び前記第 2 画素データの値が大きいほど高い電位を有するように前記第 1 データ線及び前記第 2 データ線に出力電位を生成し

、前記第 2 極性は負の極性であり、

前記第 2 オペアンプは、前記第 3 画素データの値及び前記第 4 画素データの値が大きい

50

ほど低い電位を有するように前記第 1 データ線及び前記第 2 データ線に出力電位を生成し

、
前記第 2 期間における前記第 1 オペアンプの駆動能力は、前記第 1 画素データと前記第 3 画素データとの差の 2 分の 1 の値と、前記第 2 画素データの値との差に応答して可変であり、

前記第 2 期間における前記第 2 オペアンプの駆動能力は、前記第 1 画素データと前記第 3 画素データとの差の 2 分の 1 の値と、前記第 4 画素データの値との差に応答して可変である

液晶表示装置。

【請求項 6】

請求項 4 に記載の液晶表示装置であって、

前記第 1 ~ 第 4 画素データを供給する LCD コントローラを更に備え、

前記第 1 オペアンプ及び前記第 2 オペアンプは、前記 LCD コントローラとは別に用意されたデータドライバに設けられ、

前記 LCD コントローラは、前記第 1 画素データ、前記第 2 画素データ、及び前記第 3 画素データにそれぞれ応答して第 1 制御データを生成して前記データドライバに供給し、前記第 1 画素データ、前記第 3 画素データ、及び前記第 4 画素データにそれぞれ応答して第 2 制御データを生成して前記データドライバに供給し、

前記第 2 期間における前記第 1 オペアンプの駆動能力は、前記第 1 制御データにそれぞれ応答して制御され、

前記第 2 期間における前記第 2 オペアンプの駆動能力は、前記第 2 制御データにそれぞれ応答して制御される

液晶表示装置。

【請求項 7】

複数のデータ線と、

第 1 期間においては第 1 画素データ群にそれぞれ応答し、前記第 1 期間の後の第 2 期間においては第 2 画素データ群にそれぞれ応答して正の極性の正極性データ信号をそれぞれに生成し、前記正極性データ信号を、前記第 1 期間においては前記複数のデータ線のうちから選択された第 1 データ線群に、前記第 2 期間においては残りの第 2 データ線群にそれぞれに出力する複数の第 1 オペアンプと、

前記第 1 期間においては第 3 画素データ群にそれぞれ応答し、前記第 2 期間においては第 4 画素データ群にそれぞれ応答して負の極性の負極性データ信号をそれぞれに生成し、前記負極性データ信号を、前記第 1 期間においては前記第 2 データ線群に、前記第 2 期間においては残りの第 1 データ線群にそれぞれに出力する複数の第 2 オペアンプと、

前記第 1 期間と前記第 2 期間との間の短絡期間において前記複数のデータ線を短絡するように構成された短絡回路

とを備え、

前記第 2 期間における前記複数の第 1 オペアンプの駆動能力は、前記短絡期間における前記複数のデータ線の電位と、前記第 2 画素データ群の対応する画素データにそれぞれ応答して可変であり、

前記第 2 期間における前記複数の第 2 オペアンプの駆動能力は、前記短絡期間における前記複数のデータ線の電位と、前記第 4 画素データ群の対応する画素データにそれぞれ応答して可変である

液晶表示装置。

【請求項 8】

請求項 7 に記載の液晶表示装置であって、

前記第 2 期間における前記複数の第 1 オペアンプ及び前記複数の第 2 オペアンプの駆動能力は、前記第 1 画素データ群及び前記第 3 画素データ群にそれぞれ応答して可変である

液晶表示装置。

【請求項 9】

10

20

30

40

50

請求項 8 に記載の液晶表示装置であって、

前記第 1 ~ 第 4 画素データ群を供給する LCD コントローラを更に備え、

前記複数の第 1 オペアンプ及び前記複数の第 2 オペアンプは、前記 LCD コントローラとは別に用意されたデータドライバに設けられ、

前記 LCD コントローラは、前記複数の第 1 オペアンプのそれぞれに供給される第 1 制御データを、前記第 1 画素データ群、前記第 3 画素データ群、及び前記第 2 画素データ群の対応する画素データに应答して生成して前記データドライバに供給し、前記複数の第 2 オペアンプのそれぞれに供給される第 2 制御データを、前記第 1 画素データ群、前記第 3 画素データ群、及び前記第 4 画素データ群の対応する画素データに应答して生成して前記データドライバに供給し、

10

前記第 2 期間における前記第 1 オペアンプの駆動能力は、前記第 1 制御データに应答して制御され、

前記第 2 期間における前記第 2 オペアンプの駆動能力は、前記第 2 制御データに应答して制御される

液晶表示装置。

【請求項 10】

第 1 及び第 2 データ線と、

第 1 期間においては第 1 画素データに应答し、前記第 1 期間の後の第 2 期間においては第 2 画素データに应答して第 1 データ信号を生成し、前記第 1 データ信号を前記第 1 データ線と前記第 2 データ線から選択された一方に出力する第 1 オペアンプと、

20

前記第 1 期間においては第 3 画素データに应答し、前記第 2 期間においては第 4 画素データに应答して前記第 1 データ信号とは逆の極性を有する第 2 データ信号を生成し、前記第 2 データ信号を前記第 1 データ線と前記第 2 データ線の他方に出力する第 2 オペアンプと、

前記第 1 期間と前記第 2 期間との間の短絡期間において前記第 1 データ線と前記第 2 データ線を短絡するように構成された短絡回路とを具備し、

前記第 2 期間における前記第 1 オペアンプ及び第 2 オペアンプの駆動能力は、前記第 1 画素データ及び前記第 3 画素データに应答して可変である

液晶表示装置。

30

【請求項 11】

請求項 10 に記載の液晶表示装置であって、

前記第 2 期間における前記第 1 オペアンプの駆動能力は、前記第 1 画素データ及び前記第 3 画素データ、並びに前記第 2 画素データに应答して可変であり、

前記第 2 期間における前記第 2 オペアンプの駆動能力は、前記第 1 画素データ及び前記第 3 画素データ、並びに前記第 4 画素データに应答して可変である

液晶表示装置。

【請求項 12】

第 1 及び第 2 データ線にそれぞれに接続される第 1 及び第 2 出力端子と、

第 1 期間においては第 1 画素データに应答し、前記第 1 期間の後の第 2 期間においては第 2 画素データに应答して第 1 データ信号を生成し、前記第 1 データ信号を前記第 1 出力端子と前記第 2 出力端子から選択された一方に出力するように構成された第 1 オペアンプと、

40

前記第 1 期間においては第 3 画素データに应答し、前記第 2 期間においては第 4 画素データに应答して前記第 1 データ信号とは逆の極性を有する第 2 データ信号を生成し、前記第 2 データ信号を前記第 1 出力端子と前記第 2 出力端子の他方に出力するように構成された第 2 オペアンプと、

前記第 1 期間と前記第 2 期間との間の期間において前記第 1 出力端子と前記第 2 出力端子を短絡する短絡回路とを具備し、

50

前記第 2 期間における前記第 1 オペアンプ及び前記第 2 オペアンプの駆動能力は、前記第 1 画素データ及び前記第 3 画素データに応答して可変である

液晶ドライバ。

【請求項 1 3】

請求項 1 2 に記載の液晶ドライバであって、

前記第 2 期間における前記第 1 オペアンプの駆動能力は、前記第 1 画素データ及び前記第 3 画素データ、並びに前記第 2 画素データに応答して可変であり、

前記第 2 期間における前記第 2 オペアンプの駆動能力は、前記第 1 画素データ及び前記第 3 画素データ、並びに前記第 4 画素データに応答して可変である

液晶ドライバ。

【請求項 1 4】

第 1 期間において、第 1 データ線を第 1 極性の第 1 電位に、第 2 データ線を第 2 極性の第 2 電位に駆動するステップと、

前記第 1 期間の後の第 2 期間において、前記第 2 データ線を前記第 1 極性の第 3 電位に、前記第 1 データ線を第 2 極性の第 4 電位に駆動するステップと、

前記第 1 期間と前記第 2 期間との間の短絡期間において前記第 1 データ線と前記第 2 データ線を短絡するステップ

とを具備し、

前記第 2 期間において前記第 1 データ線の駆動に使用される第 1 オペアンプの駆動能力と、前記第 2 期間において前記第 2 データ線の駆動に使用される第 2 オペアンプの駆動能力は、前記短絡期間における前記第 1 及び前記第 2 データ線の電位である短絡電位に応じて可変である

液晶表示パネルの駆動方法。

【請求項 1 5】

請求項 1 4 に記載の液晶表示パネルの駆動方法であって、

前記第 2 期間における前記第 1 オペアンプの駆動能力は、前記短絡電位と前記第 4 電位との差に応じて制御され、

前記第 2 期間における前記第 2 オペアンプの駆動能力は、前記短絡電位と前記第 3 電位との差に応じて制御される

液晶表示パネルの駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置、液晶ドライバ、及び液晶表示パネルの駆動方法に関し、特に、反転駆動によって液晶表示パネルを駆動する技術に関する。

【背景技術】

【0002】

液晶表示装置の駆動において広く使用される技術の一つが、反転駆動である。反転駆動とは、いわゆる焼き付き現象を防止するために、データ線（又は信号線）に供給されるデータ信号の極性を、適宜の時間的、空間的な間隔で反転する駆動方法である。反転駆動は、画素の液晶容量に印加される電圧の直流成分を減少させ、焼き付き現象の発生を有効に防止する。

【0003】

反転駆動には、概略的には、コモン一定駆動法とコモン反転駆動法の 2 種類がある。コモン一定駆動法とは、画素のコモン電極（対向電極）の電位（以下、「共通電位 V_{COM} 」という。）を一定に保ち、データ信号のみの極性を反転する駆動方法である。一方、コモン反転駆動法とは、データ信号と共通電位 V_{COM} の両方を反転する駆動方法である。コモン一定駆動法は、コモン反転駆動法と比較してコモン電極の安定性に優れている、という利点を有している。当業者に広く知られているように、コモン電極の安定性はフリッカの発生の抑制の点で重要である。

10

20

30

40

50

【0004】

典型的なコモン一定駆動法の一つが、画素に書き込まれるデータ信号の極性を水平方向、及び垂直方向のいずれに関しても反転するドット反転駆動である；本明細書において、データ信号の極性は、共通電位 V_{COM} を基準として定義されていることに留意されたい。ドット反転駆動は、共通電位 V_{COM} の安定性を一層に改善し、これによってフリッカの発生を一層に抑制するために有効である。データ信号の極性が反転される空間的周期は、最も典型的には、水平方向及び垂直方向のいずれについても一画素である。ただし、本明細書にいうドット反転駆動とは、データ信号の極性が反転される空間的周期が複数の画素である場合、及び、データ信号の極性が反転される空間的周期が水平方向と垂直方向とで異なる場合を含むと解釈されなくてはならない。

10

【0005】

ドット反転駆動では、画素に書き込まれるデータ信号の極性を垂直方向について反転させるためにデータ線の電位が反転される必要がある。ある水平ラインの画素にデータ信号が書き込まれた後におけるデータ線の電位の極性は、他の水平ラインの画素にデータ信号を書き込むためにデータ線に生成されるべき電位の極性と反対である場合がある。

【0006】

データ線の電位の反転に伴う一つの問題は、データ線の容量が極めて大きいために、データ線の電位の反転に多くの電力が必要であり、従って液晶表示装置の消費電力を不所望に増大させることである。データ線の電位を反転させるために多くの電力を消費することは、特に、携帯端末に搭載される液晶表示装置において重大な問題の一つである。

20

【0007】

液晶表示装置の消費電力を抑制するための技術として、データ線の電位の反転を反転する前にデータ線を短絡することが提案されている。例えば、特開平11-95729号公報（特許文献1）は、データ信号が反転される空間的周期が1画素である液晶表示装置において、隣接するデータ線をデータ線の電位の反転を反転する前に短絡する技術を開示している。データ線を短絡することにより、データ線に蓄積されている電荷を有効に利用し、もって液晶表示装置の消費電力を抑制することができる。更に、特開2002-62855号公報（特許文献2）は、データ線の電位の極性が反転されない期間においてはデータ線を短絡しないことにより、一層に消費電力を抑制する技術を開示している。

【0008】

液晶表示装置の消費電力の低減においても一つ重要なことは、データ線を駆動するために使用されるオペアンプの消費電力を抑制することである。

30

【0009】

オペアンプの消費電力を抑制するための一つの手法は、オペアンプの駆動能力を変化させる、あるいは、不必要な場合にはオペアンプを非活性化することである。例えば、特開平5-41651号公報（特許文献3）は、オペアンプが出力する出力信号と入力信号電圧との差に応答してオペアンプの駆動能力を変化させる技術を開示している。この技術では、出力信号と入力信号電圧との差が大きい場合にはオペアンプの駆動能力が増加され、小さい場合にはオペアンプの駆動能力が減少される。オペアンプは、その駆動能力の減少と共に消費電力が減少するから、大きな駆動能力が不必要な場合にオペアンプの駆動能力が減少されることによって、オペアンプの消費電力を抑制することができる。

40

【0010】

更に、特開2004-45839号公報（特許文献4）は、ある水平ラインの画素の画素データと、それに隣接する水平ラインの対応する画素の画素データとに応じてオペアンプを非活性化する技術を開示している。より具体的には、特許文献4に開示されている技術では、ある水平ラインの全ての画素の画素データが、隣接する水平ラインの対応する画素の画素データと同一の場合には、オペアンプを使用せずにD/Aコンバータによってデータ線が駆動される；ある一つ画素の画素データでも相違する場合には、データ線の駆動にオペアンプが使用される。

【特許文献1】特開平11-95729号公報

50

【特許文献2】特開2002-62855号公報

【特許文献3】特開平5-41651号公報

【特許文献4】特開2004-45839号公報

【発明の開示】

【発明が解決しようとする課題】

【0011】

しかしながら、特許文献1、特許文献2に開示されている技術には、オペアンプが無駄な電力を消費しているという課題がある。これは、特許文献1、特許文献2に開示されている液晶ドライバでは、オペアンプの駆動能力が制御されていないためである。ある一組のデータ線の電位が反転される前にデータ線が短絡される液晶ドライバのアーキテクチャでは、オペアンプに要求される駆動能力は、データ線のそれぞれを、当該一組のデータ線の平均の電位から、対応する画素データに応じた電位まで充電する（又は放電する）のに十分な駆動能力である。従って、当該一組のデータ線の平均の電位と画素データに対応する電位との差が小さい場合には、オペアンプの駆動能力は小さくてよいはずである。しかしながら、特許文献1及び2に開示されている液晶ドライバにはオペアンプの駆動能力を調節する機能がない。このため、特許文献1及び2に開示されている液晶ドライバでは、当該一組のデータ線の平均の電位から画素データに対応する電位の差が最大の場合に対応した駆動能力を有するように、オペアンプを設計せざるを得ない。これは、オペアンプの消費電力を不所望に増大させる。

10

【0012】

これに関連して、上述の特許文献3、4は、オペアンプの駆動能力、又は使用/不使用を制御してオペアンプの消費電力を抑制する技術を開示している；しかしながら、これらの技術は、データ線を短絡する技術が採用されたときにおける、オペアンプの駆動能力の最適な制御技術を提供するものではない。

20

【課題を解決するための手段】

【0013】

上記の課題を解決するために、本発明は、以下に述べられる手段を採用する。その手段を構成する技術的事項の記述には、[特許請求の範囲]の記載と[発明を実施するための最良の形態]の記載との対応関係を明らかにするために、[発明を実施するための最良の形態]で使用される番号・符号が付加されている。但し、付加された番号・符号は、[特許請求の範囲]に記載されている発明の技術的範囲を限定的に解釈するために用いてはならない。

30

【0014】

本発明による液晶表示装置は、第1データ線(X_{2k-1})及び第2データ線(X_{2k})と、第1オペアンプ(17_{2k-1})と、第2オペアンプ(17_{2k})と、短絡回路(21_k)とを備えている。第1オペアンプ(17_{2k-1})は、第1期間においては第1データ線(X_{2k-1})を第1極性の電位に、第1期間の後の第2期間においては第2データ線(X_{2k})を第1極性の電位に駆動する。一方、第2オペアンプ(17_{2k})は、第1期間においては第2データ線(X_{2k})を第1極性と相補の第2極性の電位に、第2期間においては第1データ線(X_{2k-1})を第2極性の電位に駆動する。短絡回路(21_k)は、第1期間と第2期間との間の短絡期間において第1データ線(X_{2k-1})と第2データ線(X_{2k})を短絡するように構成されている。第2期間における第1オペアンプ(17_{2k-1})及び第2オペアンプ(17_{2k})の駆動能力は、短絡期間における第1及び第2データ線(17_{2k-1} 、 17_{2k})の電位である短絡電位に応じて制御される。

40

【0015】

このような構成の液晶表示装置によれば、短絡されたときの第1及び第2データ線(17_{2k-1} 、 17_{2k})の電位に応じて、その後第2データ線(X_{2k})を駆動する第1オペアンプ(17_{2k-1})及び第2オペアンプ(17_{2k})の駆動能力を適切に制御し、もって消費電力を低減することができる。

50

【0016】

より具体的には、第2期間における第1オペアンプ(17_{2k-1})の駆動能力は、前記第2期間において第2データ線(17_{2k})が駆動される電位と短絡電位との差に応じて制御され、第2期間における第2オペアンプ(17_{2k})の駆動能力は、前記第2期間において第1データ線(17_{2k-1})が駆動される電位と短絡電位との差に応じて制御される。このような構成によれば、第1データ線(17_{2k-1})及び第2データ線(17_{2k})が駆動される電位と短絡電位との差が大きな場合には大きな駆動能力で、差が小さな場合には小さな駆動能力で第1データ線(17_{2k-1})及び第2データ線(17_{2k})を駆動し、もって消費電力を低減することができる。

【0017】

このような第1データ線(17_{2k-1})及び第2データ線(17_{2k})が駆動される電位と短絡電位との差に応じた制御は、画素データに基づいて行われ得る。例えば、第1オペアンプ(17_{2k-1})が、第1期間においては第1画素データ(D_{j-1, 2k-1})に回答して第1データ線(X_{2k-1})を駆動し、第2期間においては第2画素データ(D_{j, 2k})に回答して第2データ線(X_{2k})を駆動する場合には、第2期間における第1オペアンプ(17_{2k-1})の駆動能力は、前記短絡電位に加えて第2画素データ(D_{j, 2k})に回答して制御され得る。更に、第2オペアンプ(17_{2k})が、第1期間においては第3画素データ(D_{j-1, 2k})に回答して第2データ線(X_{2k})を駆動し、第2期間においては第4画素データ(D_{j, 2k-1})に回答して第2データ線(X_{2k})を駆動する場合には、第2期間における第2オペアンプ(17_{2k})の駆動能力は、前記短絡電位に加えて第4画素データ(D_{j, 2k-1})に回答して制御され得る。

10

20

【0018】

より実際的には、第1オペアンプ(17_{2k-1})の駆動能力は、第2画素データ(D_{j, 2k})に加え、第1画素データ(D_{j-1, 2k-1})及び第2オペアンプ(17_{2k})が第1期間において第2データ線(X_{2k})を駆動するのに使用する第3画素データ(D_{j-1, 2k})に回答して制御され得る。更に、第2オペアンプ(17_{2k})の駆動能力は、第4画素データ(D_{j, 2k-1})に加え、第1画素データ(D_{j-1, 2k-1})及び第3画素データ(D_{j-1, 2k})に回答して制御され得る。画素データを使用した制御は、第1オペアンプ(17_{2k-1})の駆動能力を制御するための制御データの生成を容易化するため、好ましい。

30

【0019】

他の観点において、本発明による液晶表示装置は、第1及び第2データ線(X_{2k-1}, X_{2k})と、第1及び第2オペアンプ(17_{2k-1}, 17_{2k})と、短絡回路(21_k)とを備えている。第1オペアンプ(17_{2k-1})は、第1期間においては第1画素データ(D_{j-1, 2k-1})に回答し、前記第1期間の後の第2期間においては第2画素データ(D_{j, 2k})に回答して第1データ信号を生成し、前記第1データ信号を、第1及び第2データ線(X_{2k-1}, X_{2k})から選択された一方に出力する。第2オペアンプ(17_{2k})は、第1期間においては第3画素データ(D_{j-1, 2k})に回答し、前記第2期間においては第4画素データ(D_{j, 2k-1})に回答して前記第1データ信号とは逆の極性を有する第2データ信号を生成し、前記第2データ信号を第1及び第2データ線(X_{2k-1}, X_{2k})の他方に出力する。短絡回路(21_k)は、第1期間と前記第2期間との間の短絡期間において第1及び第2データ線(X_{2k-1}, X_{2k})を短絡するように構成されている。第2期間における第1オペアンプ(17_{2k-1})及び第2オペアンプ(17_{2k})の駆動能力は、第1画素データ(D_{j-1, 2k-1})及び第3画素データ(D_{j-1, 2k})に回答して可変である。

40

【0020】

このような液晶表示装置では、第1画素データ(D_{j-1, 2k-1})及び第3画素データ(D_{j-1, 2k})から短絡期間における第1及び第2データ線(17_{2k-1}, 17_{2k})の電位である短絡電位を認識し、該短絡電位に応じた適切な駆動能力を第1オペ

50

アンプ(17_{2k-1})に与えることができる。これは、液晶表示装置の消費電力を有効に低減させる。

【発明の効果】

【0021】

本発明によれば、各データ線の駆動前にデータ線を短絡するドット反転駆動を採用する液晶表示装置の消費電力を有効に低減させることができる。

【発明を実施するための最良の形態】

【0022】

以下、添付図面を参照しながら本発明の実施の形態が説明される。図面において同一、又は類似の参照符号は、同一、類似、又は等価な構成要素を示していることに留意されたい。

10

【0023】

第1 第1の実施形態

1. 液晶表示装置の全体構成

図1は、本発明の第1の実施形態に係る液晶表示装置10の構成を示すブロック図である。液晶表示装置10は、LCD(liquid crystal display)パネル1と、LCDコントローラ2と、複数のデータドライバ3と、ゲートドライバ4と、基準階調電圧発生部5を備えている。LCDパネル1は、データ線 $X_1 \sim X_n$ (n は、2以上の偶数)と、ゲート線 $Y_1 \sim Y_m$ (m は、2以上の自然数)と、これらが交差する位置のそれぞれに設けられた画素 P とを備えている；ただし、図を見やすくするために、図1には2つの画素しか図示されていない。以下において、データ線 X_j とゲート線 Y_i とが交差する位置に設けられた画素は、画素 $P_{j,i}$ と記載される。各画素 $P_{j,i}$ は、コモン電極1aに対向する画素電極1bとTF T1cとを備えている。画素 $P_{j,i}$ のTF T1cがターンオンされた状態でデータ線 X_j にデータ信号が供給されると、画素 $P_{j,i}$ の液晶容量(即ち、コモン電極1aと画素電極1bとで構成される容量)にデータ信号が書き込まれる。

20

【0024】

LCDコントローラ2は、データドライバ3とゲートドライバ4を制御し、これによってLCDパネル1に所望の画像を表示させる。詳細には、LCDコントローラ2は、画像描画用LSI6(例えば、CPU(Central Processor Unit)、及びDSP(Digital signal processor)から画素データを受け取り、受け取った画素データをデータドライバ3に転送する。画素データとは、LCDパネル1の各画素の階調を指示するデータであり、以下において、画素 $P_{j,i}$ に対応する画素データは、画素データ $D_{j,i}$ と記載される。更にLCDコントローラ2は、垂直同期信号 V_{sync} 、水平同期信号 H_{sync} 、データネーブル信号DE、クロック信号CLKその他の制御信号を画像描画用LSI6から受け取り、これらの制御信号に应答してデータドライバ3にデータ側制御信号7を、ゲートドライバ4にゲート側制御信号8を供給する。本実施の形態では、データ側制御信号7は、スタートパルス信号SPR、シフト方向指示信号R/L、クロック信号CLK、ラッチ信号STB、及び極性信号POLを含んでいる。スタートパルス信号SPRは、データドライバ3に画素データの取り込みを開始させる信号であり、シフト方向指示信号R/Lは、データドライバ3による画素データの取り込みを制御する信号である。ラッチ信号STBは、データドライバ3の内部でのデータ転送を制御する信号であり、極性信号POLは、各データ線に供給されるデータ信号の極性を指定する信号である。

30

40

【0025】

データドライバ3は、LCDコントローラ2から受け取った画素データと、データ側制御信号7とに应答してLCDパネル1のデータ線 $X_1 \sim X_n$ を駆動する。詳細には、第 j ラインの画素 $P_{j,1} \sim P_{j,n}$ が駆動される第 j 水平期間では、データドライバ3は、データ線 $X_1 \sim X_n$ を、それぞれ画素データ $D_{j,1} \sim D_{j,n}$ に应答して駆動する。データ線 $X_1 \sim X_n$ の駆動には、基準階調電圧発生部5から供給される階調電圧 $V_1 \sim V_M$ が使用される； M は、画素がとり得る階調の数である。画素データ $D_{j,i}$ が p ビットデータである場合、 M は 2^p である。階調電圧 $V_1 \sim V_M$ は、共通電位 V_{COM} (即ち、

50

コモン電極 1 a の電位) に対して正の極性を有しており、下記の関係：

$$V_1 > V_2 > \dots > V_M > 0,$$

を成立させている。一方、階調電圧 $V_{M+1} \sim V_{2M}$ は負の極性を有しており、下記の関係：

$$0 > V_{M+1} > V_{M+2} > \dots > V_{2M},$$

を成立させている。データ線 $X_1 \sim X_n$ が正の極性の電位に駆動される場合には、階調電圧 $V_1 \sim V_M$ のうちの一の階調電圧が選択され、データ線 $X_1 \sim X_n$ は、選択された階調電圧に対応する正の極性の電位に駆動される。一方、データ線 $X_1 \sim X_n$ が負の極性の電位に駆動される場合には、階調電圧 $V_{M+1} \sim V_{2M}$ のうちの一の階調電圧が選択され、データ線 $X_1 \sim X_n$ は、選択された階調電圧に対応する負の極性の電位に駆動される。

10

【0026】

ゲートドライバ 4 は、LCD コントローラ 2 から受け取ったゲート側制御信号 8 に応答して、ゲート線 $Y_1 \sim Y_m$ を駆動する。

【0027】

2. データドライバの構成

図 2 は、データドライバ 3 の構成を示すブロック図である。データドライバ 3 は、1 画素を空間的周期とするドット反転駆動を実現するような構成を有している；言い換えれば、データドライバ 3 は、1 対のデータ線 X_{2k-1} 、 X_{2k} を反対の極性のデータ信号で駆動するように構成されている。

【0028】

より具体的には、データドライバ 3 は、シフトレジスタ回路 11 と、データレジスタ回路 12 と、ラッチ回路 13 と、駆動能力切り替え演算回路 30 と、入力側スイッチ部 14 と、レベルシフト回路 15 と、デコーダ (D/A コンバータ) 16 と、ドライバ出力段 17 と、出力側スイッチ部 18 と、階調電圧バッファ 19 と、データ線 $X_1 \sim X_n$ にそれぞれに接続される出力端子 $20_1 \sim 20_n$ とを備えている。データレジスタ回路 12 は、レジスタ $12_1 \sim 12_n$ を備えており、ラッチ回路 13 は、レジスタ $12_1 \sim 12_n$ の出力に接続されているラッチ $13_1 \sim 13_n$ を備えている。入力側スイッチ部 14 は、2 つのラッチに対して 1 つずつ設けられたスイッチ回路 $14_1 \sim 14_{n/2}$ を備えている。レベルシフト回路 15 は、レベルシフタ $15_1 \sim 15_n$ を備えている。デコーダ 16 は、レベルシフタ $15_1 \sim 15_n$ の出力に接続されたセクタ $16_1 \sim 16_n$ を備えている。ドライバ出力段 17 は、オペアンプ $17_1 \sim 17_n$ を備えている。出力側スイッチ部 18 は、2 つのオペアンプに対して 1 つずつ設けられたスイッチ回路 $18_1 \sim 18_{n/2}$ を備えており、更に、2 つの出力端子 20 に対して 1 つずつ設けられた短絡スイッチ $21_1 \sim 21_{n/2}$ を備えている。階調電圧バッファ 19 は、ボルテッジフォロア 19a、19b を備えている。

20

30

【0029】

シフトレジスタ回路 11 は、データレジスタ回路 12 に画素データを取り込ませるトリガパルス信号 $SR_1 \sim SR_n$ を生成するための回路である。シフトレジスタ回路 11 は、各水平期間において一回ずつトリガパルス信号 $SR_1 \sim SR_n$ を順次に活性化する。より具体的には、シフトレジスタ回路 11 は、パラレル出力を有する n ビットシフトレジスタで構成されており、スタートパルス信号 SPR 、シフト方向指示信号 R/L 、及びクロック信号 CLK が供給されている。スタートパルス信号 SPR が活性化されると、シフトレジスタ回路 11 の内部では、クロック信号 CLK に同期して、且つ、シフト方向指示信号 R/L に指示されている方向に "1" を取るビットがシフトされ、"1" を取るビットに対応するトリガパルス信号 $SR_1 \sim SR_n$ が順次に活性化される。シフト方向指示信号 R/L が "H" レベルである場合には、トリガパルス信号 SR_1 、 SR_2 、 \dots 、 SR_n は、この順序で活性化される。シフト方向指示信号 R/L が "L" レベルである場合には、逆の順序で活性化される。なお、LCD パネルは、通常、複数のデータドライバによって駆動されるため、データドライバのトリガパルス信号 SR_n と同じタイミングで動作するスタートパルス信号 SPL が次のデータドライバへと出力され、次のデータドライバの

40

50

スタートパルス S_{PR} として使用される。

【0030】

データレジスタ回路 12 は、トリガパルス信号 $S_{R_1} \sim S_{R_n}$ に応答して、LCD コントローラ 2 から送られる画素データを順次にレジスタ $12_1 \sim 12_n$ に取り込む。詳細には、第 j ラインの画素 $P_{j,1} \sim P_{j,n}$ の画素データ $D_{j,1} \sim D_{j,n}$ は、それぞれトリガパルス信号 $S_{R_1} \sim S_{R_n}$ に応答して、それぞれレジスタ $12_1 \sim 12_n$ に取り込まれる。

【0031】

ラッチ回路 13 は、データレジスタ回路 12 から送られてくる画素データを、ラッチ信号 S_{TB} に応答してラッチ $13_1 \sim 13_n$ に取り込む。ラッチ $13_1 \sim 13_n$ に取り込まれた画素データが、現水平期間におけるデータ線 $X_1 \sim X_n$ の駆動に使用される。上述のデータレジスタ回路 12 に取り込まれている画素データは、次の水平期間におけるデータ線 $X_1 \sim X_n$ の駆動に使用される画素データであることに留意されたい。

10

【0032】

入力側スイッチ部 14 は、極性信号 POL に応答してラッチ $13_1 \sim 13_n$ とレベルシフタ $15_1 \sim 15_n$ の間の接続関係を切り替える。詳細には、図 3 に示されているように、入力側スイッチ部 14 の各スイッチ回路 14_k は、4 つの接点 $22 \sim 25$ を備えている。接点 22 は、ラッチ 13_{2k-1} とレベルシフタ 15_{2k-1} の間に設けられ、接点 23 は、ラッチ 13_{2k} とレベルシフタ 15_{2k} の間に設けられている。一方、接点 24 は、ラッチ 13_{2k-1} とレベルシフタ 15_{2k} の間に設けられ、接点 25 は、ラッチ 13_{2k} とレベルシフタ 15_{2k-1} の間に設けられている。このように構成されたスイッチ回路 14_k は、ラッチ 13_{2k-1} 、 13_{2k} の一方をレベルシフタ 15_{2k-1} の入力に接続し、他方をレベルシフタ 15_{2k} の入力に接続する。

20

【0033】

図 2 に戻り、レベルシフト回路 15、デコーダ 16、及びドライバ出力段 17 は、ラッチ $13_1 \sim 13_n$ から送られる画素データに応答してデータ信号を生成する回路群である。レベルシフト回路 15、デコーダ 16、及びドライバ出力段 17 は、正の極性のデータ信号を生成するための専用の部分と、負の極性のデータ信号を生成するための専用の部分とに分けられる。奇数番目のレベルシフタ 15_1 、 15_3 、 \dots 、 15_{n-1} 、セレクトア 16_1 、 16_3 、 \dots 、 16_{n-1} 、及びオペアンプ 17_1 、 17_3 、 \dots 、 17_{n-1} は、正の極性のデータ信号を生成するために使用される。一方、偶数番目のレベルシフタ 15_2 、 15_4 、 \dots 、 15_n 、セレクトア 16_2 、 16_4 、 \dots 、 16_n 、及びオペアンプ 17_2 、 17_4 、 \dots 、 17_n は、負の極性のデータ信号を生成するために使用される。

30

【0034】

より具体的には、図 3 に示されているように、奇数番目のレベルシフタ 15_{2k-1} は、それに接続されたラッチ（即ち、ラッチ 13_{2k-1} 又はラッチ 13_{2k} ）の出力の信号レベルを、セレクトア 16_{2k-1} の入力の信号レベルに変換する。セレクトア 16_{2k-1} には、ボルテッジフォロア 19a を介して正の極性の階調電圧 $V_1 \sim V_M$ が供給されている。セレクトア 16_{2k-1} は、それに接続されているラッチから送られる画素データに応答して階調電圧 $V_1 \sim V_M$ のうちから対応する階調電圧を選択し、選択された階調電圧をオペアンプ 17_{2k-1} に供給する。セレクトア 16_{2k-1} が選択する階調電圧は、画素データの値（即ち、対応する画素の階調）が大きいほど高い。オペアンプ 17_{2k-1} は、供給された階調電圧に応答して、正の極性の電位を有するデータ信号を生成する。オペアンプ 17_{2k-1} が出力する電位は、画素データの値（即ち、対応する画素の階調）が大きいほど高い。

40

【0035】

同様に、偶数番目のレベルシフタ 15_{2k} は、それに接続されたラッチ（即ち、ラッチ 13_{2k-1} 又はラッチ 13_{2k} ）の出力の信号レベルを、セレクトア 16_{2k} の入力の信号レベルに変換する。セレクトア 16_{2k} には、ボルテッジフォロア 19b を介して負の極

50

性の階調電圧 $V_{M+1} \sim V_{2M}$ ($0 > V_{M+1} > V_{M+2} > \dots > V_{2M}$) が供給されている。セクタ 16_{2k} は、それに接続されているラッチから送られる画素データにตอบสนองして階調電圧 $V_{M+1} \sim V_{2M}$ のうちから対応する階調電圧を選択し、選択された階調電圧をオペアンプ 17_{2k} に供給する。セクタ 16_{2k-1} が選択する階調電圧は、画素データの値 (即ち、対応する画素の階調) が大きいほど低い。オペアンプ 17_{2k} は、供給された階調電圧にตอบสนองして、負の極性の電位を有するデータ信号を生成する。オペアンプ 17_{2k} が出力する電位は、画素データの値 (即ち、対応する画素の階調) が大きいほど低い。

【0036】

出力側スイッチ部 18 は、極性信号 POL にตอบสนองしてオペアンプ $17_1 \sim 17_n$ の出力と出力端子 $20_1 \sim 20_n$ との間の接続関係を切り替える。図 3 に示されているように、出力側スイッチ部 18 の各スイッチ回路 18_k は、4つの接点 $26 \sim 29$ を備えている。接点 26 は、オペアンプ 17_{2k-1} と出力端子 20_{2k-1} の間に設けられ、接点 27 は、オペアンプ 17_{2k} と出力端子 20_{2k} の間に設けられている。一方、接点 28 は、オペアンプ 17_{2k-1} と出力端子 20_{2k} の間に設けられ、接点 29 は、オペアンプ 17_{2k} と出力端子 20_{2k-1} の間に設けられている。このような構成のスイッチ回路 18_k は、オペアンプ 17_{2k-1} 、 17_{2k} の一方を出力端子 20_{2k-1} に接続し、他方を出力端子 20_{2k} に接続する。

【0037】

出力側スイッチ部 18 は、更に、隣接する一对の出力端子 20 (即ち、一对のデータ線) を短絡する役割も有している。各水平期間の先頭に用意されているブランキング期間においてラッチ信号 STB が活性化されると、出力側スイッチ部 18 の短絡スイッチ 21_k は、隣接する出力端子 20_{2k-1} 、 20_{2k} (即ち、データ線 X_{2k-1} 、 X_{2k}) を短絡する。

【0038】

このような構成のデータドライバ 3 では、極性信号 POL にตอบสนองして、出力端子 $20_1 \sim 20_n$ (即ち、データ線 $X_1 \sim X_n$) に出力されるデータ信号の極性が切り替えられる。データ信号の極性の切り替えは、入力側スイッチ部 14 及び出力側スイッチ部 18 によって実現されている。極性信号 POL が "H" レベルの場合、出力側スイッチ部 18 は、奇数番目のオペアンプ 17_1 、 17_3 、 \dots を奇数番目の出力端子 20_1 、 20_3 、 \dots (即ち、奇数番目のデータ線 X_1 、 X_3 、 \dots) に接続し、偶数番目のオペアンプ 17_2 、 17_4 、 \dots を偶数番目の出力端子 20_2 、 20_4 、 \dots (即ち、偶数番目のデータ線 X_2 、 X_4 、 \dots) に接続する。これにより、奇数番目のデータ線 X_1 、 X_3 、 \dots は、正の極性のデータ信号で駆動され、偶数番目のデータ線 X_2 、 X_4 、 \dots は、負の極性のデータ信号で駆動される。極性信号 POL が "L" レベルの場合には、この逆である。入力側スイッチ部 14 は、オペアンプ $17_1 \sim 17_n$ の出力とデータ線 $X_1 \sim X_n$ との間の接続関係に整合するように、ラッチ $13_1 \sim 13_n$ とセクタ $16_1 \sim 16_n$ の接続関係を切り替える。ラッチ $13_1 \sim 13_n$ に記憶されている画素データのうち、正の極性のデータ信号で駆動されるデータ線に対応する画素データは奇数番目のセクタ 16_1 、 16_3 、 \dots に送られ、負の極性のデータ信号で駆動されるデータ線に対応する画素データは偶数番目のセクタ 16_2 、 16_4 、 \dots に送られなくてはならない。入力側スイッチ部 14 は、このような接続関係を実現する。

【0039】

本実施の形態の液晶表示装置 10 の一つの主題は、上記のように構成されたデータドライバ 3 のオペアンプ $17_1 \sim 17_n$ の駆動能力の制御を最適化し、液晶表示装置 10 の消費電力を低減することにある。より具体的には、本実施の形態では、オペアンプ 17_{2k-1} 、 17_{2k} の駆動能力が、第 j 水平期間のブランキング期間においてデータ線 X_{2k-1} 、 X_{2k} が短絡された時におけるこれらのデータ線の電位に応じて最適に駆動される。

【0040】

詳細には、データ線 X_{2k-1} を駆動するオペアンプ 17_{2k-1} (又はオペアンプ 17_{2k}) の駆動能力は、データ線 X_{2k-1} 、 X_{2k} が短絡された時におけるデータ線 X_{2k-1} の電位と、その後データ線 X_{2k-1} が駆動されるべき電位との差が小さい場合に減少される。これにより、オペアンプ 17_{2k-1} における不必要な電力消費が抑えられる。一方、データ線 X_{2k-1} 、 X_{2k} が短絡された時におけるデータ線 X_{2k-1} の電位と、その後データ線 X_{2k-1} が駆動されるべき電位との差が大きい場合には、オペアンプ 17_{2k-1} (又はオペアンプ 17_{2k}) の駆動能力は増大される。これは、データ線 X_{2k-1} の駆動に必要な時間を短縮するために重要である。データ線 X_{2k} についても同様にして駆動される。

【0041】

かかる主題を達成するために、データドライバ3には、オペアンプ $17_1 \sim 17_n$ の駆動能力を制御する制御データを生成する駆動能力切り替え演算回路30が設けられている。オペアンプ $17_1 \sim 17_n$ は、駆動能力切り替え演算回路30から送られる制御データに応じて駆動能力が可変であるように構成されている。以下では、駆動能力切り替え演算回路30とオペアンプ $17_1 \sim 17_n$ の構成が詳細に説明される。

【0042】

3. 駆動能力切り替え回路、及びオペアンプの構成

駆動能力切り替え演算回路30は、データ演算部 $31_1 \sim 31_{n/2}$ と、制御データラッチ $32_1 \sim 32_n$ とを備えている。データ演算部 $31_1 \sim 31_{n/2}$ は、2つのデータ線あたりに1つ設けられ、制御データラッチ $32_1 \sim 32_n$ は、オペアンプ $17_1 \sim 17_n$ のそれぞれに対応して設けられている。データ演算部 $31_1 \sim 31_{n/2}$ は、オペアンプ $17_1 \sim 17_n$ の駆動能力を制御する制御データを生成する機能を有しており、制御データラッチ $32_1 \sim 32_n$ は、生成された制御データをオペアンプ $17_1 \sim 17_n$ に転送する。

【0043】

図4は、駆動能力切り替え演算回路30の構成の詳細を示す回路図であり、駆動能力切り替え演算回路30のうちデータ演算部 31_k と、制御データラッチ 32_{2k-1} 、 32_{2k} の部分の構成を示している。データ演算部 31_k は、オペアンプ 17_{2k-1} 、 17_{2k} の駆動能力を制御するために使用される一組の制御データ AS_{2k-1} 、 AS_{2k} を生成する。データ演算部 31_k は制御データ AS_{2k-1} 、 AS_{2k} の一方を制御データラッチ 32_{2k-1} に、他方を制御データラッチ 32_{2k} に送信する。制御データラッチ 32_{2k-1} は、データ演算部 31_k から送られてくる制御データをラッチ信号 STB に応答してラッチし、ラッチした制御データをオペアンプ 17_{2k-1} に転送する。同様に、制御データラッチ 32_{2k} は、データ演算部 31_k から送られてくる制御データをラッチ信号 STB に応答してラッチし、制御データをオペアンプ 17_{2k} に転送する。

【0044】

詳細には、データ演算部 31_k は、差分電位算出回路33と、制御データレジスタ34、35と、スイッチ回路36とを備えている。差分電位算出回路33は、次の水平期間のブランキング期間でデータ線 X_{2k-1} 、 X_{2k} が短絡されたときのデータ線 X_{2k-1} 、 X_{2k} の電位と、次の水平期間においてデータ線 X_{2k-1} 、 X_{2k} が駆動されるべき電位との差に応じた制御データ AS_{2k-1} 、 AS_{2k} を生成する。より具体的には、差分電位算出回路33は、ラッチ回路13のラッチ 13_{2k-1} 、 13_{2k} から現水平期間の画素データを受け取り、データレジスタ回路12のレジスタ 12_{2k-1} 、 12_{2k} から、次の水平期間の画素データを受け取り、これらの画素データからオペアンプ 17_{2k-1} 、 17_{2k} の駆動能力を制御するために使用される制御データ AS_{2k-1} 、 AS_{2k} を生成する。より具体的には、第 j 水平期間において画素 $D_{j, 2k-1}$ 、 $D_{j, 2k}$ を駆動する際に使用される制御データ $AS_{j, 2k-1}$ 、 $AS_{j, 2k}$ は、下記式によって算出される：

$$AS_{j, 2k-1} = | (D_{j-1, 2k} - D_{j-1, 2k-1}) / 2 - D_{j, 2k-1} |, \dots (1a)$$

10

20

30

40

50

$$A S_{j, 2k} = | (D_{j-1, 2k-1} - D_{j-1, 2k}) / 2 - D_{j, 2k} | \cdot \dots (1b)$$

【0045】

このようにして算出された制御データ $A S_{j, 2k-1}$ 、 $A S_{j, 2k}$ は、第 j 水平期間のブランキング期間においてデータ線 X_{2k-1} 、 X_{2k} が短絡された時におけるこれらのデータ線の電位と、第 j 水平期間においてデータ線 X_{2k-1} 、 X_{2k} が駆動される電位との差に対応する値を有している。具体的には、式 (1a) の $(D_{j-1, 2k-1} - D_{j-1, 2k}) / 2$ は、短絡された時のデータ線 X_{2k-1} 、 X_{2k} の電位に対応しており、 $D_{j, 2k-1}$ は、その後にデータ線 X_{2k-1} が駆動されるべき電位に対応している。同様に、式 (1b) の $(D_{j-1, 2k-1} - D_{j-1, 2k}) / 2$ は、短絡された時のデータ線 X_{2k-1} 、 X_{2k} の電位に対応しており、 $D_{j, 2k}$ は、その後にデータ線 X_{2k} が駆動されるべき電位に対応している。後述されるように、制御データ $A S_{j, 2k-1}$ 、 $A S_{j, 2k}$ が大きいほど、オペアンプ 17_{2k-1} 、 17_{2k} には大きな駆動能力が与えられ、これにより、オペアンプ 17_{2k-1} 、 17_{2k} の駆動能力の最適な制御が実現される。

10

【0046】

厳密には、データ線の電位は、画素データに示されている階調値には比例しておらず、データ線の電位と画素データに示されている階調値とは、いわゆるガンマカーブと呼ばれる曲線によって表わされる。短絡された時におけるデータ線 X_{2k-1} 、 X_{2k} の電位と第 j 水平期間においてデータ線 X_{2k-1} 、 X_{2k} が駆動される電位との差に、より厳密

20

に対応した制御を行うためには、下記式：

$$A S_{j, 2k-1} = | \{ (D_{j-1, 2k}) + (D_{j-1, 2k-1}) \} / 2 - (D_{j, 2k-1}) | \cdot \dots (1a)$$

$$A S_{j, 2k} = | \{ (D_{j-1, 2k}) + (D_{j-1, 2k-1}) \} / 2 - (D_{j, 2k}) | \cdot \dots (1b)$$

によって制御データ $A S_{j, 2k-1}$ 、 $A S_{j, 2k}$ が決定されることも可能である；ここで $(D_{j, i})$ は、ガンマカーブにおいて画素データ $D_{j, i}$ に対応する電位である。ただし、上記の式 (1a)、(1b) による演算は、その実装が簡便である点では有利であることに留意されたい。

【0047】

制御データレジスタ 34、35 は、トリガパルス信号 $S R_1 \sim S R_n$ のうち、最も遅く活性化されるトリガパルス信号の立下りに応答して、それぞれ制御データ $A S_{2k-1}$ 、 $A S_{2k}$ をラッチする。これは、データレジスタ回路 12 に蓄えられた次の水平期間の画素データを、ラッチ信号 $S T B$ に応答してラッチ $13_1 \sim 13_n$ に取り込む前に、差分電位算出回路 33 による制御データ $A S_{2k-1}$ 、 $A S_{2k}$ の算出と、制御データレジスタ 34、35 へのラッチを完了させるためである。

30

【0048】

スイッチ回路 36 は、極性信号 $P O L$ に応答して、制御データレジスタ 34、35 と、制御データラッチ 32_{2k-1} 、 32_{2k} の間の接続関係を切り替える。詳細には、スイッチ回路 36 は、4つの接点：接点 37、38、39、40 を備えている。接点 37 は、制御データレジスタ 34 と制御データラッチ 32_{2k-1} の間に接続され、接点 38 は、制御データレジスタ 35 と制御データラッチ 32_{2k} の間に接続されている。一方、接点 39 は、制御データレジスタ 34 と制御データラッチ 32_{2k} に接続され、接点 40 は、制御データレジスタ 35 と制御データラッチ 32_{2k-1} の間に接続されている。このような構成のスイッチ回路 36 は、制御データレジスタ 34、35 にラッチされた制御データ $A S_{2k-1}$ 、 $A S_{2k}$ の一方を制御データラッチ 32_{2k-1} に、他方を制御データラッチ 32_{2k} に転送する。制御データ $A S_{2k-1}$ 、 $A S_{2k}$ の転送先は、極性信号 $P O L$ に応じて切り替えられる。このような機能を有するスイッチ回路 36 が設けられているのは、ラッチ回路 13 のラッチ 13_{2k-1} 、 13_{2k} に保持されている画素データの転送先が、スイッチ回路 14_k によって切り替えられるからである。例えば、画素データ

40

50

$D_{j, 2k-1}$ がセレクタ 16_{2k} に送られ、オペアンプ 17_{2k} が画素データ $D_{j, 2k-1}$ に応答して駆動される場合には、画素データ $D_{j, 2k-1}$ に対応する制御データ AS_{2k-1} は、制御データラッチ 32_{2k} を介してオペアンプ 17_{2k} に転送される必要がある。

【0049】

制御データラッチ 32_{2k-1} に転送された制御データは、更にオペアンプ 17_{2k-1} に送られてオペアンプ 17_{2k-1} の駆動能力の制御に使用される。同様に、制御データラッチ 32_{2k} に転送された制御データは、更にオペアンプ 17_{2k} に送られてオペアンプ 17_{2k} の駆動能力の制御に使用される。

【0050】

オペアンプ $17_1 \sim 17_n$ の駆動能力は、それに送られてくる制御データの値が大きいほど増加される。これにより、各オペアンプには、対応する一对の隣接データ線が短絡された時の電位とその後各データ線が駆動される電位との差に応じた適切な駆動能力が与えられる。例えば、第 j 水平期間にオペアンプ 17_{2k-1} が画素データ $D_{j, 2k-1}$ に応答して駆動される場合、オペアンプ 17_{2k-1} に与えられる制御データ $AS_{j, 2k-1}$ は、ブランキング期間において短絡された時のデータ線 X_{2k-1} 、 X_{2k} の電位と、その後でデータ線 X_{2k-1} が駆動される電位との差が大きいほど大きく、当該差が小さいほど小さい。制御データ $AS_{j, 2k-1}$ の増大とともにオペアンプ 17_{2k-1} の駆動能力が増大され、これにより、オペアンプ 17_{2k-1} の駆動能力の最適化が実現されている。

【0051】

図5Aは、このような動作を行うためのオペアンプ $17_1 \sim 17_n$ の構成の一例を示す回路図である。各オペアンプ 17_{2k-1} (17_{2k}) は、バイアス電圧発生回路41と、電流源42と、ボルテッジフォロア43とを備えている。バイアス電圧発生回路41は、制御データラッチ 32_{2k-1} (32_{2k}) から供給される制御データ AS に応答してバイアス電圧 V_b を発生する。バイアス電圧 V_b は、制御データ AS の増大と共に増大するように生成される。電流源42は、バイアス電圧 V_b に応答してバイアス電流 I_b を発生し、ボルテッジフォロア43に供給する。バイアス電流 I_b は、バイアス電圧 V_b の増大と共に増大される。ボルテッジフォロア43は、バイアス電流 I_b の供給を受け、出力端子 20_{2k-1} (20_{2k})、即ち、データ線 X_{2k-1} (X_{2k}) を、セレクタ 16_{2k-1} (16_{2k}) から供給される階調電圧に対応する電位に駆動する。ボルテッジフォロア43は、その内部に、差動増幅器と出力段(いずれも図示されない)とを備えており、これらの差動増幅器と出力段は、バイアス電流 I_b によって駆動される。従って、ボルテッジフォロア43の駆動能力は、バイアス電流 I_b の増大と共に増大される。このような構成のオペアンプ 17_{2k-1} (17_{2k}) では、制御データ AS が増大されると、バイアス電流 I_b が増大され、従って、オペアンプ 17_{2k-1} (17_{2k}) の駆動能力も増大される。

【0052】

図5Bは、オペアンプ $17_1 \sim 17_n$ の構成の他の例を示す回路図である。図5Bのオペアンプでは、バイアス電圧発生回路41と、電流源42の代わりに、複数のスイッチ $SW_1 \sim SW_q$ と、同一の大きさの電流を発生する定電流源 $44_1 \sim 44_q$ とが設けられる。スイッチ SW_i と定電流源 44_i は、ボルテッジフォロア43と接地端子の間に直列に接続されている。スイッチ $SW_1 \sim SW_q$ のうち、制御データ AS の大きさに応じた数のスイッチがターンオンされる。ボルテッジフォロア43には、オンされているスイッチ SW の数に比例した大きさのバイアス電流 I_b が供給される。従って、図5Bの構成でも、制御データ AS が増大されるとバイアス電流 I_b が増大され、従って、オペアンプ 17_{2k-1} (17_{2k}) の駆動能力も増大される。

【0053】

4. データドライバの動作

続いて、データドライバ3の動作、特に第 j 水平期間においてオペアンプ $17_1 \sim 17$

10

20

30

40

50

n の駆動能力の制御に使用される制御データの生成の手順、及び制御データを用いた駆動能力の制御の手順が詳細に説明される。図 6 は、第 $j - 1$ 水平期間（即ち、第 $j - 1$ ラインの画素が駆動される期間）及び第 j 水平期間におけるデータドライバ 3 の動作を示すタイミングチャートである。

【0054】

第 j 水平期間においてオペアンプ $17_1 \sim 17_n$ の駆動能力の制御に使用される制御データの生成は、第 $j - 1$ 水平期間に行われる。実際に使用される前の水平期間である第 $j - 1$ 水平期間に制御データを生成することは、第 j 水平期間におけるオペアンプ $17_1 \sim 17_n$ の駆動能力の制御を速やかに行う上で好適である；第 j 水平期間において使用される制御データを当該第 j 水平期間において生成することは、第 j 水平期間においてオペアンプ $17_1 \sim 17_n$ がデータ信号の出力を開始する時刻を遅らせる結果になるため好ましくない。

10

【0055】

より詳細には、第 $j - 1$ 水平期間のブランキング期間においてラッチ信号 STB が活性化されると、データ線 $X_1 \sim X_n$ の隣接する 2 つのデータ線が、短絡スイッチ $21_1 \sim 21_n$ によって短絡される。更に、ラッチ信号 STB の活性化にตอบสนองして、第 $j - 1$ 水平期間においてデータ信号の生成に使用される画素データ $D_{j-1,1} \sim D_{j-1,n}$ がデータレジスタ回路 12 からラッチ回路 13 に転送される。第 $j - 1$ 水平期間におけるデータ線 $X_1 \sim X_n$ の駆動は、ラッチ回路 13 に転送されたこれらの画素データ $D_{j-1,1} \sim D_{j-1,n}$ にตอบสนองして行われる。各データ線に供給されるデータ信号の極性は、極性信号 POL によって指定される。本実施の形態では、極性信号 POL が "H" レベルであることにตอบสนองして、奇数番目のデータ線 X_1, X_3, \dots には正の極性のデータ信号が、偶数番目のデータ線 X_2, X_4, \dots には負の極性のデータ信号が供給される。

20

【0056】

データ線 $X_1 \sim X_n$ が駆動されている間、第 j 水平期間においてデータ線 $X_1 \sim X_n$ の駆動に使用される画素データが、LCD コントローラ 2 からデータレジスタ回路 12 に転送される。より具体的には、スタートパルス信号 SPR の活性化にตอบสนองしてトリガパルス信号 $SR_1 \sim SR_n$ が、順次に活性化され、更に、画素データ $D_{j,1} \sim D_{j,n}$ がトリガパルス信号 $SR_1 \sim SR_n$ の活性化に同期して順次に転送される。これにより、データレジスタ回路 12 のレジスタ $12_1 \sim 12_n$ には、それぞれ画素データ $D_{j,1} \sim D_{j,n}$ が格納される。

30

【0057】

画素データ $D_{j,1} \sim D_{j,n}$ がレジスタ $12_1 \sim 12_n$ に格納されると、駆動能力切り替え演算回路 30 のデータ演算部 $31_1 \sim 31_n$ は、第 j 水平期間において使用されるべき制御データを算出する。詳細には、図 7 に示されているように、データ演算部 31_k の差分電位算出回路 33 は、レジスタ $12_{2k-1}, 12_{2k}$ に格納された画素データ $D_{j,2k-1}, D_{j,2k}$ 及び、ラッチ $13_{2k-1}, 13_{2k}$ に格納された画素データ $D_{j-1,2k-1}, D_{j-1,2k}$ から、上記式 (1a)、(1b) によって制御データ $AS_{j,2k-1}, AS_{j,2k}$ を算出する。

【0058】

算出された制御データは、第 $j - 1$ 水平期間が終了する時に、データ演算部 $31_1 \sim 31_n$ の制御データレジスタ 34、35 にラッチされる。具体的には、最も遅く活性化されるトリガパルス SR_n の立ち下がりにตอบสนองして、データ演算部 31_k の制御データレジスタ 34 に制御データ $AS_{j,2k-1}$ がラッチされ、制御データレジスタ 35 に制御データ $AS_{j,2k}$ がラッチされる。

40

【0059】

第 j 水平期間が開始されると、図 6 に示されているように、ブランキング期間に極性信号 POL が反転され、更に、ラッチ信号 STB が活性化される。ラッチ信号 STB の活性化にตอบสนองして、データ線 $X_1 \sim X_n$ の隣接する 2 つのデータ線が、短絡スイッチ $21_1 \sim 21_n$ によって短絡される。詳細には、データ線 X_{2k-1}, X_{2k} は、短絡スイッチ 2

50

1_k によって短絡される。データ線 X_{2k-1}、X_{2k} の短絡後の電位は、第 j - 1 水平期間においてデータ線 X_{2k-1}、X_{2k} が駆動されていた電位の平均である。

【0060】

更に、図7に示されているように、データ演算部31₁ ~ 31_n の制御データレジスタ34、35に保持されている制御データが、制御データラッチ32₁ ~ 32_n を介してオペアンプ17₁ ~ 17_n に転送される。詳細には、第 j - 1 水平期間のブランキング期間においてラッチ信号STBが活性化されると、データ演算部31_k の制御データレジスタ34に保持されている制御データAS_{j, 2k-1} が、制御データラッチ32_{2k-1}、32_{2k} の一方に転送され、データ演算部31_k の制御データレジスタ35に保持されている制御データAS_{j, 2k} が、他方に転送される。

10

【0061】

制御データの転送先は、極性信号POLに応じて切り替えられる。本実施の形態では、図7に示されているように、極性信号POLが" L "レベルであることに応答して、データ演算部31_k の制御データレジスタ34に格納されている制御データAS_{j, 2k-1} が制御データラッチ32_{2k} に転送され、制御データレジスタ35に格納されている制御データAS_{j, 2k} が制御データラッチ32_{2k-1} に転送される；図8に示されているように、極性信号POLが" H "レベルである場合には逆である。制御データの転送先が極性信号POLに応じて切り替えられるのは、画素データの転送先に対応する適切な制御データを、オペアンプに供給するためである。図7の動作では、オペアンプ17_{2k} が画素データD_{j, 2k-1} に応答して駆動されることに応答して、制御データAS_{j, 2k-1} がオペアンプ17_{2k} に転送される。

20

【0062】

オペアンプ17₁ ~ 17_n は、それぞれに転送された制御データに対応する駆動能力に設定される。図7の動作では、オペアンプ17_{2k-1} には制御データAS_{j, 2k} が供給され、オペアンプ17_{2k-1} の駆動能力が制御データAS_{j, 2k} に応じて調節される。同様に、オペアンプ17_{2k} には制御データAS_{j, 2k-1} が供給され、オペアンプ17_{2k} の駆動能力が制御データAS_{j, 2k-1} に応じて調節される。これにより、オペアンプ17_{2k-1}、17_{2k} の駆動能力が最適に調整され、データドライバ3の消費電力が低減される。

【0063】

図9は、データドライバ3の動作の例を示すタイミングチャートである。例えば、第 j - 1 水平期間にデータ線X_{2k-1} が正の極性の電位V_{x11} に、データ線X_{2k} が負の極性の電位V_{x21} に駆動されたとする。続く第 j 水平期間のブランキング期間においてデータ線X_{2k-1}、X_{2k} が短絡されると、これらのデータ線の電位は、平均電位V_{r2} [= (V_{x11} + V_{x21}) / 2] に遷移する。その後、第 j 水平期間においてデータ線X_{2k-1} が負の極性の電位V_{x21} に、データ線X_{2k} が正の極性の電位V_{x22} に駆動されたとする。平均電位V_{r2} と電位V_{x21} との差 V_{x21} が小さいことに応答して、データ線X_{2k-1} を駆動するオペアンプは、低駆動能力に設定される；このことは、図9においてハッチングによって示されている。不必要な場合にオペアンプが低駆動能力に設定され、オペアンプの静消費電流、即ち、消費電力が低減される。

30

40

【0064】

続く第 j + 1 水平期間のブランキング期間においてデータ線X_{2k-1}、X_{2k} が短絡されると、これらのデータ線の電位は、平均電位V_{r3} [= (V_{x21} + V_{x22}) / 2] に遷移する。その後、第 j + 1 水平期間においてデータ線X_{2k-1} が正の極性の電位V_{x31} に、データ線X_{2k} が負の極性の電位V_{x32} に駆動されたとする。平均電位V_{r3} と電位V_{x32} との差 V_{x32} が大きいことに応答して、データ線X_{2k} を駆動するオペアンプは、高駆動能力に設定される；このことは、図9において異なるハッチングによって示されている。このように、必要な場合にはオペアンプが高駆動能力に設定され、データ線が速やかに駆動される。

【0065】

50

第2 第2の実施形態

図10は、本発明の第2の実施形態に係る液晶表示装置10Aの構成を示すブロック図である。本実施形態の液晶表示装置10Aと、第1の実施形態の液晶表示装置10との最も重要な違いは、制御データASの演算がデータドライバ3AではなくLCDコントローラ2Aで行われることである。

【0066】

具体的には、LCDコントローラ2Aには、一ラインの画素に対応する画素データを記憶する容量を有するラインメモリ51と、オペアンプ17₁~17_nの駆動能力の制御に使用される制御データASの演算を行う駆動能力切り替え演算部52とが設けられる。ラインメモリ51は、第j水平期間において画素P_{j,1}~P_{j,n}の駆動の際に使用される制御データAS_{j,1}~AS_{j,n}が算出されるときに必要な、第j-1ラインの画素の画素データD_{j-1,1}~D_{j-1,n}を格納する。駆動能力切り替え演算部52は、画像描画用LSI6から第jラインの画素の画素データD_{j,1}~D_{j,n}がLCDコントローラ2Aに供給されると、その画素データD_{j,1}~D_{j,n}と、ラインメモリ51に格納されている画素データD_{j-1,1}~D_{j-1,n}とから、制御データAS_{j,1}~AS_{j,n}を生成する。制御データAS_{j,1}~AS_{j,n}の算出には、上述の式(1a)、(1b)が使用される。生成された制御データAS_{j,1}~AS_{j,n}は、データドライバ3Aに転送される。制御データAS_{j,1}~AS_{j,n}の転送は、画素データD_{j,1}~D_{j,n}のデータドライバ3Aへの転送に同期して行われる。

10

【0067】

ラインメモリ51がLCDコントローラ2Aに設けられ、且つ、制御データASの演算がLCDコントローラ2Aで行われることに対応して、データドライバ3Aの構成は、第1の実施形態のデータドライバ3の構成から下記のように変更される。

20

【0068】

まず、図11に示されているように、データドライバ3Aから入力側スイッチ部14が取り除かれる。その代わりに、本実施形態では、ラインメモリ51が用意されていることを利用して、画素データのデータドライバ3Aへの転送の順番が極性信号POLにตอบสนองして入れ替えられる。より具体的には、図12に示されているように、極性信号POLが”L”レベルの場合には、第jラインの画素の画素データD_{j,1}~D_{j,n}は、その転送の順番が入れ替えられ、画素データD_{j,2}, D_{j,1}, D_{j,4}, D_{j,3}...という順番でデータドライバ3Aに転送される。一方、極性信号POLが”H”レベルの場合には転送の順番は入れ替えられず、画素データD_{j,1}, D_{j,2}, ...は、この順番でデータドライバ3Aに転送される。これにより、入力側スイッチ部14が設けられている図2の構成のデータドライバ3と等価な動作が実現されている。入力側スイッチ部14が設けられていない図11のデータドライバ3Aの構成は、データドライバ3Aの構成の簡略化に好適である。

30

【0069】

加えて、図11に示されているように、データドライバ3Aには制御データレジスタ53₁~53_nと制御データラッチ54₁~54_nとが設けられる。これらのレジスタ及びラッチは、LCDコントローラ2Aから送られてくる制御データASを適切なタイミングでオペアンプ17₁~17_nに転送するためのものである。制御データレジスタ53₁~53_nは、トリガパルス信号SR₁~SR_nにตอบสนองしてLCDコントローラ2Aから制御データASを受け取る。制御データラッチ54₁~54_nは、ラッチ信号STBにตอบสนองして、制御データレジスタ53₁~53_nにラッチされている制御データASをラッチし、オペアンプ17₁~17_nに制御データASを転送する。制御データレジスタ53₁~53_nには、データレジスタ回路12と同様に、次の水平期間において使用される制御データASを保持するために使用される。一方、制御データラッチ54₁~54_nは、現水平期間において使用される制御データASを保持するために使用される。

40

【0070】

制御データラッチ54₁~54_nからオペアンプ17₁~17_nに制御データが転送さ

50

れ、オペアンプ 17₁ ~ 17_n の駆動能力は、転送された制御データに応じて制御される。これにより、第 1 の実施形態と同様に、データドライバ 3 A の消費電力が低減されている。

【0071】

第 3 第 3 の実施形態

図 13 を参照して、第 3 の実施形態では、データドライバ 3 B が各水平期間のブランキング期間において、全てのデータ線 X₁ ~ X_n が短絡されるように構成される。より具体的には、図 14 に示されているように、n - 1 個の短絡スイッチ 21₁ ~ 21_(n-1) が全ての隣接するデータ線 X₁ ~ X_n の間に挿入される。短絡スイッチ 21₁ ~ 21_(n-1) は、各水平期間のブランキング期間にオンされ、これにより、データ線 X₁ ~ X_n が同一の電位になるように短絡される。

10

【0072】

これに伴い、制御データ AS の算出方法も、オペアンプ 17₁ ~ 17_n の駆動能力が、短絡された時のデータ線 X₁ ~ X_n の電位にตอบสนองして制御されるように修正される。具体的には、LCD コントローラ 2 B の駆動能力切り替え演算部 52 B は、第 j 水平期間において使用される制御データ AS_{j,1} ~ AS_{j,n} を下記式に従って算出する：

【数 1】

$$AS_{j,2k-1} = \left| \sum_{i=1}^{i=n/2} (D_{j-1,2i} - D_{j-1,2i-1}) / n - D_{j,2k-1} \right|, \dots (2a)$$

20

$$AS_{j,2k} = \left| \sum_{i=1}^{i=n/2} (D_{j-1,2i-1} - D_{j-1,2i}) / n - D_{j,2k} \right|, \dots (2a)$$

式 (2a) の第 1 項は、短絡された時のデータ線 X₁ ~ X_n の電位に対応しており、第 2 項 (D_{j,2k-1}) は、その後にデータ線 X_{2k-1} が駆動される電位に対応している。式 (2b) についても同様である。

【0073】

算出された制御データ AS_{j,1} ~ AS_{j,n} は、画素データ D_{j,1} ~ D_{j,n} に同期してデータドライバ 3 B に送られる。データドライバ 3 B は、第 j 水平期間におけるオペアンプ 17₁ ~ 17_n の駆動能力を制御データ AS_{j,1} ~ AS_{j,n} にตอบสนองして制御する。

30

【0074】

このようにしてオペアンプ 17₁ ~ 17_n の駆動能力を制御することにより、第 j 水平期間における各オペアンプの駆動能力は、データ線 X₁ ~ X_n が短絡された時の電位と、その後に、対応するデータ線が駆動される電位との差に応じた適切な大きさに制御される。

【0075】

データ線 X₁ ~ X_n の全てが短絡される構成が採用されたときに、制御データ AS_{j,1} ~ AS_{j,n} が LCD コントローラ 2 B によって算出されることは、データドライバ 3 B を構成する回路構成の簡略化に好適である。式 (2a)、(2b) から理解されるように、本実施の形態では、制御データ AS_{j,1} ~ AS_{j,n} の一つを生成するにも、全てのデータ線 X₁ ~ X_n に対応する画素データが必要である。このような演算をデータドライバ 3 B の内部で行おうとすると、データドライバ 3 B の回路構成が複雑化する。LCD コントローラ 2 B において制御データ AS_{j,1} ~ AS_{j,n} を一括して算出することは、データドライバ 3 B の回路構成の複雑化を防ぐために有効である。

40

【0076】

図 15 に示されるように、データドライバ 3 B が、全てのデータ線 X₁ ~ X_n が短絡された時に、スイッチ 21_n を介してデータ線 X₁ ~ X_n に中間電位 1/2 V_{LCD} [= (V₁ + V_{2M}) / 2] が供給されるように構成されることも可能である。

50

【0077】

この場合には、第 j 水平期間において使用される制御データ $AS_{j,1} \sim AS_{j,n}$ が、式(1a)、式(1b)、(2a)、(2b)の代わりに、下記式：

$$AS_{j,2k-1} = |D_{1/2LCD} - D_{j,2k-1}|, \dots (3a)$$

$$AS_{j,2k} = |D_{1/2LCD} - D_{j,2k}|, \dots (3a)$$

ここで、 $D_{1/2LCD}$ は、中間電位 $1/2V_{LCD}$ に対応する値の定数である。中間電位 $1/2V_{LCD}$ が共通電位 V_{COM} に等しい場合には、 $D_{1/2LCD}$ は 0 に設定され得る。このようにして制御データ $AS_{j,1} \sim AS_{j,n}$ が算出されることにより、第 j 水平期間における各オペアンプの駆動能力は、データ線 $X_1 \sim X_n$ が短絡された時の電位と、その後、対応するデータ線が駆動される電位との差に応じた適切な大きさに制御される。

10

【0078】

第4 まとめ及び補足

以上に述べられているように、本実施の形態の液晶表示装置では、ブランキング期間においてデータ線が短絡された時におけるこれらのデータ線の電位と、それぞれのデータ線がその後、駆動される電位との差に回答してオペアンプの駆動能力が制御される。これは、液晶表示装置の消費電力を有効に抑制する。

【0079】

なお、本発明は、実施の形態に記述された液晶表示装置に限定して解釈されてはならない。例えば、本発明は、2本のデータ線が短絡される構成、又は全てのデータ線が短絡される構成に限定されない；例えば、2画素を周期とするドット反転駆動に対応する液晶表示装置では、正の極性の電位に駆動される2本のデータ線と、負の極性の電位に駆動される2本のデータ線とが短絡され得る。

20

【0080】

加えて、本発明は、単一のデータドライバを備える液晶表示装置に限定して解釈されてはならない；液晶表示装置には、複数のデータドライバが設けられ得る。

【図面の簡単な説明】

【0081】

【図1】図1は、本発明の第1の実施形態に係る液晶表示装置の構成を示すブロック図である。

30

【図2】図2は、第1の実施形態に係る液晶表示装置のデータドライバの構成を示すブロック図である。

【図3】図3は、第1の実施形態に係るデータドライバの構成を示す詳細図である。

【図4】図4は、第1の実施形態に係るデータドライバのデータ演算部の構成を示すブロック図である。

【図5A】図5Aは、第1の実施形態に係るデータドライバのオペアンプの好適な構成を示す概略図である。

【図5B】図5Bは、第1の実施形態に係るデータドライバのオペアンプの他の好適な構成を示す概略図である。

【図6】図6は、第1の実施形態に係るデータドライバの動作を示すタイミングチャートである。

40

【図7】図7は、第1の実施形態に係るデータドライバのデータ演算部及び制御データラッチの動作を示す概念図である。

【図8】図8は、第1の実施形態に係るデータドライバのデータ演算部及び制御データラッチの動作を示す概念図である。

【図9】図9は、第1の実施形態に係るデータドライバの動作の例を示すタイミングチャートである。

【図10】図10は、本発明の第2の実施形態に係る液晶表示装置のデータドライバの構成を示すブロック図である。

【図11】図11は、第2の実施形態に係る液晶表示装置のデータドライバの構成を示す

50

ブロック図である。

【図 1 2】図 1 2 は、第 2 の実施形態に係るデータドライバの動作を示すタイミングチャートである。

【図 1 3】図 1 3 は、第 3 の実施形態に係る液晶表示装置のデータドライバの構成を示すブロック図である。

【図 1 4】図 1 4 は、第 3 の実施形態に係るデータドライバの構成を示すブロック図である。

【図 1 5】図 1 5 は、第 3 の実施形態に係るデータドライバの他の構成を示すブロック図である。

【符号の説明】

10

【0082】

1 : LCD パネル

2、2 A、2 B : LCD コントローラ

3、3 A、3 B : データドライバ

4 : ゲートドライバ

5 : 基準階調電圧発生部

6 : 画像描画用 L S I

7 : データ側制御信号

8 : ゲート側制御信号

10、10 A、10 B : 液晶表示装置

20

11 : シフトレジスタ回路

12 : データレジスタ回路

12₁ ~ 12_n : レジスタ

13 : ラッチ回路

13₁ ~ 13_n : ラッチ

14 : 入力側スイッチ部

14₁ ~ 14_{n/2} : スイッチ回路

15 : レベルシフト回路

15₁ ~ 15_n : レベルシフタ

16 : デコーダ

30

16₁ ~ 16_n : セレクタ

17 : ドライバ出力段

17₁ ~ 17_n : オペアンプ

18 : 出力側スイッチ部

18₁ ~ 18_n : スイッチ回路

19 : 階調電圧バッファ

19 a、19 b : ボルテッジフォロア

20₁ ~ 20_n : 出力端子

21₁ ~ 21_n : 短絡スイッチ

22、23、24、25、26、27、28、29 : 接点

40

30 : 駆動能力切り替え演算回路

31₁、31₂、31_n、31_k : データ演算部

32₁ ~ 32_n : 制御データラッチ

33 : 差分電位算出回路

34、35 : 制御データレジスタ

36 : スイッチ回路

37、38、39、40 : 接点

41 : バイアス電圧発生回路

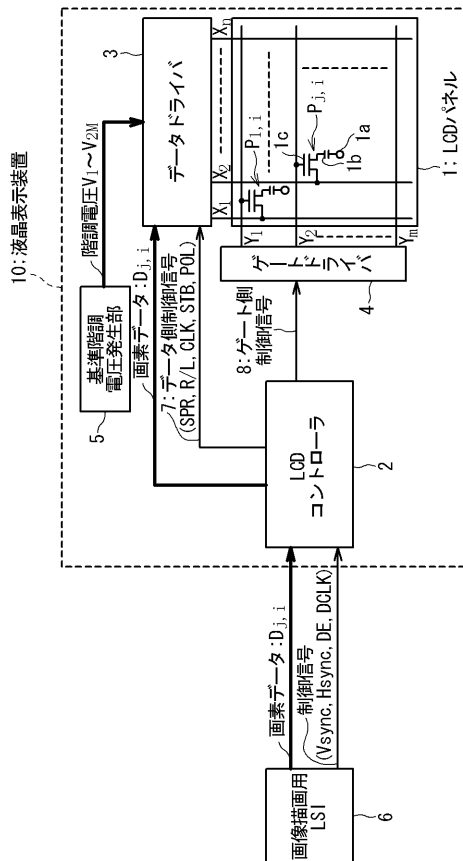
42 : 電流源

43 : ボルテッジフォロア

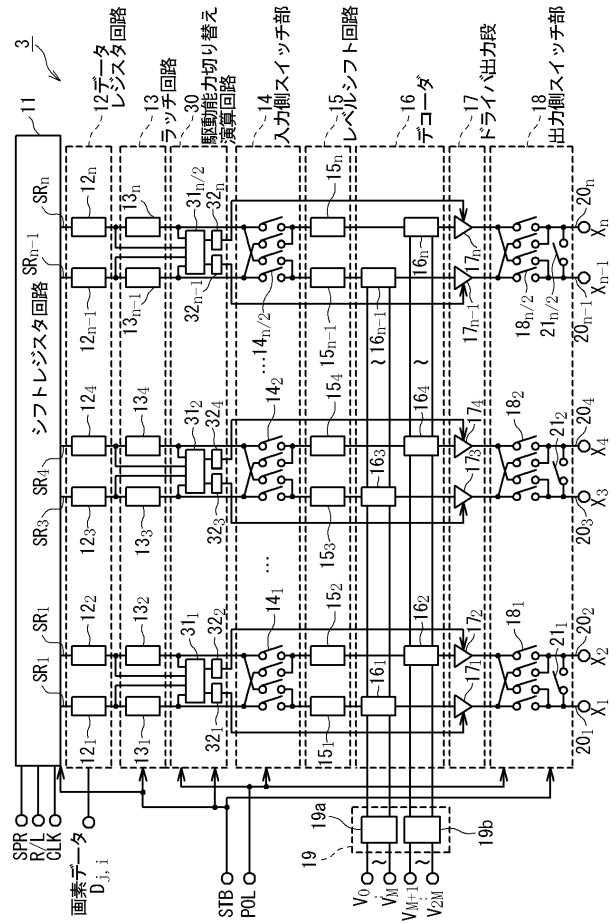
50

- 4 4₁、4 4_i、4 4_q : 定電流源
- 5 1 : ラインメモリ
- 5 2、5 2 B : 駆動能力切り替え演算部
- 5 3₁、5 3₂、5 3_{2k}、5 3_n : 制御データレジスタ
- 5 4₁、5 4₂、5 4_{2k}、5 4_n : 制御データラッチ

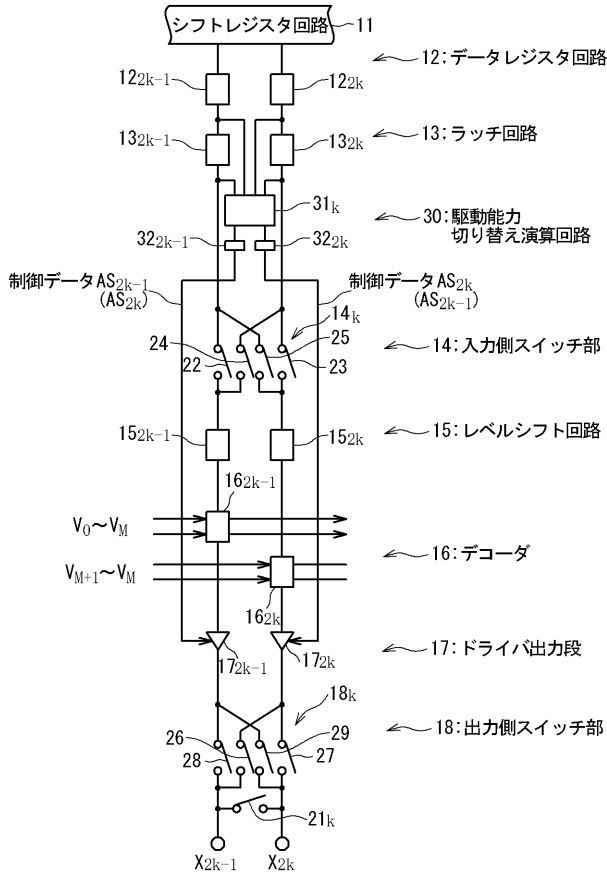
【 図 1 】



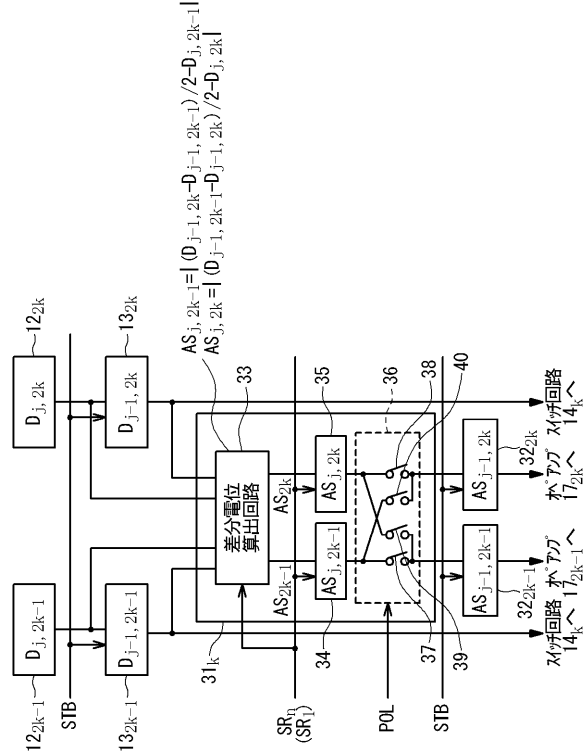
【 図 2 】



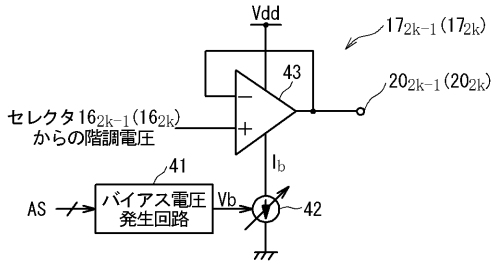
【 図 3 】



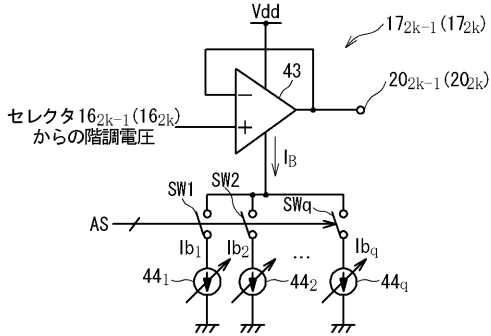
【 図 4 】



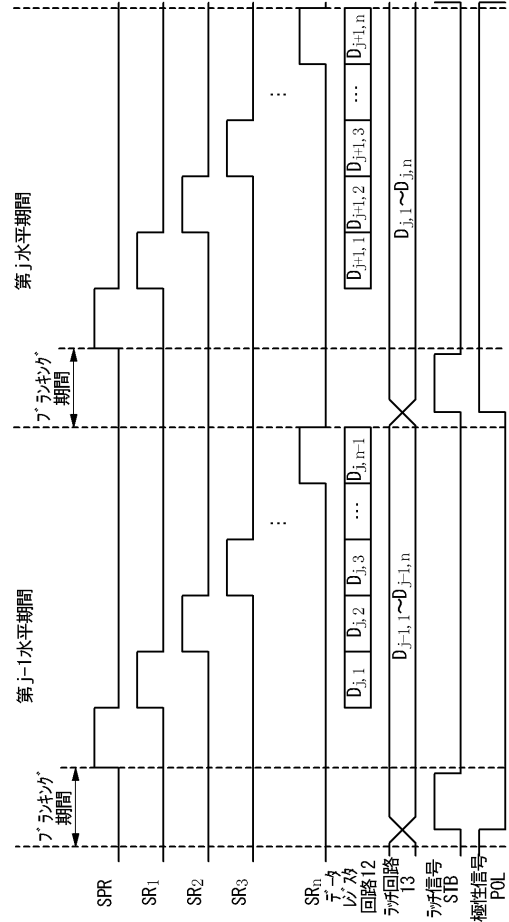
【 図 5 A 】

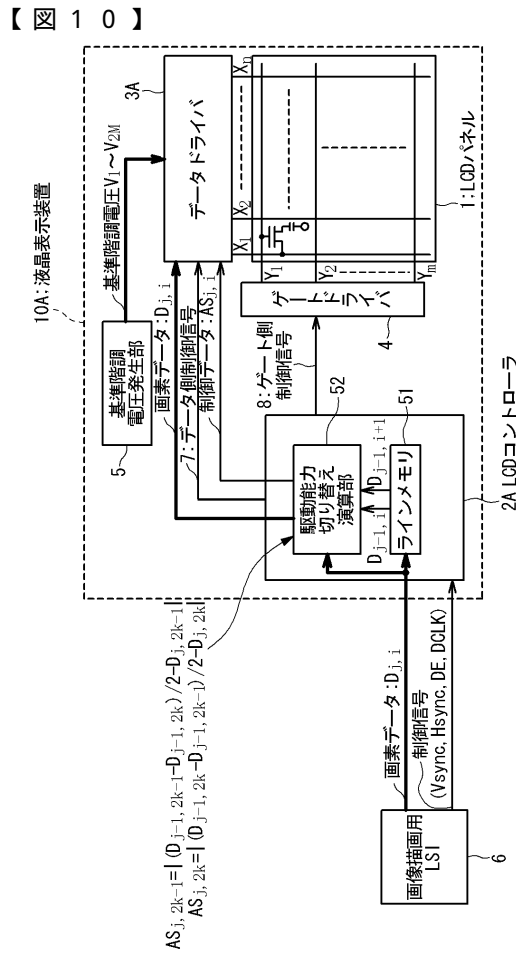
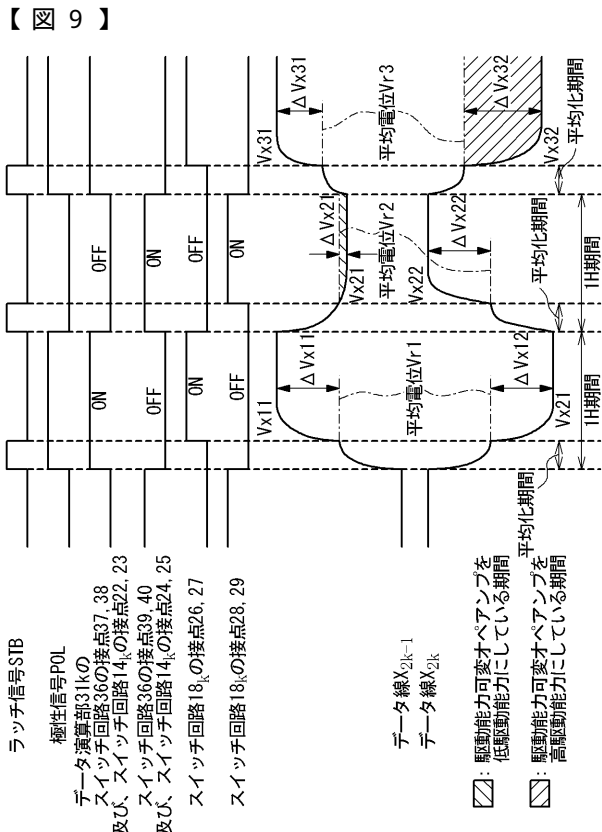
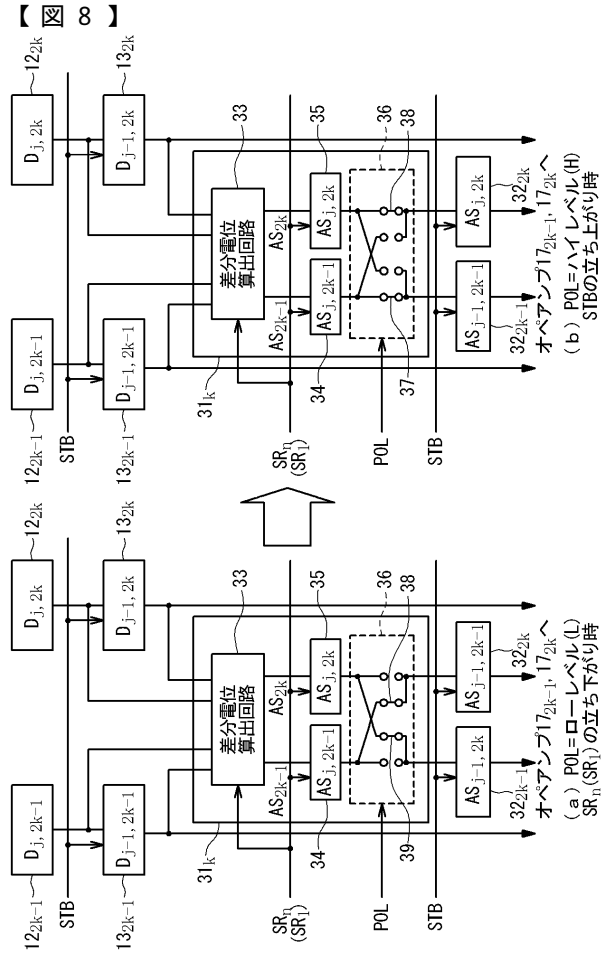
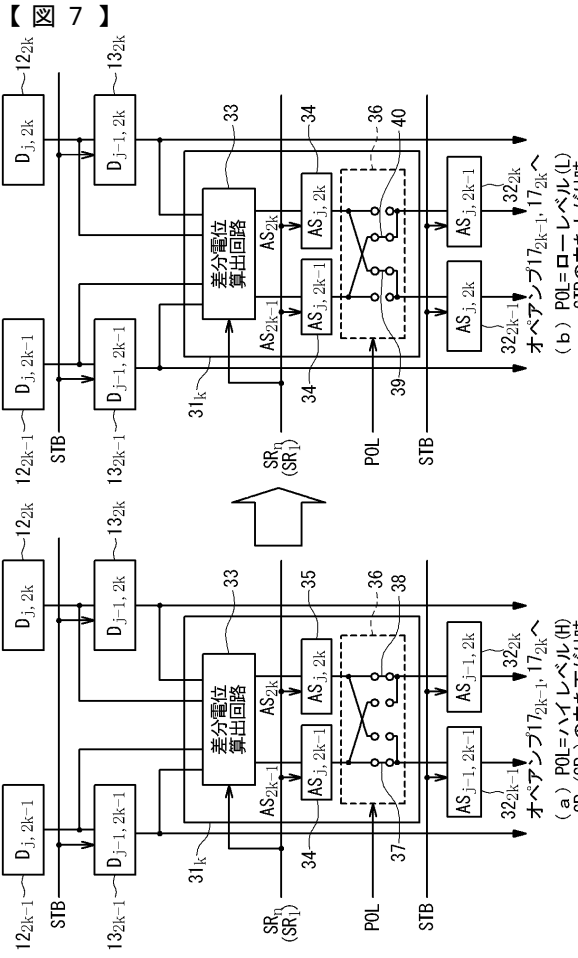


【 図 5 B 】

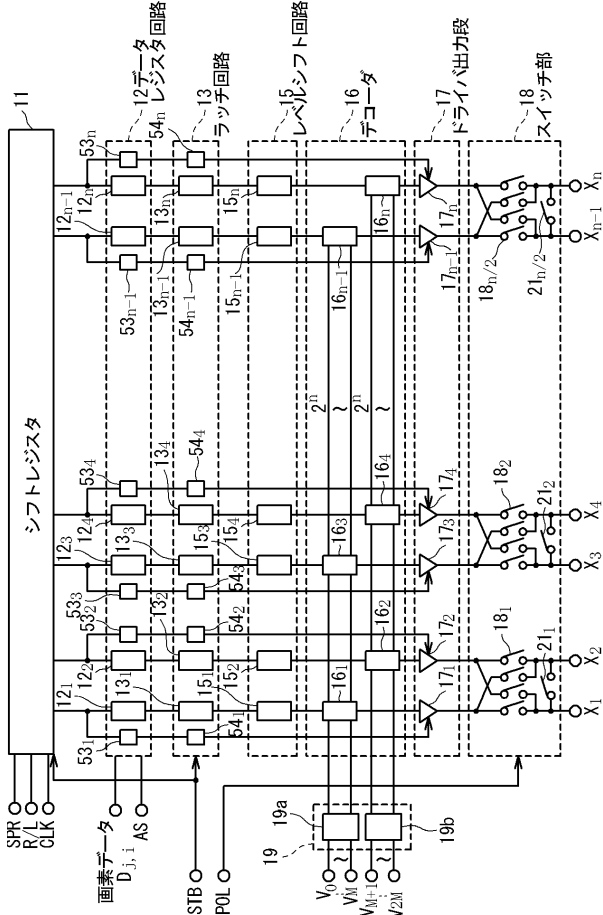


【 図 6 】

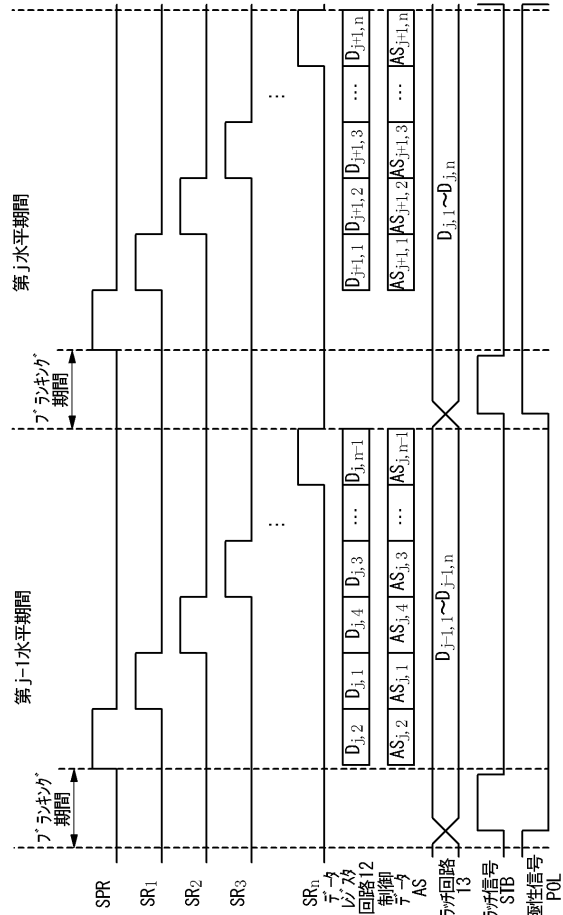




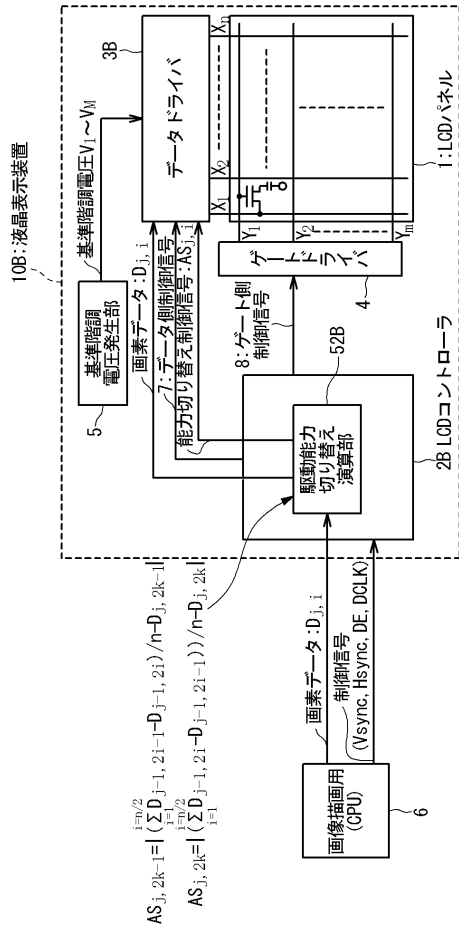
【図 1 1】



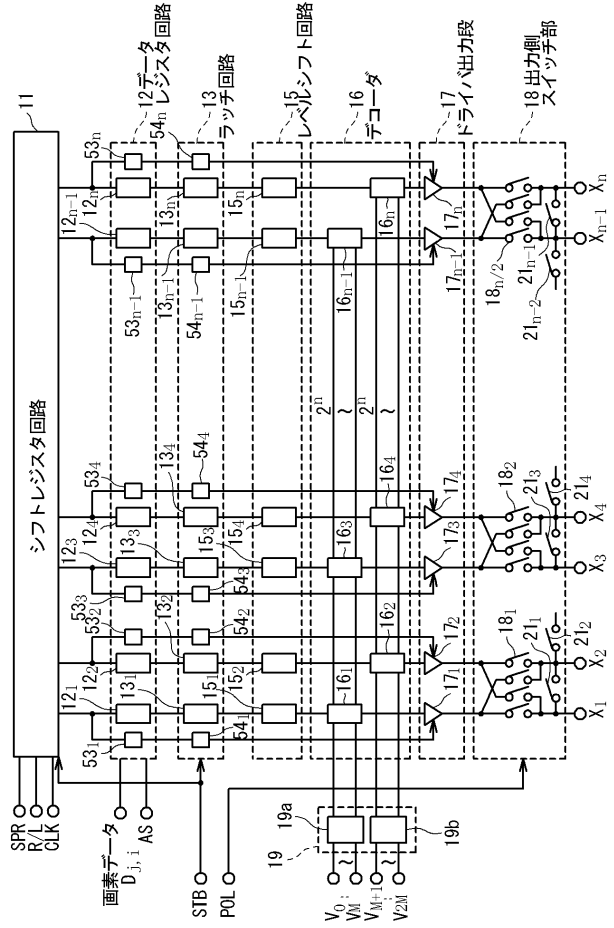
【図 1 2】



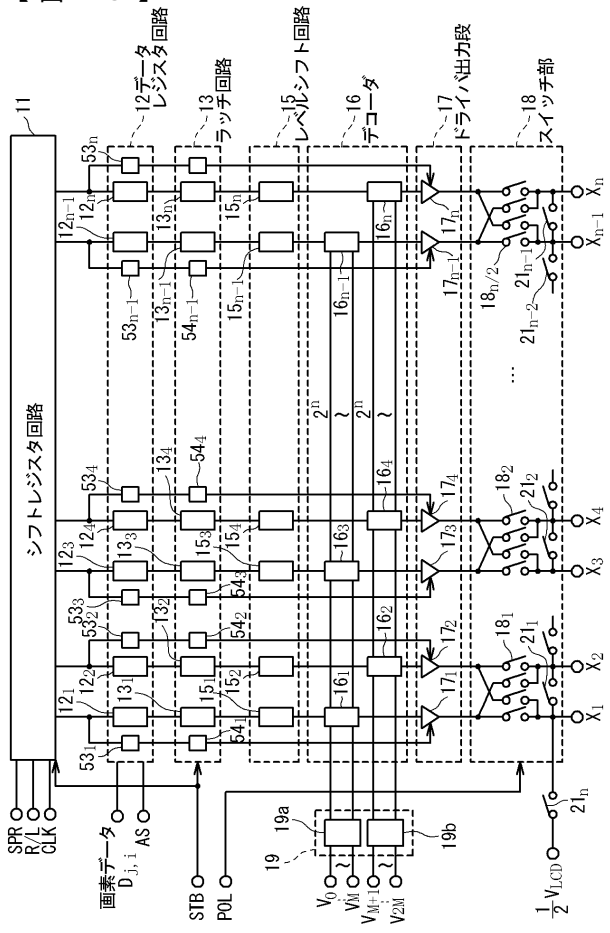
【図 1 3】



【図 1 4】



【図 15】



フロントページの続き

(51) Int.Cl.

F I

テーマコード(参考)

G 0 9 G 3/20 6 2 1 B

G 0 9 G 3/20 6 2 3 B

专利名称(译)	液晶显示装置，液晶驱动器和液晶显示面板的驱动方法		
公开(公告)号	JP2006292899A	公开(公告)日	2006-10-26
申请号	JP2005111439	申请日	2005-04-07
[标]申请(专利权)人(译)	NEC电子股份有限公司		
申请(专利权)人(译)	NEC电子公司		
[标]发明人	能勢崇		
发明人	能勢 崇		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G3/3688 G09G3/2092 G09G3/3614 G09G3/3648 G09G2310/0289 G09G2310/0291 G09G2320/0276 G09G2330/023		
FI分类号	G09G3/36 G02F1/133.525 G02F1/133.550 G09G3/20.611.A G09G3/20.612.T G09G3/20.621.B G09G3/20.623.B		
F-TERM分类号	2H093/NA16 2H093/NA31 2H093/NA32 2H093/NA34 2H093/NA43 2H093/NC03 2H093/NC10 2H093/NC12 2H093/NC22 2H093/NC26 2H093/NC34 2H093/NC49 2H093/NC50 2H093/ND35 2H093/ND39 5C006/AC21 5C006/AC26 5C006/AF43 5C006/BB16 5C006/BC12 5C006/BF24 5C006/BF25 5C006/BF26 5C006/FA47 5C080/AA10 5C080/BB05 5C080/DD26 5C080/EE29 5C080/FF01 5C080/FF11 5C080/JJ02 5C080/JJ04 2H193/ZA04 2H193/ZC02 2H193/ZC20 2H193/ZF03 2H193/ZF22 2H193/ZF36		
代理人(译)	工藤稔		
其他公开文献	JP4731195B2		
外部链接	Espacenet		

摘要(译)

为了降低采用点反转驱动的液晶显示装置的功耗，在点反转驱动中，数据线在被驱动之前被短路。根据本发明的液晶显示装置包括数据线X2k-1和X 2k，运算放大器17 2k-1和17 2k以及短路开关21 k。运算放大器17 2k-1在第一时段中将数据线X 2k-1驱动至正电位，并在第一时段之后的第二时段中将数据线17 2k驱动至正电位。运算放大器17 2k在第一时段中将数据线X 2k驱动至负电位，并且在第二时段中将数据线X 2k-1驱动至负电位。短路开关21 k被配置为在第一时段和第二时段之间的短路时段中使数据线X 2k-1和X 2k短路。根据短路期间中的数据线X 2k-1和X 2k的电位来控制第二时段中的运算放大器17 2k-1的驱动能力。[选择图]图3

