

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2006-154772
(P2006-154772A)

(43) 公開日 平成18年6月15日(2006.6.15)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G09G 3/20 (2006.01)	G09G 3/20 611A	5C006
G02F 1/133 (2006.01)	G09G 3/20 621B	5C080
	G09G 3/20 623C	
	G09G 3/20 623Y	
審査請求 未請求 請求項の数 23 O L (全 42 頁) 最終頁に続く		

(21) 出願番号 特願2005-308921 (P2005-308921)	(71) 出願人 000232036
(22) 出願日 平成17年10月24日 (2005.10.24)	NECマイクロシステム株式会社
(31) 優先権主張番号 特願2004-310128 (P2004-310128)	神奈川県川崎市中原区小杉町1丁目403番53
(32) 優先日 平成16年10月25日 (2004.10.25)	
(33) 優先権主張国 日本国 (JP)	(74) 代理人 100102864
	弁理士 工藤 実
	(72) 発明者 久米田 誠之
	神奈川県川崎市中原区小杉町1丁目403番53 NECマイクロシステム株式会社内
	(72) 発明者 松浦 浩二
	神奈川県川崎市中原区小杉町1丁目403番53 NECマイクロシステム株式会社内
最終頁に続く	

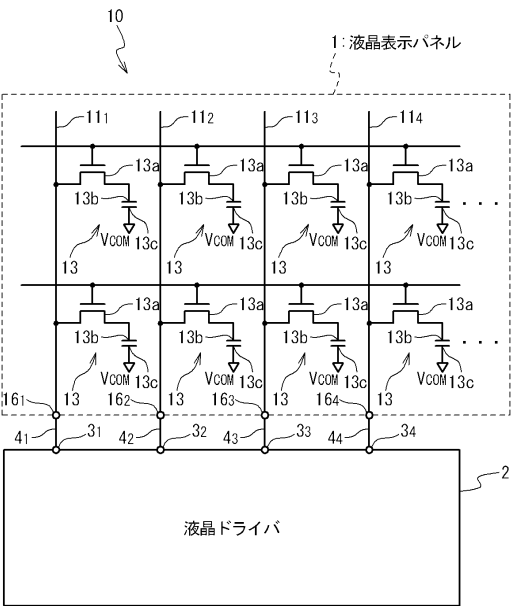
(54) 【発明の名称】 液晶表示装置、液晶ドライバ及びその動作方法

(57) 【要約】

【課題】 コモン一定駆動法を用いた反転駆動によって液晶表示パネルを駆動する液晶ドライバの消費電力を一層に低減する。

【解決手段】 本発明による液晶表示装置は、データ線11を備える液晶表示パネル1と、液晶ドライバ2とを具備している。液晶ドライバ2は、液晶ドライバ2の接地電位を基準として正である正極性データ信号を、一のデータ線11に出力する正極側駆動回路23と、該接地電位を基準として負である負極性データ信号を他のデータ線11に出力する負極側駆動回路24dとを含む。

【選択図】 図3



【特許請求の範囲】**【請求項 1】**

複数のデータ線を備える液晶表示パネルと、
液晶ドライバ
とを具備し、

前記液晶ドライバは、前記液晶ドライバの接地電位を基準として正極性である正極性データ信号を、前記複数のデータ線のうちの一のデータ線に出力する正極側駆動回路と、前記接地電位を基準として負極性である負極性データ信号を前記複数のデータ線のうちの他のデータ線に出力する負極側駆動回路とを含む

液晶表示装置。

10

【請求項 2】

請求項 1 に記載の液晶表示装置であって、

更に、前記液晶表示パネルの前記データ線を前記接地電位にプリチャージするためのプリチャージ手段を具備する

【請求項 3】

請求項 2 に記載の液晶表示装置であって、

前記正極側駆動回路は、第 1 水平期間、及び前記第 1 水平期間に続く第 2 水平期間において、前記正極性データ信号を前記液晶表示パネルの前記データ線のうちの第 1 データ線に出力し、

前記負極側駆動回路は、前記第 1 水平期間及び前記第 2 水平期間において、前記負極性データ信号を前記液晶表示パネルの前記データ線のうちの第 2 データ線に出力し、

前記プリチャージ手段は、前記第 1 水平期間の、前記第 1 データ線及び前記第 2 データ線にそれぞれ前記正極性データ信号及び前記負極性データ信号が供給される前の時刻において前記液晶表示パネルの前記データ線を前記接地電位にプリチャージし、前記第 2 水平期間では、前記液晶表示パネルの前記データ線を前記接地電位にプリチャージしない

液晶表示装置。

20

【請求項 4】

請求項 1 に記載の液晶表示装置であって、

更に、前記液晶表示パネルの前記データ線をプリチャージするためのプリチャージ手段を具備し、

前記プリチャージ手段は、前記複数のデータ線を接地端子に接続するダイオード素子を含む

液晶表示装置。

30

【請求項 5】

請求項 1 に記載の液晶表示装置であって、

更に、前記液晶表示パネルと前記液晶ドライバのいずれかに設けられ、且つ、前記正極側駆動回路の出力及び前記負極性駆動回路の出力の一方を前記複数のデータ線のうちの第 1 データ線に、他方を前記複数のデータ線のうちの第 2 データ線に電氣的に接続するように構成された極性切り替えスイッチ回路を具備し、

前記液晶ドライバは、

カソードが前記正極側駆動回路の出力に接続され、アノードが接地端子に接続された第 1 ダイオード素子と、

アノードが前記負極側駆動回路の出力に接続され、カソードが接地端子に接続された第 2 ダイオード素子

とを具備する

液晶表示装置。

40

【請求項 6】

複数の入力端子と、画素に接続された複数のデータ線とを備える液晶表示パネルと、
液晶ドライバと、

前記液晶表示パネルと前記液晶ドライバのいずれかに設けられた複数のセレクト

50

とを具備し、

前記複数の入力端子は、第 1 入力端子と第 2 入力端子とを含み、

前記複数のデータ線は、

前記第 1 入力端子に対応して設けられた複数の第 1 データ線と、

前記第 2 入力端子に対応して設けられた複数の第 2 データ線

とを含み、

前記複数のセレクトは、

前記複数の第 1 データ線のうちから選択されたデータ線を前記第 1 入力端子に接続する第 1 セレクトと、

前記複数の第 2 データ線のうちから選択されたデータ線を前記第 2 入力端子に接続する第 2 セレクト

とを含み、

前記液晶ドライバは、

前記液晶ドライバの接地電位を基準として正である正極性データ信号を出力可能に構成された正極側駆動回路と、

前記接地電位を基準として負である負極性データ信号を出力可能に構成された負極側駆動回路と、

前記複数のセレクト回路を制御する制御信号を生成するセレクト制御回路

を含む

液晶表示装置。

20

【請求項 7】

請求項 6 に記載の液晶表示装置であって、

前記液晶ドライバは、更に前記複数の入力端子を前記接地電位にプリチャージするためのプリチャージ手段を含む

液晶表示装置。

【請求項 8】

請求項 7 に記載の液晶表示装置であって、

一の水平期間のうちの第 1 期間において、前記第 1 セレクトは、前記複数の第 1 データ線の全てを前記第 1 入力端子に接続し、前記第 2 セレクトは、前記複数の第 2 データ線の全てを前記第 2 入力端子に接続し、且つ、前記プリチャージ手段は、前記第 1 入力端子及び前記第 2 入力端子を前記接地電位にプリチャージし、

前記水平期間のうちの前記第 1 期間の後の第 2 期間において、前記第 1 セレクトは、前記複数の第 1 データ線のうちから選択された一の第 1 選択データ線を前記第 1 入力端子に接続し、且つ、前記第 2 セレクトは、前記複数の第 2 データ線のうちから選択された一の第 2 選択データ線を前記第 2 入力端子に接続し、且つ、前記正極側駆動回路は、前記第 1 入力端子と前記第 2 入力端子とのうちの一方に、前記正極性データ信号を出力し、且つ、前記負極側駆動回路は、前記前記第 1 入力端子と前記第 2 入力端子との他方に、前記負極性データ信号を出力する

液晶表示装置。

【請求項 9】

請求項 8 に記載の液晶表示装置であって、

前記水平期間のうちの、前記第 2 期間の後の第 3 期間において、前記第 1 セレクトは、前記複数の第 1 データ線の全てを前記第 1 入力端子から電氣的に切り離し、前記第 2 セレクトは、前記複数の第 2 データ線の全てを前記第 2 入力端子から切り離し、且つ、前記プリチャージ手段は、前記第 1 入力端子及び前記第 2 入力端子を前記接地電位にプリチャージし、

前記水平期間のうちの、前記第 3 期間の後の第 4 期間において、前記第 1 セレクトは、前記複数の第 1 データ線のうちから選択された他の第 1 選択データ線を前記第 1 入力端子に接続し、且つ、前記第 2 セレクトは、前記複数の第 2 データ線のうちから選択された他の第 2 選択データ線を前記第 2 入力端子に接続し、且つ、前記正極側駆動回路は、前記第

40

50

1 入力端子と前記第 2 入力端子とのうちの前記他方に、前記正極性データ信号を出力し、且つ、前記負極側駆動回路は、前記第 1 入力端子と前記第 2 入力端子とのうちの前記一方に、前記負極性データ信号を出力する

液晶表示装置。

【請求項 10】

請求項 9 に記載の液晶表示装置であって、

前記第 3 期間において前記プリチャージ手段が前記第 1 入力端子及び前記第 2 入力端子を前記接地電位にプリチャージする時間は、前記第 1 期間において前記プリチャージ手段が前記第 1 入力端子及び前記第 2 入力端子を前記接地電位にプリチャージする時間よりも短い

10

液晶表示装置。

【請求項 11】

請求項 6 に記載の液晶表示装置であって、

前記液晶ドライバは、更に、前記複数の入力端子をプリチャージするためのプリチャージ手段を含み、

前記プリチャージ手段は、前記複数の入力端子を接地端子に接続するダイオード素子を含む

液晶表示装置。

【請求項 12】

請求項 6 に記載の液晶表示装置であって、

更に、前記液晶表示パネルと前記液晶ドライバのいずれかに設けられ、且つ、前記正極側駆動回路の出力及び前記負極側駆動回路の出力の一方を前記複数のデータ線のうちの第 1 データ線に、他方を前記複数のデータ線のうちの第 2 データ線に電気的に接続するように構成された極性切り替えスイッチ回路を具備し、

20

前記液晶ドライバは、

ソースが前記正極側駆動回路の出力に接続され、ドレイン及びバックゲートが接地された N チャネル MOS トランジスタと、

ソースが前記負極側駆動回路の出力に接続され、ドレイン及びバックゲートが接地された P チャネル MOS トランジスタ

とを含む

30

液晶表示装置。

【請求項 13】

請求項 12 に記載の液晶表示装置であって、

前記液晶ドライバは、更に、前記 N チャネル MOS トランジスタと前記 P チャネル MOS トランジスタのゲートの電位を制御するプリチャージタイミング生成回路を含み、

一の水平期間のうちの第 1 期間において、前記第 1 セレクタは、前記複数の第 1 データ線の全てを前記第 1 入力端子に接続し、前記第 2 セレクタは、前記複数の第 2 データ線の全てを前記第 2 入力端子に接続し、且つ、前記プリチャージタイミング生成回路は、前記 N チャネル MOS トランジスタのゲートを所定の正電位に、前記 P チャネル MOS トランジスタを所定の負電位に駆動し、

40

前記水平期間のうちの前記第 1 期間の後の第 2 期間において、前記第 1 セレクタは、前記複数の第 1 データ線のうちから選択された一の第 1 選択データ線を前記第 1 入力端子に接続し、且つ、前記第 2 セレクタは、前記複数の第 2 データ線のうちから選択された一の第 2 選択データ線を前記第 2 入力端子に接続し、前記極性切り替えスイッチ回路は、前記正極側駆動回路及び前記負極側駆動回路の一方の出力を前記第 1 入力端子に、他方の出力を前記第 2 入力端子に接続し、前記正極側駆動回路は前記極性切り替えスイッチ回路を介して前記第 1 入力端子に前記正極性データ信号を出力し、且つ、前記負極側駆動回路は、前記極性切り替えスイッチ回路を介して前記第 2 入力端子に前記負極性データ信号を出力する

50

液晶表示装置。

【請求項 14】

請求項 13 に記載の液晶表示装置であって、

前記水平期間のうちの前記第 2 期間の後の第 3 期間において、前記第 1 セレクタは、前記複数の第 1 データ線の全てを前記第 1 入力端子から切り離し、前記第 2 セレクタは、前記複数の第 2 データ線の全てを前記第 2 入力端子から切り離し、前記プリチャージタイミング生成回路は、前記 N チャンネル MOS トランジスタ及び前記 P チャンネル MOS トランジスタのゲートを前記接地電位に駆動し、前記極性切り替えスイッチ回路は、前記正極側駆動回路及び前記負極側駆動回路の前記一方の出力を前記第 2 入力端子に、前記他方の出力を前記第 1 入力端子に接続し、前記正極側駆動回路及び前記負極側駆動回路は、その出力をハイ・インピーダンス状態に設定する

液晶表示装置。

【請求項 15】

請求項 6 に記載の液晶表示装置であって、

前記液晶ドライバは、

前記正極側駆動回路の出力及び前記負極側駆動回路の出力と、前記第 1 入力端子及び前記第 2 入力端子との間の接続関係を切り替える極性切り替えスイッチ回路と、

カソードが前記正極側駆動回路の出力に接続され、アノードが接地端子に接続された第 1 ダイオード素子と、

アノードが前記負極側駆動回路の出力に接続され、カソードが接地端子に接続された第 2 ダイオード素子

とを具備する

液晶表示装置。

【請求項 16】

液晶表示パネルを駆動するために使用される液晶ドライバであって、

当該液晶ドライバの接地電位を基準として正である正極性データ信号を、前記液晶表示パネルのデータ線のうちの一のデータ線に出力するための正極側駆動回路と、

前記接地電位を基準として負である負極性データ信号を前記液晶表示パネルの他のデータ線のうちの他のデータ線に出力するための負極側駆動回路

とを具備する

液晶ドライバ。

【請求項 17】

請求項 16 に記載の液晶ドライバであって、

更に、

前記複数のデータ線を前記接地電位にプリチャージするためのプリチャージ手段を具備する

液晶ドライバ。

【請求項 18】

請求項 16 に記載の液晶ドライバであって、

前記正極側駆動回路は、第 1 水平期間、及び前記第 1 水平期間に続く第 2 水平期間において、前記正極性データ信号を前記液晶表示パネルの前記データ線のうちの第 1 データ線に出力し、

前記負極側駆動回路は、前記第 1 水平期間及び前記第 2 水平期間において、前記負極性データ信号を前記液晶表示パネルの前記データ線のうちの第 2 データ線に出力し、

前記プリチャージ手段は、前記第 1 水平期間の、前記第 1 データ線及び前記第 2 データ線にそれぞれ前記正極性データ信号及び前記負極性データ信号が供給される前の期間において前記液晶表示パネルの前記データ線を前記接地電位にプリチャージし、前記第 2 水平期間では、前記液晶表示パネルの前記データ線を前記接地電位にプリチャージしない

液晶ドライバ。

【請求項 19】

10

20

30

40

50

請求項 16 に記載の液晶ドライバであって、

更に、

前記複数のデータ線のいずれかに接続されるための第 1 及び第 2 出力端子と、

前記正極側駆動回路の出力及び前記負極性駆動回路の出力の一方を、前記第 1 出力端子に、他方を前記第 2 出力端子に電氣的に接続するように構成された極性切り替えスイッチ回路と、

カソードが前記正極側駆動回路の出力に接続され、アノードが接地端子に接続された第 1 ダイオード素子と、

アノードが前記負極側駆動回路の出力に接続され、カソードが接地端子に接続された第 2 ダイオード素子

10

とを具備する

液晶ドライバ。

【請求項 20】

請求項 16 に記載の液晶ドライバであって、

更に、

前記複数のデータ線のいずれかに接続されるための第 1 及び第 2 出力端子と、

前記正極側駆動回路の出力及び前記負極性駆動回路の出力の一方を、前記第 1 出力端子に、他方を前記第 2 出力端子に電氣的に接続するように構成された極性切り替えスイッチ回路と、

ソースが前記正極側駆動回路の出力に接続され、ドレイン及びバックゲートが接地された N チャネル MOS トランジスタと、

20

ソースが前記負極側駆動回路の出力に接続され、ドレイン及びバックゲートが接地された P チャネル MOS トランジスタ

とを含む

液晶表示装置。

【請求項 21】

液晶ドライバによって液晶表示パネルを駆動する駆動方法であって、

前記液晶ドライバの接地電位を基準として正極性である正極性データ信号を、前記液晶表示パネルのデータ線のうちの一のデータ線に出力するステップと、

前記接地電位を基準として負極性である負極性データ信号を、前記液晶表示パネルのデータ線のうちの他のデータ線に出力するステップ

30

とを具備する

駆動方法。

【請求項 22】

請求項 21 に記載の駆動方法であって、

更に、

前記液晶表示パネルの前記データ線を前記接地電位にプリチャージするステップを具備する

駆動方法。

【請求項 23】

40

請求項 21 に記載の駆動方法であって、

更に、

前記液晶表示パネルの前記データ線をダイオードを介して接地端子に接続するステップを具備する

駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置、液晶ドライバ及びその動作方法に関し、特に、反転駆動によって液晶表示パネルを駆動する液晶ドライバに関する。

50

【背景技術】

【0002】

液晶表示パネルの画素を直流電圧で駆動すると各画素の液晶層の寿命が短くなる現象は焼き付き現象として知られている。この焼き付き現象を防止するために広く使用される技術が、反転駆動（又は交流駆動）である。反転駆動とは、定期的に、各画素に供給されるデータ信号の極性を反転する駆動方法である。反転駆動は、画素の液晶容量に印加される電圧の直流成分を減少させ、焼き付き現象の発生を有効に防止する。

【0003】

交流駆動には、概略的には、コモン一定駆動法とコモン反転駆動法の2種類がある。コモン一定駆動法とは、画素の共通電極（対向電極）の電位（以下、「共通電位 V_{COM} 」という。）を一定に保ち、画素に印加されるデータ信号の極性のみを反転する駆動方法である。一方、コモン反転駆動法とは、データ信号と共通電位の両方を反転する駆動方法である。コモン一定駆動法は、コモン反転駆動法と比較して共通電極の電位の安定性に優れている、という利点を有している。当業者に広く知られているように、共通電極の電位の安定性はフリッカの発生の抑制の点で重要である。以下に述べられるように、本発明はコモン一定駆動法に関連している。

【0004】

公知のコモン一定駆動法の一つの課題は、データ信号を発生する駆動回路を高い電源電圧で動作させる必要があることである。コモン一定駆動法を採用する典型的な液晶ドライバでは、液晶容量に印加され得る最大の電圧の2倍以上の電源電圧を駆動回路に供給する必要がある。例えば、液晶容量に印加され得る最大の電圧が5Vである場合、駆動回路には、10Vの電源電圧を供給する必要がある。

【0005】

駆動回路を高い電源電圧で動作させることには、2つの不利益がある。1つは、駆動回路を構成する回路素子に高い耐圧を持たせる必要性が発生することである。具体的には、駆動回路を構成する回路素子は、液晶容量に印加され得る最大の電圧の2倍の耐圧を有する必要がある。もう1つは、駆動回路の消費電力が大きくなることである。駆動回路の消費電力は、概ね電源電圧に比例するから、電源電圧の増大は消費電力の増大を招く。

【0006】

この不利益を解消するための液晶ドライバの構成が、特許文献1に開示されている。図1は、公知のその液晶ドライバの構成を示すブロック図である。公知のその液晶ドライバは、共通電位 V_{COM} を基準として正の極性のデータ信号を生成するための回路系と、負の極性のデータ信号を生成するための回路系とを分離することによって上記の問題に対処している。

【0007】

より具体的には、図1の液晶ドライバは、極性切り替えスイッチ群101と、階調電圧生成回路102と、正極側ドライバ部103と、負極側ドライバ部104と、極性切り替えスイッチ群105と、極性切り替えスイッチ制御回路106と、タイミングコントロール回路107とを備えている。

【0008】

極性切り替えスイッチ群101は、画素に供給されるデータ信号の極性に応じて、各画素の画素データを正極側ドライバ部103又は負極側ドライバ部104に転送する回路である。

【0009】

階調電圧生成回路102は、正の極性の階調電位（即ち、共通電位 V_{COM} よりも高い階調電位）を生成する正極性階調電位生成回路102aと、負の極性の階調電位（即ち、共通電位 V_{COM} よりも低い階調電位）を生成する負極性階調電位生成回路102bとから構成されている。

【0010】

正極側ドライバ部103は、正極性階調電位生成回路102aから供給される階調電位

10

20

30

40

50

を用いて、共通電位 V_{COM} を基準として正の極性のデータ信号を生成するための回路系である。例えば、共通電位 V_{COM} が 5 V であり、液晶容量に印加される最大の電圧が 5 V である場合には、正極側ドライバ部 103 は、信号レベルが 5 V から 10 V であるデータ信号を生成する。正極側ドライバ部 103 は、ラッチ回路 103a、レベルシフト 103b、D/A コンバータ 103c、及び正極性駆動回路 103d から構成されている。信号レベルが 5 V から 10 V であるデータ信号を生成するために、正極性駆動回路 103d には、10 V の電源電圧が供給される。正極性駆動回路 103d としては、典型的には、オペアンプが使用される。

【0011】

負極側ドライバ部 104 は、負極性階調電位生成回路 102b から供給される階調電位を用いて、共通電位 V_{COM} に対して負の極性のデータ信号を生成するための回路系である。例えば、共通電位 V_{COM} が 5 V であり、液晶容量に印加される最大の電圧が 5 V である場合には、負極側ドライバ部 104 は、信号レベルが 0 V から 5 V であるデータ信号を生成する。負極側ドライバ部 104 は、ラッチ回路 104a、レベルシフト 104b、D/A コンバータ 104c、及び負極性駆動回路 104d から構成される。信号レベルが 0 V から 5 V であるデータ信号を生成するために、負極性駆動回路 104d には、5 V の電源電圧が供給される。駆動回路 104d としては、典型的には、オペアンプが使用される。

10

【0012】

極性切り替えスイッチ群 105 は、正極側ドライバ部 103 及び負極側ドライバ部 104 が生成するデータ信号を、所望の出力端子 108 に出力する回路である。出力端子 108 には、液晶表示パネルのデータ線が接続され、出力端子 108 を介してデータ信号がデータ線に供給される。

20

【0013】

極性切り替えスイッチ群 105 には、全ての出力端子 108 を液晶駆動電圧 V_{LCD} の 1/2 の電圧、即ち 5 V にプリチャージするためのスイッチ 105a が設けられている。

【0014】

図 1 の液晶ドライバの特徴は、正の極性のデータ信号を生成するための正極側ドライバ部 103 と、負の極性のデータ信号を生成するための負極側ドライバ部 104 との 2 つの回路系を備えていることである。このアーキテクチャでは、負極側ドライバ部 104 の負極性駆動回路 104d に供給される電源電圧は、液晶容量に印加され得る最大の電圧程度で充分である；負極性駆動回路 104d には、液晶容量に印加され得る最大の電圧の 2 倍以上の電源電圧を印加する必要がない。これは、液晶ドライバの消費電力を有効に低減させる。

30

【0015】

加えて、このアーキテクチャでは、正極側ドライバ部 103 の正極性駆動回路 103d、及び負極側ドライバ部 104 の負極性駆動回路 104d を構成する回路素子には、最大でも、液晶容量に印加され得る最大の電圧程度の電圧しか印加されない。これは、各水平期間の開始時に、全ての出力端子 108 がスイッチ 105a によって液晶駆動電圧 V_{LCD} の 1/2 の電圧にプリチャージされるためである。図 1 の液晶ドライバのアーキテクチャは正極性駆動回路 103d、負極性駆動回路 104d を構成する回路素子に高い耐圧を持たせる必要性をなくすることができる。

40

【特許文献 1】特開平 10 - 62744 号公報

【発明の開示】

【発明が解決しようとする課題】

【0016】

しかしながら、発明者の検討によれば、特許文献 1 に開示されている液晶ドライバには消費電力を一層に低減する余地がある。確かに、上述の液晶ドライバは、負極性駆動回路 104d に供給される電源電圧を低下させ、これによって消費電力を低減させることができる。しかし、正極性駆動回路 103d に供給される電源電圧は、依然として高いままで

50

ある。

【 0 0 1 7 】

図 2 は、このことを具体例を用いて説明する図である。例えば、液晶ドライバの基準電源の電源電圧が 3 V であり、且つ、共通電位が 5 V であり、且つ、液晶容量に印加され得る最大の電圧が 5 V であると仮定する。この場合、負極性駆動回路 1 0 4 d が出力するデータ信号の信号レベルは、0 V ~ 5 V の範囲である。従って、負極性駆動回路 1 0 4 d には、基準電源が出力する電源電圧を 2 倍昇圧し、昇圧された電源電圧をレギュレートすることによって 5 V の電源電圧を供給すればよい。一方で、正極側ドライバ部 1 0 3 が出力するデータ信号の信号レベルは、5 V ~ 1 0 V の範囲である。従って、正極側駆動回路 1 0 3 d には、基準電源が出力する電源電圧を 4 倍昇圧し、昇圧された電源電圧をレギュレートすることによって 1 0 V の電源電圧を供給する必要がある。このように、図 1 の構成は、負極側駆動回路 1 0 4 d に供給される電源電圧を 5 V まで低下させるが、正極側駆動回路 1 0 3 d に供給される電源電圧は、1 0 V のままである。これは、消費電力を低減させるためには好ましくない。

10

【 0 0 1 8 】

したがって、本発明の課題は、コモン一定駆動法を用いた反転駆動によって液晶表示パネルを駆動する液晶ドライバの消費電力を一層に低減することにある。

【課題を解決するための手段】

【 0 0 1 9 】

上記の課題を解決するために、本発明は、以下に述べられる手段を採用する。その手段を構成する技術的事項の記述には、[特許請求の範囲] の記載と [発明を実施するための最良の形態] の記載との対応関係を明らかにするために、[発明を実施するための最良の形態] で使用される番号・符号が付加されている。但し、付加された番号・符号は、[特許請求の範囲] に記載されている発明の技術的範囲の解釈に用いてはならない。

20

【 0 0 2 0 】

本発明による液晶表示装置は、データ線 (1 1) を備える液晶表示パネル (1) (1 A) と、液晶ドライバ (2) (2 A) とを具備している。液晶ドライバ (2) (2 A) は、液晶ドライバ (2) (2 A) の接地電位を基準として正である正極性データ信号を、一のデータ線 (1 1) に出力する正極側駆動回路 (2 3 d) と、該接地電位を基準として負である負極性データ信号を他のデータ線 (1 1) に出力する負極側駆動回路 (2 4 d) とを含む。

30

【 0 0 2 1 】

このような構成を有する当該液晶表示装置では、正極性データ信号の最高の電位と液晶ドライバ (2) (2 A) の接地電位との電位差、及び、液晶ドライバ (2) (2 A) の接地電位と負極性データ信号の最低の電位との電位差を、いずれも、(液晶容量に印加され得る最大の電圧の 2 倍ではなく) 液晶容量に印加され得る最大の電圧程度まで低下させることができる。言い換えれば、上記の構成によれば、正極側駆動回路 (2 3 d) に供給される電源電圧 (V_{DD}^+) と、負極側駆動回路 (2 4 d) に供給される電源電圧 (V_{DD}^-) の両方を、理想的には、液晶容量に印加され得る最大の電圧程度まで低下させることができる。これは、液晶ドライバ (2) (2 A) の消費電力を有効に低減する。

40

【 0 0 2 2 】

当該液晶表示装置は、液晶表示パネル (1) (1 A) のデータ線を接地電位にプリチャージするためのプリチャージ手段 (2 3 e 、 2 4 e) を具備することが好ましい。このような構成は、正極側駆動回路 (2 3 d) 、及び負極性駆動回路 (2 4 d) を構成する回路素子に印加される電圧を低くするのみならず、データ線 (1 1) をプリチャージするために必要な電力を有効に低減させる。データ線にある電位 (典型的には共通電位) を有する電源ラインに電氣的に接続することによって当該データ線をプリチャージすると、当該電源ラインに電流が流れ込み、又は当該電源ラインから電流が流れ出す。電流が出入りすることによって当該電源ラインの電位が変動することを防ぐためには、該電源ラインを該電位に維持するための回路に電力を供給する必要がある。しかしながら、液晶表示パネル (

50

１）（１Ａ）のデータ線（１１）を液晶ドライバの接地電位にプリチャージする本発明の液晶表示装置の構成は、電源ラインをプリチャージされる電位に維持するための電力は発生しない。したがって、かかる構成は、電力消費を低減するために好適である。

【００２３】

前記液晶表示パネルの前記データ線のプリチャージは、前記複数のデータ線を接地端子に接続するダイオード素子によって行われることも可能である。プリチャージをダイオードによって行うことは、プリチャージ動作のためのタイミング制御を容易化し、プリチャージに必要な時間を短縮するために有効である。ダイオード素子としては、一般的なｐｎ接合ダイオードのみならず、ダイオードとして機能するように配線が接続されたトランジスタが使用されることが可能である。

10

【発明の効果】

【００２４】

本発明によれば、コモン一定駆動法を用いた反転駆動によって液晶表示パネルを駆動する液晶ドライバの消費電力を一層に低減することができる。

【発明を実施するための最良の形態】

【００２５】

以下、添付図面を参照しながら、本発明の好適な実施形態が詳細に説明される。以下の説明において、同一の構成要素は、同一、又は対応する符号によって参照される。同一の構成要素を相互に区別する必要がある場合には符号に添字が付せられ、この添字によって当該構成要素が区別されることに留意されたい。

20

【００２６】

１．第１の実施形態

（１）液晶表示装置の全体構成

図３は、本発明の第１の実施形態における液晶表示装置１０の構成を示す図である。表示装置１０は、液晶表示パネル１と液晶ドライバ２とを備えている。液晶表示パネル１は、データ線１１と、ゲート線１２と、データ線１１とゲート線１２とが交差する位置に設けられた画素１３とを備えている。データ線１１は、入力端子１６に接続されており、入力端子１６を介して液晶ドライバ２からデータ信号を受け取る。ゲート線１２は、画素１３の行（ライン）を選択するための信号線である。画素１３にデータ信号を書き込む場合、選択されたラインに対応するゲート線１２が活性化される。各画素１３は、ＴＦＴ１３ 30
aと、画素電極１３bと、共通電極１３cとから構成されている。画素電極１３bと共通電極１３cとの間には液晶が満たされており、画素電極１３bと共通電極１３cは液晶容量として機能する。共通電極１３cの電位は、共通電位 V_{COM} に維持されている。

30

【００２７】

液晶ドライバ２は、液晶表示パネル１の各画素１３を駆動する集積回路である。液晶ドライバ２の出力端子３は、配線４を介して液晶表示パネル１の入力端子１６に接続されている。データ信号は、液晶ドライバ２の出力端子３から配線４及び入力端子１６を介して対応するデータ線１１に供給され、これにより、選択されたラインに接続されている画素１３が駆動される。

【００２８】

40

本発明の一つの特徴は、液晶ドライバ２が、液晶ドライバ２の接地電位を基準として正極性であるデータ信号と、当該接地電位を基準として負極性であるデータ信号とを、データ線１１に出力可能に構成されている点にある。このような構成は、後に詳細に説明されるように、正極性データ信号を生成する駆動回路と、負極性データ信号を生成する駆動回路の両方に供給される電源電圧を低くすることを可能にし、液晶ドライバ２の消費電力を有効に低減させる。以下では、液晶ドライバ２の接地電位を基準として正極性であるデータ信号を、「正極性データ信号」といい、当該接地電位を基準として負極性であるデータ信号を、単に「負極性データ信号」という場合がある。

【００２９】

（２）液晶ドライバの構成

50

図 4 は、（液晶ドライバ 2 の接地電位を基準として正極性である）正極性データ信号と、（接地電位を基準として負極性である）負極性データ信号とを出力可能にするための、液晶ドライバ 2 の具体的な構成を示すブロック図である。

【0030】

液晶ドライバ 2 は、極性切り替えスイッチ群 21 と、階調電位生成回路 22 と、正極側ドライバ部 23 と、負極側ドライバ部 24 と、極性切り替えスイッチ群 25 と、極性切り替えスイッチ制御回路 26 と、プリチャージスイッチタイミング生成回路 27 と、タイミングコントロール回路 28 と、アンプタイミング生成回路 31 とを備えている。

【0031】

極性切り替えスイッチ群 21 は、画素 13 に供給されるべきデータ信号の極性に応じて、各画素 13 の画素データを正極側ドライバ部 23 又は負極側ドライバ部 24 に転送する回路である。極性切り替えスイッチ群 21 には、選択されたラインの画素 13 の階調を示す画素データが供給される。極性切り替えスイッチ群 21 は、供給された画素データのうち、正の極性のデータ信号で駆動されるべき画素の画素データを正極側駆動回路 23 に、負の極性のデータ信号で駆動されるべき画素の画素データを負極側駆動回路 24 に転送する。

10

【0032】

階調電位生成回路 22 は、画素がとり得る全ての階調レベルに対応する階調電位を、正極側ドライバ部 23 と負極側ドライバ部 24 とに供給する回路である。階調電圧生成回路 22 は、正極性階調電位生成回路 22a と、負極性階調電位生成回路 22b とを備えている。正極性階調電位生成回路 22a は、液晶ドライバ 2 の接地電位を基準として極性が正である階調電位を正極側ドライバ部 23 に供給する。一方、負極性階調電位生成回路 22b は、液晶ドライバ 2 の接地電位を基準として、極性が負である階調電位を負極側ドライバ部 24 に供給する。正極性階調電位生成回路 22a と、負極性階調電位生成回路 22b とがそれぞれに出力する階調電位の数は、画素がとり得る階調レベルの数と同数である。画素がとり得る階調レベルの数が 64 である場合、正極性階調電位生成回路 22a は、64 種類の正極性の階調電位を正極側ドライバ部 23 に供給し、負極性階調電位生成回路 22b は、64 種類の負極性の階調電位を負極側ドライバ部 24 に供給する。

20

【0033】

正極側ドライバ部 23 は、それに供給される画素データにตอบสนองして正極性データ信号を生成する回路系である。正極側ドライバ部 23 は、正極性階調電位生成回路 22a から供給される正の階調電位を用いて、正極性データ信号を生成する。

30

【0034】

詳細には、正極側ドライバ部 23 は、ラッチ回路 23a と、レベルシフタ 23b と、D/A コンバータ 23c と、正極側駆動回路 23d と、プリチャージスイッチ回路 23e とを備えている。ラッチ回路 23a は、極性切り替えスイッチ群 21 から受け取った画素データをラッチしてレベルシフタ 23b に出力する。レベルシフタ 23b は、ラッチ回路 23a の出力の電圧レベルを D/A コンバータ 23c の入力レベルに対応するように変換する。

【0035】

D/A コンバータ 23c は、ラッチ回路 23a からレベルシフタ 23b を介して受け取った画素データに対して D/A 変換を行い、画素データに対応する階調電位を出力する。より具体的には、D/A コンバータ 23c は、レベルシフタ 23b から受け取った画素データにตอบสนองして正極性階調電位生成回路 22a から供給される正の階調電位のうちのーを選択し、選択した階調電位を正極側駆動回路 23d に供給する。

40

【0036】

正極側駆動回路 23d は、画素データに対応するデータ信号を出力するための回路である；正極側駆動回路 23d は、D/A コンバータ 23c から供給された階調電位に対応する信号レベルを有する信号を、液晶ドライバ 2 の出力端子 3 に出力する。正極側駆動回路 23d としては、典型的にはオペアンプが使用される。正極側駆動回路 23d が出力する

50

信号が、データ線 1 1 に供給されるべき正極性データ信号である。

【 0 0 3 7 】

プリチャージスイッチ回路 2 3 e は、液晶表示パネル 1 のデータ線 1 1 を液晶ドライバ 2 の接地電位にプリチャージするための回路である。プリチャージスイッチ回路 2 3 e は、プリチャージスイッチタイミング生成回路 2 7 から送られるプリチャージ信号 G N D _ S W が活性化されると、液晶表示パネル 1 のデータ線 1 1 を液晶ドライバ 2 の接地電位にプリチャージする。データ線 1 1 を液晶ドライバ 2 の接地電位にプリチャージすることは、正極側駆動回路 2 3 d に高い電圧（具体的には、正極性であるデータ信号の最大電位と、負極性であるデータ信号の最小電位との電位差）が印加されることを防ぐために重要である。

10

【 0 0 3 8 】

一方、負極側ドライバ部 2 4 は、それに供給される画素データに応答して負極性データ信号を生成する回路系である。負極側ドライバ部 2 4 は、負極性階調電位生成回路 2 2 b から供給される階調電位を用いて、負極性データ信号を生成する。負極側ドライバ部 2 4 の構成は、正極側ドライバ部 2 3 とほぼ同一であり、負極側ドライバ部 2 4 は、ラッチ回路 2 4 a と、レベルシフタ 2 4 b と、D / A コンバータ 2 4 c と、負極側駆動回路 2 4 d と、プリチャージスイッチ回路 2 4 e とを備えている。主たる相違点は、D / A コンバータ 2 4 c に負極性階調電位生成回路 2 2 b から負の階調電位が供給されること、及び負極側駆動回路 2 4 d が負極性のデータ信号を出力することである。

【 0 0 3 9 】

極性切り替えスイッチ群 2 5 は、正極側ドライバ部 2 3 及び負極側ドライバ部 2 4 の出力を、それらが生成するデータ信号の出力先のデータ線 1 1 に接続するための回路である。例えば、奇数番目のデータ線 1 1₁、1 1₃・・・に正の極性のデータ信号を出力すべき場合には、対応する正極側ドライバ部 2 3 の出力が、奇数番目のデータ線 1 1₁、1 1₃・・・に接続される。

20

【 0 0 4 0 】

極性切り替えスイッチ制御回路 2 6 は、極性切り替えスイッチ群 2 1、2 5 及び極性切り替えスイッチ群 2 1 の接続関係を指示する回路である；極性切り替えスイッチ制御回路 2 6 は、極性信号 P O L を極性切り替えスイッチ群 2 1 に供給することにより、画素データが所望の正極側ドライバ部 2 3、負極側ドライバ部 2 4 に転送されるように、極性切り替えスイッチ群 2 1 の接続関係を切り替える。加えて、極性切り替えスイッチ制御回路 2 6 は、スイッチ制御信号 D O T _ S W を極性切り替えスイッチ群 2 5 に供給することにより、データ信号が所望のデータ線 1 1 に出力されるように、極性切り替えスイッチ群 2 5 の接続関係を切り替える。

30

【 0 0 4 1 】

プリチャージタイミング生成回路 2 7 は、プリチャージスイッチ回路 2 3 e、2 4 e を制御するプリチャージ信号 G N D _ S W を生成するための回路である。

【 0 0 4 2 】

アンプタイミング生成回路 3 1 は、正極側駆動回路 2 3 d、負極側駆動回路 2 4 d の動作タイミングを制御するための回路であり、アンプ出力制御信号 A M P _ H I Z を生成する。アンプ出力制御信号 A M P _ H I Z が活性化されると、正極側駆動回路 2 3 d、負極側駆動回路 2 4 d の出力はハイ・インピーダンス状態に設定される。アンプ出力制御信号 A M P _ H I Z が活性化されていない場合、正極側駆動回路 2 3 d、負極側駆動回路 2 4 d は、画素データに対応する信号レベルのデータ信号を出力する。

40

【 0 0 4 3 】

タイミングコントロール回路 2 8 は、極性切り替えスイッチ群 2 1、正極側ドライバ部 2 3、負極側ドライバ部 2 4、及び極性切り替えスイッチ群 2 5 の動作タイミングを制御する回路である。具体的には、タイミングコントロール回路 2 8 は、ラッチ信号 S T B を出力してラッチ回路 2 3 a、2 3 b が画素データをラッチするタイミングを制御する。加えて、タイミングコントロール回路 2 8 は、極性切り替えスイッチ回路 2 6、プリチャージ

50

ジタイミング生成回路 27、及びアンプタイミング生成回路 31 を制御して、極性信号 P O L、スイッチ制御信号 D O T _ S W、プリチャージ信号 G N D _ S W、及びアンプ出力制御信号 A M P _ H I Z が切り替えられるタイミングを調整する。

【 0 0 4 4 】

(3) データ信号を出力する系統の詳細な構成

図 5 は、正極側ドライバ部 23 の正極側駆動回路 23 d 及びプリチャージスイッチ回路 23 e、負極側ドライバ部 24 の負極側駆動回路 24 d 及びプリチャージスイッチ回路 24 e、並びに極性切り替えスイッチ群 25 の詳細を示す回路図である。図 5 には、液晶ドライバ 2 の 2 つの出力端子 3 : 出力端子 3₁、3₂ に関連する部分のみが選択的に図示されているが、他の部分も同様の構成を有していることは、当業者には容易に理解されよう

10

【 0 0 4 5 】

正極性駆動回路 23 d は、スイッチ 23 j とアンプ 23 k とを備えている。アンプ 23 k は、ボルテッジフォロアとして機能し、D / A コンバータ 23 c から供給された階調電位に対応する信号レベルを有するデータ信号を生成する。アンプ 23 k には正極性の電源電圧 V_{DD}^+ が供給されており、アンプ 23 k は、電源電圧 V_{DD}^+ を用いて正極性のデータ信号を生成する。電源電圧 V_{DD}^+ は、典型的には 5 V である。スイッチ 23 j は、アンプ 23 k の出力に接続されている。スイッチ 23 j は、アンプ出力制御信号 A M P _ H I Z に応答してオンオフされる。アンプ出力制御信号 A M P _ H I Z が活性化されると、スイッチ 23 j がターンオフし、正極性駆動回路 23 d の出力がハイ・インピーダンス状態に設定される。アンプ出力制御信号 A M P _ H I Z が非活性化されると、スイッチ 23 j はターンオンし、正極性駆動回路 23 d は正極性のデータ信号を出力する。

20

【 0 0 4 6 】

同様に、負極性駆動回路 24 d は、スイッチ 24 j とアンプ 24 k とを備えている。アンプ 24 k は、ボルテッジフォロアとして機能し、D / A コンバータ 24 c から供給された階調電位に対応する信号レベルを有するデータ信号を生成する。アンプ 24 k には負極性の電源電圧 V_{DD}^- が供給されており、アンプ 24 k は、電源電圧 V_{DD}^- を用いて負極性のデータ信号を生成する。電源電圧 V_{DD}^- は、典型的には、- 5 V である。スイッチ 24 j は、アンプ 24 k の出力に接続されている。スイッチ 24 j は、アンプ出力制御信号 A M P _ H I Z に応答してオンオフされる。アンプ出力制御信号 A M P _ H I Z が活性化されると、スイッチ 24 j がターンオフし、負極性駆動回路 24 d の出力がハイ・インピーダンス状態に設定される。アンプ出力制御信号 A M P _ H I Z が非活性化されると、スイッチ 24 j はターンオンし、負極性駆動回路 24 d は負極性のデータ信号を出力する。

30

【 0 0 4 7 】

極性切り替えスイッチ群 25 は、スイッチ 25 a ~ 25 d を含む。スイッチ 25 a は、出力端子 3₁ と正極側駆動回路 23 d の出力端子の間に介設され、スイッチ 25 b は、出力端子 3₂ と正極側駆動回路 24 d の出力端子の間に介設されている。一方、スイッチ 25 c は、出力端子 3₁ と負極側駆動回路 24 d の出力端子の間に介設され、スイッチ 25 d は、出力端子 3₂ と負極側駆動回路 24 d の出力端子の間に介設されている。スイッチ 25 a ~ 25 d は、極性切り替えスイッチ制御回路 26 から送られるスイッチ制御信号 D O T _ S W に応答して、出力端子 3₁、3₂ と、正極側駆動回路 23 d 及び負極側駆動回路 24 d との接続関係を切り替える。詳細には、スイッチ制御信号 D O T _ S W が活性化されると、出力端子 3₁、3₂ は、それぞれ正極側駆動回路 23 d、負極側駆動回路 24 d に接続される。このような接続は、出力端子 3₁、3₂ からデータ線 11₁、11₂ に、それぞれ正極性データ信号、及び負極性データ信号を出力する場合に使用される。一方、スイッチ制御信号 D O T _ S W が非活性化されると、出力端子 3₁、3₂ は、それぞれ負極側駆動回路 24 d 及び正極側駆動回路 23 d に接続される。このような接続は、出力端子 3₁、3₂ からデータ線 11₁、11₂ に、それぞれ負極性データ信号及び正極性データ信号を出力する場合に使用される。

40

50

【 0 0 4 8 】

プリチャージスイッチ回路 2 3 e は、正極側駆動回路 2 3 d の出力端子と接地端子 2 3 g との間に介設されているスイッチ 2 3 f から構成されている。スイッチ 2 3 f は、プリチャージスイッチタイミング生成回路 2 7 から送られるプリチャージ信号 GND_SW が活性化されるとターンオンする。同様に、プリチャージスイッチ回路 2 4 e は、負極側駆動回路 2 4 d の出力端子と接地端子 2 4 g との間に介設されているスイッチ 2 4 f から構成されている。スイッチ 2 4 f は、プリチャージスイッチタイミング生成回路 2 7 から送られるプリチャージ信号 GND_SW が活性化されるとターンオンする。スイッチ 2 3 f、2 4 f がターンオンされると、極性切り替えスイッチ群 2 5 の接続関係に関わり無く、全てのデータ線 1 1 が液晶ドライバ 2 の接地電位にプリチャージされる。

10

【 0 0 4 9 】

(4) 本実施形態の液晶表示装置の動作の概要

本実施の形態の液晶表示装置 1 0 の一つの特徴は、正極側ドライバ部 2 3 が、液晶ドライバ 2 の接地電位を基準として正極性である正極性データ信号を生成し、負極側ドライバ部 2 4 が、当該接地電位を基準として負極性である負極性データ信号を生成する点にある。このようなアーキテクチャは、液晶ドライバ 2 の消費電力を低減することを可能にする。なぜなら、このアーキテクチャは、正極性データ信号及び負極性データ信号を生成する正極側駆動回路 2 3 d 及び負極側駆動回路 2 4 d のいずれにも、高い電源電圧、具体的には、液晶容量に印加され得る最大電圧の 2 倍以上の電源電圧を供給する必要性をなくすからである。

20

【 0 0 5 0 】

例えば、図 6 に示されているように、例えば、液晶ドライバ 2 の基準電源の電源電圧が 3 V であり、共通電位が 0 V であり、且つ、液晶容量に印加され得る最大の電圧が 5 V であると仮定する。この場合、正極側駆動回路 2 3 d が出力するデータ信号の信号レベルは、0 V ~ 5 V の範囲であるから、正極性駆動回路 2 3 d に供給すべき電源電圧 V_{DD}^+ は、5 V である。一方、負極側駆動回路 2 4 d が出力するデータ信号の信号レベルは、- 5 V ~ 0 V の範囲であるから、負極性駆動回路 2 3 d に供給すべき電源電圧 V_{DD}^- は、- 5 V である。このように、本実施の形態の液晶表示装置 1 0 は、正極性駆動回路 2 3 d、負極性駆動回路 2 3 d の両方に供給される電源電圧（の絶対値）を、液晶容量に印加され得る最大電圧と同程度まで低減させることが可能である；図 1 の公知の液晶ドライバでは、正極性ドライバ部 1 0 3 の駆動回路 1 0 3 d には、液晶容量に印加され得る最大電圧の 2 倍以上の電源電圧を供給する必要があることに留意されたい。正極側駆動回路 2 3 d、負極側駆動回路 2 4 d の消費電力は、概ね、それに供給される電源電圧に比例するから、高い電源電圧の供給を不要化することは、液晶ドライバ 2 の消費電力を低減するために有効である。

30

【 0 0 5 1 】

上述の動作では、共通電位 V_{COM} は、液晶ドライバ 2 の接地電位、又は該接地電位に近い電位に選択される。ここで、共通電位 V_{COM} が液晶ドライバ 2 の接地電位に一致する必要はないことに留意されるべきである。正極性データ信号の電位が共通電位 V_{COM} よりも高く、負極性データ信号の電位が共通電位 V_{COM} よりも低いという条件を満足する限り、共通電位 V_{COM} は、液晶ドライバ 2 の接地電位と同一の電位に限られない。例えば、正極性データ信号がとり得る電位の範囲が 1 . 0 V ~ 5 . 0 V であり、負極性データ信号がとり得る電位の範囲が - 5 . 0 V ~ - 1 . 0 V である場合に、共通電位 V_{COM} が - 0 . 5 V であることが可能である。共通電位 V_{COM} が液晶ドライバ 2 の接地電位と相違することは、むしろ、画素 1 3 に所望の階調を表示させるために都合が良い場合がある。具体的には、共通電位 V_{COM} を負の電位に設定することにより、ゲート線 1 2 がプルダウンされたときに、ゲート線 1 2 と画素電極 1 3 b との容量結合によって画素電極 1 3 b の電位が不所望に変動する影響をキャンセルすることができる。

40

【 0 0 5 2 】

液晶表示装置 1 0 のもう一つの特徴は、データ線 1 1 を液晶ドライバ 2 の接地電位にプ

50

リチャージする点にある。プリチャージは、プリチャージスイッチ回路 23 e、24 e により行われる。プリチャージは、正極側駆動回路 23 d、負極側駆動回路 24 d を構成する素子に、高い電圧が印加されることを防止するために重要である。例えば、負極側駆動回路 24 d によって負の電位に駆動されているデータ線 11 が正極側駆動回路 23 d に接続されると、正極側駆動回路 23 d を構成する素子には、最大で、液晶容量に印加され得る最大の電圧の 2 倍の電圧が印加され得る。しかし、データ線 11 を正極側駆動回路 23 d に接続する前にデータ線 11 を接地電位にプリチャージすれば、正極側駆動回路 23 d を構成する素子には高い電圧が印加されない。負極側駆動回路 24 d についても同様である。

【0053】

10

データ線 11 がプリチャージされる電位が液晶ドライバ 2 の接地電位であることは、プリチャージに必要な電力を低減するために重要である；共通電位 V_{COM} が、液晶ドライバ 2 の接地電位に一致しない場合でも、データ線 11 がプリチャージされる電位は液晶ドライバ 2 の接地電位であることに留意されたい。図 1 の液晶表示装置のように、データ線を接地電位でない、ある電位（図 1 の構成では、液晶駆動電圧の $1/2$ 、又は共通電位 V_{COM} ）を有する電源ラインに電氣的に接続することによって当該データ線をプリチャージする構成は、プリチャージの時に当該電源ラインに電流が流れ込み、又は当該電源ラインから電流が流れ出すことによって当該電源ラインの電位が変動することを防ぐ必要がある。このためには、電源ラインを該電位に維持するための回路に電力を供給する必要がある。一方、液晶表示パネル 1 のデータ線 11 を液晶ドライバ 2 の接地電位にプリチャージする本実施の形態の液晶表示装置 10 の構成は、プリチャージされる電位に電源ラインを維持するための電力が不要である。データ線 11 を接地電位にプリチャージする本実施の形態の構成は、電力消費を低減するために有効である。

20

【0054】

（5）本実施形態の液晶表示装置の動作の具体例

図 7 は、本実施の形態の液晶表示装置 10 の好適な動作を示すタイミングチャートである。図 7 の動作では、ドット反転駆動、即ち、水平方向、及び垂直方向のいずれに隣接する画素 13 に供給されるデータ信号の極性が反対であるような反転駆動）が行われる。ドット反転駆動では、各データ線 11 に供給されるデータ信号の極性は、水平期間ごとに反転されることに留意されたい。

30

【0055】

第 m 水平期間が開始されると、選択ラインの画素の画素データが、極性切り替えスイッチ群 21 に供給される。加えて、極性信号 POL 及びスイッチ信号 DOT_SW が切り替えられ、これにより、極性切り替えスイッチ群 21、25 の接続関係が、第 m 水平期間においてデータ線 11 に供給されるデータ信号の極性に対応するように切り替えられる。更に、ラッチ信号 STB が活性化され、画素データが、正極側ドライバ部 23、負極側ドライバ部 24 のラッチ回路 23 a、24 a に取り込まれる。

【0056】

第 m 水平期間の開始時には、更に、プリチャージ信号 GND_SW が活性化される。これにより、プリチャージスイッチ回路 23 e、24 e のスイッチ 23 f、24 f がターンオンされ、全てのデータ 11 が液晶ドライバ 2 の接地電位にプリチャージされる。既述のように、データ線 11 が液晶ドライバ 2 の接地電位にプリチャージされることは、正極側駆動回路 23 d、負極側駆動回路 24 d を構成する素子に大きな電圧が印加されることを防ぐために重要である。

40

【0057】

プリチャージが完了した後、正極側駆動回路 23 d、負極側駆動回路 24 d が活性化される。活性化されると、正極側駆動回路 23 d 及び負極側駆動回路 24 d は、各データ線 11 を画素データに対応する信号レベルに駆動する。加えて、選択されたラインのゲート線 12 が活性化され、選択されたラインの画素 13 の液晶容量に駆動電圧が書き込まれる。図 7 の動作では、データ線 11₁ は、第 m 水平期間において液晶ドライバ 2 の接地電位

50

に対して正極性である電位に駆動される。

【0058】

第 m 水平期間に続く第 $m+1$ 水平期間では、第 $m+1$ 水平期間における各データ線11の極性が、第 m 水平期間における極性と反対になるようにデータ線11が駆動される。具体的には、第 $m+1$ 水平期間の開始時に極性信号POL及びスイッチ信号DOT_SWが反転される。データ線11に供給されるデータ信号の極性が反転されることに伴い、データ11が液晶ドライバ2の接地電位にプリチャージされ、正極側駆動回路23d、負極側駆動回路24dを構成する素子に大きな電圧が印加されることを防止される。

【0059】

図7の動作では、各水平期間の開始時にプリチャージ信号GND_SWが活性化されてデータ線11がプリチャージされているが、データ線11に供給されるデータ信号の極性が反転されない場合には、データ線11はプリチャージされる必要はない。データ線11に供給されるデータ信号の極性が反転されない場合にデータ線11がプリチャージされないことは、むしろ、余計な電力消費の発生を低減するために有効である。

【0060】

例えば、図8に示されているように、2H反転駆動、即ち、垂直方向に2画素の周期で画素13に供給されるデータ信号の極性が反転される反転駆動では、2水平期間の周期でデータ線11に供給されるデータ信号の極性が反転される。従って、各水平期間の開始時にデータ線11はプリチャージされる必要はない。例えば図8の動作では、データ線11₁には、第 m 水平期間及び第 $m+1$ 水平期間において、いずれも正の極性のデータ信号が供給される。この場合、第 $m+1$ 水平期間の開始時にはプリチャージは行われぬ。一方、第 $m+1$ 水平期間に続く第 $m+2$ 水平期間では、データ線11に供給されるデータ信号の極性が反転される。第 $m+2$ 水平期間の開始時にはデータ線11がプリチャージされ、これにより、正極側駆動回路23d、負極側駆動回路24dを構成する素子に大きな電圧が印加されることを防止される。

【0061】

図9に示されているように、V方向反転駆動、即ち、一のフレーム期間において同一のデータ線11に接続されている画素13に印加されるデータ信号の極性が同じであるような反転駆動でも同様である。V方向反転駆動では、一のフレーム期間の途中でデータ線11に供給されるデータ信号の極性が反転されることはない。従って、V方向反転駆動が行われる場合、あるフレーム期間の先頭の水平期間においてプリチャージが行われた後は、当該フレーム期間の残りの水平期間ではプリチャージは行われぬ。次のフレーム期間の先頭の水平期間ではデータ信号の極性が反転されるため、当該先頭の水平期間の開始時にプリチャージが行われる。

【0062】

2. 第2の実施形態

(1) 本実施形態における液晶表示装置の構成

図10Aは、本発明の第2の実施形態の液晶表示装置10Aの構成を示すブロック図である。本実施形態の液晶表示装置10Aの基本的な構成は、第1の実施形態の液晶表示装置10と同様である；図10Bに示されているように、液晶ドライバの正極側ドライバ部23は、液晶ドライバの接地電位を基準として正極性である正極性データ信号を生成するように構成され、負極側ドライバ部24は、当該接地電位を基準として負極性である負極性データ信号を生成するように構成される。このようなアーキテクチャが、液晶ドライバ2の消費電力の低減に有効であることは、既述されているとおりである。

【0063】

大きな相違点は、第2の実施形態では、時分割駆動が採用されることにある。時分割駆動とは、複数のデータ線を逐次を選択することによって画素にデータ信号の書き込みを時分割的に行う駆動方法である。かかる時分割駆動は、データ信号を出力する駆動回路の数を減少でき、更に、液晶ドライバと液晶表示パネルとを接続する配線の数を減少できるという利点から、液晶表示装置に広く採用される技術の一つである。

10

20

30

40

50

【 0 0 6 4 】

時分割駆動の採用に伴い、液晶表示パネル及び液晶ドライバの構成が、第 1 の実施形態から下記のように変更される；構成が変更されている本実施の形態の液晶表示パネル及び液晶ドライバは、以下では、液晶表示パネル 1 A、及び液晶ドライバ 2 A と記述される。

【 0 0 6 5 】

本実施の形態では、同一のデータ線 1 1 に接続されている画素 1 3 は、同一の色に対応付けられる。具体的には、データ線 1 1₁、1 1₄、・・・に接続されている画素 1 3 は、赤色（R）に対応付けられ、データ線 1 1₂、1 1₅、・・・に接続されている画素 1 3 は、緑色（G）に対応付けられ、データ線 1 1₃、1 1₆、・・・に接続されている画素 1 3 は、青色（B）に対応付けられる。赤に対応付けられている画素 1 3 は、赤色を表示するために使用され、緑に対応付けられている画素 1 3 は、緑色を表示するために使用され、青に対応付けられている画素 1 3 は、青色を表示するために使用される。以下では、画素 1 3 と色との対応関係を明らかにするために、赤、緑、青に対応付けられている画素 1 3 を、それぞれ R 画素 1 3、G 画素 1 3、B 画素 1 3 と記載することがある。

10

【 0 0 6 6 】

加えて、液晶表示パネル 1 A には、複数のデータ線 1 1 に対して一つずつ入力端子 1 6 が設けられる。本実施の形態では、3 本のデータ線 1 1 に対して 1 つの入力端子 1 6 が設けられている。例えば、データ線 1 1₁ ~ 1 1₃ に対応して入力端子 1 6₁ が設けられ、データ線 1 1₄ ~ 1 1₆ に対応して入力端子 1 6₂ が設けられている。

【 0 0 6 7 】

更に、データ線 1 1 と入力端子 1 6 との間には、3 本のデータ線 1 1 のうちの所望のデータ線を選択して対応する入力端子 1 6 に接続するためのセクタ 1 7 が設けられる。例えば、セクタ 1 7₁ は、データ線 1 1₁ ~ 1 1₃ のうちの所望のデータ線を入力端子 1 6₁ に接続し、セクタ 1 7₂ は、データ線 1 1₄ ~ 1 1₆ のうちの所望のデータ線を入力端子 1 6₂ に接続するように構成されている。セクタ 1 7 は、液晶ドライバ 2 から供給される制御信号 R S W、G S W、B S W に応答して、所望のデータ線 1 1 を対応する入力端子 1 6 に接続する。各セクタ 1 7 は、図 1 1 に示されているように、3 つのスイッチ：R スイッチ 1 8、G スイッチ 1 9、B スイッチ 2 0 で構成されている。R スイッチ 1 8 は、R 画素 1 3 に接続されているデータ線 1 1 と入力端子 1 6 との間に介設されており、液晶ドライバ 2 A から送られる制御信号 R S W が活性化されるとターンオンする。同様に、G スイッチ 1 9 は、G 画素 1 3 に接続されているデータ線 1 1 と入力端子 1 6 との間に介設されており、液晶ドライバ 2 A から送られる制御信号 G S W が活性化されるとターンオンする。更に、B スイッチ 2 0 は、B 画素 1 3 に接続されているデータ線 1 1 と入力端子 1 6 との間に介設されており、液晶ドライバ 2 A から送られる制御信号 B S W が活性化されるとターンオンする。

20

30

【 0 0 6 8 】

図 1 0 に戻り、第 2 の実施形態の液晶ドライバ 2 A は、下記の点で第 1 の実施形態の液晶ドライバ 2 と相違している：第 1 に、正極側ドライバ部 2 3、負極側ドライバ部 2 4 は、複数のデータ線 1 1 に接続された画素 1 3 にデータ信号が供給可能であるように、その構成が変更されている。具体的には、正極側ドライバ部 2 3、負極側ドライバ部 2 4 のラッチ回路 2 3 a、2 4 a は、複数のデータ線 1 1 に対応する画素の画素データを保持できるように構成が変更される。更に、ラッチ回路 2 3 a、2 4 a に保持されている画素データを選択するための R G B セクタ 2 3 h、2 4 h が、正極側ドライバ部 2 3、負極側ドライバ部 2 4 に、それぞれに設けられる。R G B セクタ 2 3 h、2 4 h は、セクタ 1 7 によって選択されたデータ線 1 1 に対応する画素データを、レベルシフタ 2 3 b、2 4 b を介して D / A コンバータ 2 3 c、2 4 c に供給する。

40

【 0 0 6 9 】

第 2 に、液晶ドライバ 2 A には、R G B スイッチタイミング生成回路 2 9 と、R G B セクタ制御回路 3 0 が追加的に設けられる。R G B スイッチタイミング生成回路 2 9 は、データ線 1 1 を選択するために使用される制御信号 R S W、B S W、G S W を生成する回

50

路である；R G Bスイッチタイミング生成回路 2 9 は、所望のデータ線 1 1 が入力端子 1 6 に接続されるように、制御信号 R S W、B S W、G S Wを生成する。R G Bセクタ制御回路 3 0 は、R G Bセクタ 2 3 h、2 4 hを制御する回路である；R G Bセクタ制御回路 3 0 は、制御信号をR G Bセクタ 2 3 h、2 4 hに供給して、選択されたデータ線 1 1 に対応する画素データをR G Bセクタ 2 3 h、2 4 hに選択させる。データ信号は、R G Bセクタ 2 3 h、2 4 hによって選択された画素データに応答して生成される。

【 0 0 7 0 】

(2) 本実施形態の液晶表示装置の動作の概要

本実施の形態では、液晶表示パネル 1 Aの駆動に、時分割駆動とドット反転駆動が併用される。即ち、同一の入力端子 1 6 に接続されている 3 本のデータ線 1 1 を逐次を選択することによって、画素 1 3 にデータ信号の書き込みが時分割的に行われる。このとき、データ信号の書き込みは、垂直方向及び水平方向に隣接する画素 1 3 に書き込まれるデータ信号の極性が逆であるように行われる。ドット反転駆動では、隣接するデータ線 1 1 に生成される電位が逆であることに留意されたい。

【 0 0 7 1 】

データ線 1 1 が逐次を選択されることと関連して、本実施形態では、第 1 の実施形態とは異なる手順でプリチャージが行われる。第 1 に、データ線 1 1 のプリチャージは、図 1 1 に示されているように、R スイッチ 1 8、G スイッチ 1 9、B スイッチ 2 0 の全てがターンオンされた状態で行われる；言い換えれば、全てのデータ線 1 1 が対応する入力端子 1 6 に接続された状態でプリチャージスイッチ回路 2 3 e、2 4 e のスイッチ 2 3 g、2 4 g がターンオンされる。これにより、全てのデータ線 1 1 が、同時に、液晶ドライバ 2 A の接地電位にプリチャージされる。

【 0 0 7 2 】

全てのデータ線 1 1 が同時にプリチャージされることは、下記の理由からノイズの低減に有利である。ドット反転駆動では、隣接するデータ線 1 1 に生成される電位が逆であるから、1 つの入力端子 1 6 に接続されているデータ線 1 1 のうちの 2 本のデータ線の電荷は、ほぼキャンセルされる。したがって、プリチャージスイッチ回路 2 3 e、2 3 e のそれぞれに流れ込む電荷は、高々 1 本のデータ線 1 1 から流れ込む電荷に過ぎない。例えば、データ線 1 1₁、1 1₃ に正の電位が生成され、データ線 1 1₂ に負の電位が生成されている状態で、データ線 1 1₁ ~ 1 1₃ のプリチャージが行われる場合、データ線 1 1₁、1 1₃ のうちの一方の電荷と、データ線 1 1₂ の電荷とが、ほぼ打ち消しあう。したがって、プリチャージスイッチ 2 3 e の接地端子 2 3 g に流れ込む電荷は、概ね、データ線 1 1₁ ~ 1 1₃ の一本に蓄積されている電荷にすぎない。これは、液晶ドライバ 2 A の接地電位の変動を抑制し、ノイズを有効に低減する。

【 0 0 7 3 】

第 2 の相違点は、データ線 1 1 のプリチャージとは別に、液晶表示パネル 1 A の入力端子 1 6 (及び、それに接続されている配線 4) のプリチャージが行われることである。これは、第 2 の実施形態では、データ線 1 1 が切り替えられる毎に入力端子 1 6 の電位が反転される必要があるからである。例えば、入力端子 1 6₁ を介してデータ線 1 1₁ に正極性データ信号が供給され、その後、データ線 1 1₂ に負極性データ信号が供給される場合を考える。データ線 1 1₁ に正極性データ信号が供給された後は、入力端子 1 6₁ には正の電位が残存している。入力端子 1 6₁ に正の電位が残存している状態で、入力端子 1 6₁ を負極性駆動回路 2 4 d に接続すると、負極性駆動回路 2 4 d を構成する素子に大きな電圧が印加されるおそれがある。したがって、入力端子 1 6₁ を負極性駆動回路 2 4 d に接続する前に、入力端子 1 6₁ を液晶ドライバ 2 A の接地電位にプリチャージする必要がある。図 1 2 に示されているように、入力端子 1 6 のプリチャージは、R スイッチ 1 8、G スイッチ 1 9、B スイッチ 2 0 の全てがターンオフされた状態で、プリチャージスイッチ回路 2 3 e、2 4 e のスイッチ 2 3 g、2 4 g をターンオンすることによって行われる。

10

20

30

40

50

【 0 0 7 4 】

全てのデータ線 1 1 を順次に駆動するために必要な周期を短縮するためには、入力端子 1 6 のプリチャージ時間は、データ線 1 1 のプリチャージ時間よりも短いことが好適である；ここで、入力端子 1 6 のプリチャージ時間とは、データ線 1 1 が入力端子 1 6 から電氣的に切り離された状態で、入力端子 1 6 が液晶ドライバ 2 A の接地端子 2 3 g、2 4 g に接続され続ける時間をいい、データ線 1 1 のプリチャージ時間とは、データ線 1 1 が液晶ドライバ 2 A の接地端子 2 3 g、2 4 g に接続され続ける時間をいう。確かに、入力端子 1 6 のプリチャージ時間は、入力端子 1 6 を接地電位にプリチャージするのに十分な時間だけは必要であるが、入力端子 1 6 のプリチャージ時間が、データ線 1 1 のプリチャージ時間よりも短くされることは動作の上で問題にならない。なぜなら、液晶表示パネル 1 A の入力端子 1 6、及び、それに接続されている配線 4 の容量は、データ線 1 1 の容量と比較して極めて小さいからである。典型的には、各データ線 1 1 の容量が数十 p F であるのに対し、液晶表示パネル 1 A の入力端子 1 6、及び、それに接続されている配線 4 の容量は合計で数 p F である。入力端子 1 6 のプリチャージ時間が、データ線 1 1 のプリチャージ時間よりも短くされることは、むしろ、全てのデータ線 1 1 を順次に駆動するために必要な時間を短縮し、ひいては、許容される最小の水平期間を小さくするため好適である。

10

【 0 0 7 5 】

(3) 本実施形態の液晶表示装置の動作の具体例

図 1 3 は、本実施形態の液晶表示装置 1 0 A の好適な動作を示すタイミングチャートである。

20

第 m 水平期間が開始されると、選択ラインの画素の画素データが、極性切り替えスイッチ群 2 1 に供給される。加えて、極性信号 P O L 及びスイッチ信号 D O T _ S W が切り替えられる。これにより、極性切り替えスイッチ群 2 1 の接続関係が、第 m 水平期間において各データ線 1 1 に供給されるデータ信号の極性に対応するように切り替えられ、極性切り替えスイッチ群 2 5 の接続関係が、第 m 水平期間において R 画素 1 3 に接続されているデータ線 1 1 に供給されるべきデータ信号の極性に対応するように切り替えられる。更に、ラッチ信号 S T B が活性化され、画素データが、正極側ドライバ部 2 3、負極側ドライバ部 2 4 のラッチ回路 2 3 a、2 4 a に取り込まれる。

【 0 0 7 6 】

30

第 m 水平期間の開始時には、更に、プリチャージ信号 G N D _ S W、及び制御信号 R S W、G S W、B S W の全てが活性化される。これにより、図 1 1 に示されているように、全てのセクタ 1 7 の R スイッチ 1 8、G スイッチ 1 9、B スイッチ 2 0、及びプリチャージスイッチ回路 2 3 e、2 4 e のスイッチ 2 3 f、2 4 f がターンオンされ、全てのデータ 1 1 が液晶ドライバ 2 の接地電位にプリチャージされる。既述のように、データ線 1 1 が液晶ドライバ 2 の接地電位にプリチャージされることは、正極側駆動回路 2 3 d、負極側駆動回路 2 4 d を構成する素子に大きな電圧が印加されることを防ぐために重要である。

【 0 0 7 7 】

プリチャージが完了した後、R 画素 1 3 に接続されているデータ線 1 1 にデータ信号が供給され、選択ラインの R 画素 1 3 へのデータ信号の書き込みが行われる。詳細には、R G B セクタ 2 3 h、2 4 h により、R 画素 1 3 に対応する画素データが選択され、更に、正極側駆動回路 2 3 d、負極側駆動回路 2 4 d は、選択された画素データに対応するデータ信号を生成する；正極側駆動回路 2 3 d が生成するデータ信号の極性は、液晶ドライバ 2 の接地電位に対して正であり、負極側駆動回路 2 4 d が生成するデータ信号の極性は、液晶ドライバ 2 の接地電位に対して負であることに留意されたい。更に、図 1 3 に示されているように、制御信号 R S W が選択的に活性化され、R 画素 1 3 に接続されているデータ線 1 1 が入力端子 1 6 に接続される；制御信号 G S W、B S W は非活性化される。これにより、正極側駆動回路 2 3 d、負極側駆動回路 2 4 d によって生成されたデータ信号が、R 画素 1 3 に接続されているデータ線 1 1 に供給される。加えて、選択ラインに対応

40

50

するゲート線 1 2 が活性化され、選択ラインの R 画素 1 3 に所望のデータ信号が書き込まれる。

【 0 0 7 8 】

続いて、選択ラインの G 画素 1 3 へのデータ信号の書き込みが行われる。選択ラインの G 画素 1 3 へのデータ信号の書き込みは、まず、入力端子 1 6 のプリチャージで開始される。詳細には、制御信号 R S W、G S W、B S W の全てが非活性化された状態で、プリチャージ信号 G N D _ S W が活性化される。これにより、図 1 2 に示されているように、データ線 1 1 が入力端子 1 6 から切り離された状態で入力端子 1 6 が液晶ドライバ 2 A の接地端子に接続され、入力端子 1 6 (及びそれに接続されている配線 4) が、液晶ドライバ 2 A の接地電位にプリチャージされる。このプリチャージでは、データ線 1 1 はプリチャージされないことに留意されたい。既述の通り、入力端子 1 6 のプリチャージ時間は、データ線 1 1 のプリチャージ時間よりも短い。

10

【 0 0 7 9 】

図 1 3 に示されているように、入力端子 1 6 のプリチャージの間に、極性信号 P O L 及びスイッチ信号 D O T _ S W が切り替えられる。これにより、極性切り替えスイッチ群 2 5 の接続関係が、第 m 水平期間において G 画素 1 3 に接続されているデータ線 1 1 に供給されるべきデータ信号の極性に対応するように切り替えられる。

【 0 0 8 0 】

続いて、G 画素 1 3 に接続されているデータ線 1 1 にデータ信号が供給される。詳細には、R G B セレクタ 2 3 h、2 4 h により、G 画素 1 3 に対応する画素データが選択され、更に、正極側駆動回路 2 3 d、負極側駆動回路 2 4 d は、選択された画素データに対応するデータ信号を生成する。更に、制御信号 G S W が選択的に活性化され、G 画素 1 3 に接続されているデータ線 1 1 が入力端子 1 6 に接続される。これにより、正極側駆動回路 2 3 d、負極側駆動回路 2 4 d によって生成されたデータ信号が、G 画素 1 3 に接続されているデータ線 1 1 に供給される。加えて、選択ラインに対応するゲート線 1 2 が活性化され、選択ラインの G 画素 1 3 に所望のデータ信号が書き込まれる。

20

【 0 0 8 1 】

引き続き、選択ラインの B 画素 1 3 へのデータ信号の書き込みが行われる。その手順は、R G B セレクタ 2 3 h、2 4 h によって B 画素 1 3 に対応する画素データが選択され、制御信号 B S W が選択的に活性化される点を除いて、上述された G 画素 1 3 へのデータ信号の書き込みと同一である。

30

【 0 0 8 2 】

第 m 水平期間に続く他の水平期間でも、同様の手順でデータ信号の書き込みが行われる。

【 0 0 8 3 】

以上に説明されているように、第 2 の実施形態の液晶表示装置では、液晶ドライバが、該液晶ドライバの接地電位に対して正の極性を有するデータ信号を生成する正極性駆動回路と、該接地電位に対して負の極性を有するデータ信号を生成する負極性駆動回路とを含んで構成される。このようなアーキテクチャは、液晶ドライバの消費電力を有効に低減させる。

40

【 0 0 8 4 】

更に、液晶表示パネルのデータ線は、該液晶ドライバの接地電位にプリチャージされる。このようなアーキテクチャは、正極性駆動回路、負極性駆動回路を構成する素子に高電圧が印加されることを防ぐとともに、プリチャージに必要な電力を有効に低減させる。

【 0 0 8 5 】

なお、本実施形態において、入力端子 1 6 のプリチャージはデータ信号の書き込みが行われる毎に行われる必要はない。各水平期間の開始時にのみ、全てのデータ線 1 1 と入力端子 1 6 のプリチャージが行われることも可能である。各水平期間の開始時にのみプリチャージが行われる動作は、正極側駆動回路 2 3 d や極性切り換えスイッチ群 2 5 を構成する回路素子の許容耐圧が多少高くなるものの、全てのデータ線 1 1 を順次に駆動するため

50

に必要な周期を短縮するために有効である。

【0086】

3. 第3の実施形態

図14は、本発明の第3の実施形態に係る液晶表示装置に搭載される液晶ドライバ2Bの構成を示す図である。第3の実施形態の液晶表示装置は、第1の実施形態の液晶表示装置10とほぼ同様の構成を有している；相違点は、第3の実施形態では、正極側ドライバ部23、負極側ドライバ部24のプリチャージスイッチ回路23e、24eに代えて、プリチャージダイオード回路41、42が使用される点である。

【0087】

図15A、図15Bに示されているように、プリチャージダイオード回路41は、ダイオード素子43と、接地端子45とで構成されている。ダイオード素子43のカソードは、正極側駆動回路23dの出力に接続されたノードN1に接続され、アノードは接地端子45に接続される。同様に、プリチャージダイオード回路42は、ダイオード素子44と接地端子46とで構成される。ダイオード素子44のカソードは、接地端子46に接続され、アノードは、負極側駆動回路24dの出力に接続されたノードN2に接続される。

【0088】

本実施形態の液晶表示装置の一つの特徴は、ダイオード素子43、44を介してデータ線11及び入力端子16のプリチャージが行われる点にある。ダイオード素子43、44をプリチャージに使用することの利点は、タイミング制御が容易になり、プリチャージに必要な時間を短縮することができる点にある。以下、ダイオード素子43、44の使用の利点を詳細に説明する。

【0089】

図7を参照して、第1の実施形態では、プリチャージの際にはアンプ出力制御信号AMP_HIZとプリチャージ信号GND_SWが活性化される。図7には両者が同時に活性化されるように図示されているが、厳密には、アンプ出力制御信号AMP_HIZが先に活性化されてスイッチ23j、24jがターンオフされた後に、プリチャージ信号GND_SWが続いて活性化されなくてはならない。なぜなら、そうでなければアンプ23k、24kの出力端子に高電圧が印加され得るからである。更に、プリチャージの終了時には、プリチャージ信号GND_SWが非活性化された後に、アンプ出力制御信号AMP_HIZが非活性化されてスイッチ23j、24jがターンオンされる必要がある。そうでなければ、アンプ23k、24kの出力端子が電氣的に接地端子23g、24gに接続されてしまう。このように、第1の実施形態の液晶表示装置では、アンプ出力制御信号AMP_HIZとプリチャージ信号GND_SWのタイミングを適切に制御することが必要になる。

【0090】

しかし、アンプ出力制御信号AMP_HIZとプリチャージ信号GND_SWのタイミングを適切に制御するためには、プリチャージに必要な時間（即ち、アンプ出力制御信号AMP_HIZが活性化された後、非活性化されるまでの時間）を長くとる必要がある。プリチャージに必要な時間が長いことは、1水平期間を短くする必要がある場合、例えば、液晶パネル1のライン数が多い場合に特に問題である。

【0091】

本実施形態の液晶表示装置は、ダイオード素子43、44をプリチャージに使用することによってプリチャージ信号GND_SWの生成を不要にする。このような構成は、タイミング制御を容易化し、プリチャージに必要な時間を有効に短縮する。以下、本実施形態の液晶表示装置の動作を詳細に説明する。

【0092】

図16を参照して、初期状態では、極性信号POL及びスイッチ信号DOT_SWが非活性化されており、且つ、データ線11₁が負の電位に駆動され、データ線11₂が正の電位に駆動されていたとする。スイッチ信号DOT_SWが非活性化されていることに応答して、極性切り換えスイッチ群25は、正極性ドライバ部23の正極側駆動回路23d

10

20

30

40

50

の出力をデータ線 1 1₂ に接続し、負極性ドライバ部 2 4 の負極側駆動回路 2 4 d の出力をデータ線 1 1₁ に接続している。

【 0 0 9 3 】

第 m 水平期間が開始されると、アンプ出力制御信号 A M P _ H I Z が活性化される。これにより、正極側駆動回路 2 3 d、負極側駆動回路 2 4 d のスイッチ 2 3 j、2 4 j がターンオフされ、正極側駆動回路 2 3 d の出力がハイ・インピーダンス状態に設定される。

【 0 0 9 4 】

更に、選択ラインの画素の画素データが、極性切り替えスイッチ群 2 1 に供給される。加えて、極性信号 P O L が切り替えられる。極性信号 P O L が反転されることにより、極性切り替えスイッチ群 2 1 の接続関係が、第 m 水平期間においてデータ線 1 1 に供給されるデータ信号の極性に対応するように切り替えられる。更に、ラッチ信号 S T B が活性化され、画素データが、正極側ドライバ部 2 3、負極側ドライバ部 2 4 のラッチ回路 2 3 a、2 4 a に取り込まれる。

10

【 0 0 9 5 】

加えて、スイッチ信号 D O T _ S W が活性化されることにより、正極性ドライバ部 2 3 及び負極性ドライバ部 2 4 と、データ線 1 1₁、1 1₂ の間の接続関係が切り替えられる。具体的には、図 1 5 に示されているように、極性切り換えスイッチ群 2 5 は、データ線 1 1₁ を正極側ドライバ部 2 3 の正極側駆動回路 2 3 d の出力に接続し、データ線 1 1₂ を負極側ドライバ部 2 4 の負極側駆動回路 2 4 d の出力に接続する。

【 0 0 9 6 】

極性切り換えスイッチ群 2 5 の接続関係が切り替えられることにより、自動的に、データ線 1 1₁、1 1₂ がダイオード素子 4 3、4 4 を介してプリチャージされる。詳細には、第 m 水平期間の開始時にはデータ線 1 1₁ は負の電位を有しているから、極性切り換えスイッチ群 2 5 の接続関係の切り換えによってダイオード素子 4 3 は順方向にバイアスされる。従って、データ線 1 1₁ は、ダイオード素子 4 3 を介して接地端子 4 5 に電氣的に接続されて、データ線 1 1₁ 上の負の電荷がダイオード素子 4 3 を介して接地端子 4 5 に流れ込む。即ち、データ線 1 1₁ は、接地電位に、厳密に言えば、電位 - ϕ_F にプリチャージされる。ここで、 ϕ_F は、ダイオード素子 4 3 の順方向電圧である。

20

【 0 0 9 7 】

同様に、第 m 水平期間の開始時にはデータ線 1 1₂ は正の電位を有しているから、図 1 5 に示されているように、極性切り換えスイッチ群 2 5 の接続関係の切り換えによってデータ線 1 1₂ と接地端子 4 6 の間に接続されるダイオード素子 4 4 は順方向にバイアスされる。従って、データ線 1 1₂ がダイオード素子 4 4 を介して接地端子 4 6 に電氣的に接続され、データ線 1 1₂ 上の正の電荷がダイオード素子 4 4 を介して接地端子 4 6 に流れ込む。従って、図 1 6 に示されているように、データ線 1 1₂ は、接地電位に、厳密に言えば、電位 + ϕ_F にプリチャージされる。ここで、 ϕ_F は、ダイオード素子 4 4 の順方向電圧である。

30

【 0 0 9 8 】

既述のように、データ線 1 1 がダイオード素子 4 3、4 4 を介して自動的にプリチャージされることは、プリチャージに必要な時間を短縮するために有効である。

40

【 0 0 9 9 】

プリチャージが完了した後、正極側駆動回路 2 3 d、負極側駆動回路 2 4 d が活性化される。具体的には、アンプ出力制御信号 A M P _ H I Z が非活性化され、正極側駆動回路 2 3 d 及び負極側駆動回路 2 4 d は、対応するデータ線 1 1 を画素データに対応する信号レベルに駆動し始める。加えて、選択されたラインのゲート線 1 2 が活性化され、選択されたラインの画素 1 3 の液晶容量に駆動電圧が書き込まれる。図 1 6 の動作では、データ線 1 1₁ は、第 m 水平期間において液晶ドライバ 2 の接地電位に対して正極性である電位に駆動され、データ線 1 1₂ は、接地電位に対して負極性である電位に駆動される。

【 0 1 0 0 】

第 m 水平期間に続く第 m + 1 水平期間では、各データ線 1 1 の極性が第 m 水平期間にお

50

ける極性と反対になるようにデータ線 11 が駆動される点を除いて、同様の手順でデータ線 11 が駆動される。

【0101】

具体的には、第 $m+1$ 水平期間の開始時に極性信号 POL 及びスイッチ信号 DOT_SW が反転され、更に、アンプ出力制御信号 AMP_HIZ が活性化される。これにより、図 15B に示されているように、正極側駆動回路 23d、負極側駆動回路 24d の出力がハイ・インピーダンスに設定されると共に、データ線 11₁ がダイオード 44 のアノードに、データ線 11₂ がダイオード 43 のカソードに電氣的に接続される。第 $m+1$ 水平期間の開始時にはデータ線 11₁ は正の電位を有しており、データ線 11₂ は負の電位を有しているから、ダイオード 43、44 は順方向にバイアスされる。従って、データ線 11₁ は、ダイオード素子 44 を介して接地端子 46 に電氣的に接続されて、データ線 11₂ がダイオード素子 43 を介して接地端子 45 に電氣的に接続され、データ線 11₁、11₂ がプリチャージされる。プリチャージされている間のデータ線 11₁、11₂ の電位は、それぞれ、電位 $+ \phi_F$ 、電位 $- \phi_F$ である。

10

【0102】

プリチャージが完了した後、正極側駆動回路 23d、負極側駆動回路 24d が活性化される。具体的には、アンプ出力制御信号 AMP_HIZ が非活性化され、正極側駆動回路 23d 及び負極側駆動回路 24d は、対応するデータ線 11 を画素データに対応する信号レベルに駆動し始める。加えて、選択されたラインのゲート線 12 が活性化され、選択されたラインの画素 13 の液晶容量に駆動電圧が書き込まれる。図 16 の動作では、データ線 11₁ は、第 $m+1$ 水平期間において液晶ドライバ 2 の接地電位に対して負極性である電位に駆動され、データ線 11₂ は、接地電位に対して正極性である電位に駆動される。

20

【0103】

第 m 水平期間に続く他の水平期間でも、同様の手順でデータ信号の書き込みが行われる。

【0104】

以上に説明されているように、第 3 の実施形態では、データ線がダイオード素子を介して接地端子に接続されることによってデータ線がプリチャージされる。ダイオード素子の使用により、データ線のプリチャージが自動的に行われ、これにより、プリチャージの間の動作タイミングの制御が容易になる。これは、プリチャージに必要な時間を短縮するために有効である。

30

【0105】

なお、本実施形態において「ダイオード素子」という用語は、一般的に使用される pn 接合ダイオードのみならず、ダイオードとして機能するトランジスタを含む意味で使用されていることに留意されたい。例えば、図 17 に示されているように、ダイオード素子 43 としては、ゲートとバックゲート（基板端子）との両方が接地された N チャンネル MOS トランジスタ 43A が使用されることが可能である。この場合、N チャンネル MOS トランジスタ 43A のドレインが接地端子 45 に接続され、ソースが正極側駆動回路 23d の出力に接続されたノード N1 に接続される。N チャンネル MOS トランジスタ 43A の基板とソース間の寄生ダイオードがプリチャージのためのダイオードとして機能する。また、ダイオード素子 44 としては、ゲートとバックゲート（基板端子）との両方が接地された P チャンネル MOS トランジスタ 44A が使用されることが可能である。この場合、P チャンネル MOS トランジスタ 44A のドレインが接地端子 46 に接続され、ソースが負極側駆動回路 24d の出力に接続されたノード N2 に接続される。P チャンネル MOS トランジスタ 44A のソースと基板の間の寄生ダイオードがプリチャージのためのダイオードとして機能する。

40

【0106】

図 17 の N チャンネル MOS トランジスタ 43A、P チャンネル MOS トランジスタ 44A は、必要がある場合には、ダイオードではなく、プリチャージのためのスイッチとして機能させることも可能である。具体的には、N チャンネル MOS トランジスタ 43A のゲート

50

を " H i g h " レベルに、PチャネルMOSトランジスタ44Aのゲートを " L o w " レベルに設定すれば、NチャネルMOSトランジスタ43A、PチャネルMOSトランジスタ44Aがターンオンし、NチャネルMOSトランジスタ43A、PチャネルMOSトランジスタ44Aは、データ線11を接地電位にプリチャージするスイッチとしても機能する。ここで、PチャネルMOSトランジスタ44Aのゲートが駆動される " L o w " レベルは、負電位である必要があることに留意されたい。

【0107】

このような動作は、データ線11を完全に接地電位にプリチャージするために有効である。NチャネルMOSトランジスタ43A、PチャネルMOSトランジスタ44Aがダイオードとして機能する場合には、上述のように、データ線11は、厳密には接地電位ではなく、電位 $\pm \phi_F$ にプリチャージされる。NチャネルMOSトランジスタ43A、PチャネルMOSトランジスタ44Aをターンオンすることにより、必要な場合にデータ線11を完全に接地電位にプリチャージすることができる。

10

【0108】

4. 第4の実施形態

図18は、本発明の第4の実施形態の液晶表示装置に使用される液晶ドライバ2Cの構成を示すブロック図である。本実施形態の液晶表示装置の基本的な構成は、第2の実施形態の液晶表示装置10とほぼ同様である；液晶ドライバ2Cの正極側ドライバ部23は、液晶ドライバ2の接地電位を基準として正極性である正極性データ信号を生成するように構成され、負極側ドライバ部24は、当該接地電位を基準として負極性である負極性データ信号を生成するように構成される。更に、第2の実施形態の液晶ドライバ2Aと同様に、本実施形態の液晶ドライバ2Cは時分割駆動に対応した構成を有している。

20

【0109】

相違点は、正極側ドライバ部23、負極側ドライバ部24において、プリチャージスイッチ回路23e、24eの代わりにプリチャージダイオード回路51、52が使用される点である。ただし、本実施形態では、第3の実施形態のプリチャージダイオード回路41、42とは異なり、プリチャージダイオード回路51、52は、一对のプリチャージ信号GND__SWN、GND__SWPに応答して動作することに留意されたい。プリチャージ信号GND__SWN、GND__SWPは、プリチャージタイミング生成回路27によって生成される。

30

【0110】

プリチャージ信号GND__SWN、GND__SWPは、信号レベルの範囲が相違していることに留意されたい。プリチャージ信号GND__SWNは、所定の正電位（例えば、+5V）が " H i g h " レベルとして定義され、液晶ドライバ2Cの接地電位が " L o w " レベルとして定義される。一方、プリチャージ信号GND__SWPは、液晶ドライバ2Cの接地電位が " H i g h " レベルとして定義され、所定の負電位（例えば、-5V）が " L o w " レベルとして定義される。

【0111】

図19は、プリチャージダイオード回路51、52の構成を示す回路図である。プリチャージダイオード回路51は、NチャネルMOSトランジスタ53と接地端子55とを備えている。NチャネルMOSトランジスタ53は、そのドレインが接地端子55に接続され、ソースが正極側駆動回路23dの出力に接続されたノードN1に接続されている。NチャネルMOSトランジスタ53のバックゲート（基板端子）は接地される。NチャネルMOSトランジスタ53のゲートにはプリチャージ信号GND__SWNが供給される。

40

【0112】

プリチャージダイオード回路51のNチャネルMOSトランジスタ53は、プリチャージ信号GND__SWNに응答してプリチャージを行うためのオンオフスイッチとして機能し、更に、自動的にプリチャージを行うためのダイオードとしても機能する。プリチャージ信号GND__SWNが " H i g h " レベル（例えば、+5V）に設定されると、NチャネルMOSトランジスタ53がターンオンし、これにより、データ線11が接地電位にプ

50

リチャージされる。一方、プリチャージ信号 GND_SWN が "Low" レベル（即ち、接地電位）に設定されると、ソースと基板の間の寄生ダイオードの存在により、NチャネルMOSトランジスタ53は、ダイオードとして機能する。即ち、ノードN1の電位が接地電位よりも低くなると、寄生ダイオードに順方向バイアスが印加され、接地端子55とノードN1とが電氣的に接続される。これにより、データ線11が接地電位に、厳密には電位 $- \phi_F$ にプリチャージされる。

【0113】

同様に、プリチャージダイオード回路52は、PチャネルMOSトランジスタ54と接地端子56とを備えている。PチャネルMOSトランジスタ54は、そのドレインが接地端子56に接続され、ソースが負極側駆動回路24dの出力に接続されたノードN2に接続されている。NチャネルMOSトランジスタ53のバックゲート（基板端子）は接地される。PチャネルMOSトランジスタ54のゲートにはプリチャージ信号 GND_SWP が供給される。

10

【0114】

NチャネルMOSトランジスタ53と同様に、PチャネルMOSトランジスタ54は、プリチャージ信号 GND_SWP に応答してプリチャージを行うためのオンオフスイッチとして機能し、更に、自動的にプリチャージを行うためのダイオードとしても機能する。プリチャージ信号 GND_SWP が "High" レベル（例えば、+5V）に設定されると、PチャネルMOSトランジスタ54がターンオンし、これにより、データ線11が接地電位にプリチャージされる。一方、プリチャージ信号 GND_SWP が "Low" レベル（即ち、接地電位）に設定されると、ソースと基板の間の寄生ダイオードの存在により、PチャネルMOSトランジスタ54は、ダイオードとして機能する。即ち、ノードN2の電位が接地電位よりも高くなると、寄生ダイオードに順方向バイアスが印加され、接地端子56とノードN2とが電氣的に接続される。これにより、データ線11が接地電位に、厳密には電位 $+ \phi_F$ にプリチャージされる。

20

【0115】

本実施形態の液晶表示装置が、NチャネルMOSトランジスタ53、PチャネルMOSトランジスタ54をオンオフスイッチとダイオードの両方として機能させるように構成されているのは、以下の技術的理由による。

【0116】

NチャネルMOSトランジスタ53、PチャネルMOSトランジスタ54をダイオードとして機能させてデータ線11をプリチャージすることは、第3の実施形態で説明されているように、プリチャージを行う動作のタイミング制御を容易になるという利点がある。しかしながら、ダイオードを介するプリチャージでは、データ線11は完全には接地電位にはプリチャージされない；データ線11は、電位 $+ \phi_F$ 、又は電位 $- \phi_F$ にプリチャージされる。これは、正極側駆動回路23d、負極側駆動回路24d及び極性切り換えスイッチ群25を構成する回路素子に印加される電圧の低減には好ましくない。

30

【0117】

逆に、NチャネルMOSトランジスタ53、PチャネルMOSトランジスタ54をプリチャージ信号 GND_SWN 、 GND_SWP に応答するオンオフスイッチとして機能させてデータ線11をプリチャージすると、データ線11は、ほぼ完全に接地電位にプリチャージされる。しかしながら、NチャネルMOSトランジスタ53、PチャネルMOSトランジスタ54をオンオフスイッチとして機能させることは、プリチャージ動作の間の動作タイミングの制御には好適でない。

40

【0118】

本実施形態の液晶表示装置は、オンオフスイッチとしての機能とダイオードとしての機能の利点の両方を有効に活用するものである。具体的には、各水平期間の開始時にデータ線11（及び入力端子16）をプリチャージする場合には、NチャネルMOSトランジスタ53及びPチャネルMOSトランジスタ54はオンオフスイッチとして機能する。一方、各水平期間の中間において入力端子16のみをプリチャージする場合には、Nチャネル

50

M O S トランジスタ 5 3 及び P チャンネル M O S トランジスタ 5 4 がダイオードとして機能させる。第 2 の実施形態で説明されているように、入力端子 1 6 のみのプリチャージに必要な時間は、データ線 1 1 のプリチャージに必要な時間よりも短い。従って、入力端子 1 6 のみのプリチャージには、シビアな動作タイミングの制御が要求される。このため、入力端子 1 6 のみのプリチャージの際には、N チャンネル M O S トランジスタ 5 3 及び P チャンネル M O S トランジスタ 5 4 がダイオードとして機能するように動作される。一方、データ線 1 1 のプリチャージの際には、N チャンネル M O S トランジスタ 5 3 及び P チャンネル M O S トランジスタ 5 4 がオンオフスイッチとして機能するように動作され、データ線 1 1 及び入力端子 1 6 が実質的に完全に接地電位にプリチャージされる。以下、本実施形態の液晶表示装置の動作を詳細に説明する。

10

【 0 1 1 9 】

図 2 0 を参照して、初期状態では、極性信号 P O L 及びスイッチ信号 D O T _ S W が非活性化されており、且つ、入力端子 1 6₁ が負の電位に駆動され、入力端子 1 6₂ が正の電位に駆動されていたとする。スイッチ信号 D O T _ S W が非活性化されていることに応答して、極性切り換えスイッチ群 2 5 は、正極性ドライバ部 2 3 の正極側駆動回路 2 3 d の出力を入力端子 1 6₂ に接続し、負極性ドライバ部 2 4 の負極側駆動回路 2 4 d の出力を入力端子 1 6₁ に接続している。

【 0 1 2 0 】

第 m 水平期間が開始されると、アンプ出力制御信号 A M P _ H I Z が活性化される。これにより、正極側駆動回路 2 3 d、負極側駆動回路 2 4 d のスイッチ 2 3 j、2 4 j がター

20

【 0 1 2 1 】

更に、選択ラインの画素の画素データが、極性切り替えスイッチ群 2 1 に供給される。加えて、極性信号 P O L が切り替えられる。極性信号 P O L が反転されることにより、極性切り替えスイッチ群 2 1 の接続関係が、第 m 水平期間においてデータ線 1 1 に供給されるデータ信号の極性に対応するように切り替えられる。更に、ラッチ信号 S T B が活性化され、画素データが、正極側ドライバ部 2 3、負極側ドライバ部 2 4 のラッチ回路 2 3 a、2 4 a に取り込まれる。

【 0 1 2 2 】

加えて、スイッチ信号 D O T _ S W が活性化されることにより、正極性ドライバ部 2 3 及び負極性ドライバ部 2 4 と、入力端子 1 6₁、1 6₂ の間の接続関係が切り替えられる。具体的には、図 1 9 に示されているように、極性切り換えスイッチ群 2 5 は、入力端子 1 6₁ を正極側ドライバ部 2 3 の正極側駆動回路 2 3 d の出力に接続し、入力端子 1 6₂ を負極側ドライバ部 2 4 の負極側駆動回路 2 4 d の出力に接続する。

30

【 0 1 2 3 】

更に、図 2 0 に示されているように、制御信号 R S W、G S W、B S W の全てが活性化されると共に、プリチャージ信号 G N D _ S W N が " H i g h " レベルに、プリチャージ信号 G N D _ S W P が " L o w " レベルに駆動される。これにより、全てのセクタ 1 7 の R スイッチ 1 8、G スイッチ 1 9、B スイッチ 2 0、及びプリチャージダイオード回路 5 1、5 2 の N チャンネル M O S トランジスタ 5 3、P チャンネル M O S トランジスタ 5 4 がターンオンされ、全てのデータ 1 1 が液晶ドライバ 2 の接地電位にプリチャージされる。既述のように、データ線 1 1 が液晶ドライバ 2 の接地電位にプリチャージされることは、正極側駆動回路 2 3 d、負極側駆動回路 2 4 d を構成する素子に大きな電圧が印加されることを防ぐために重要である。

40

【 0 1 2 4 】

プリチャージが完了した後、R 画素 1 3 に接続されているデータ線 1 1 にデータ信号が供給され、選択ラインの R 画素 1 3 へのデータ信号の書き込みが行われる。詳細には、プリチャージ信号 G N D _ S W N が " L o w " レベルに、プリチャージ信号 G N D _ S W P が " H i g h " レベルに戻され、更に、R G B セクタ 2 3 h、2 4 h により、R 画素 1

50

3 に対応する画素データが選択される。正極側駆動回路 2 3 d、負極側駆動回路 2 4 d は、選択された画素データに対応するデータ信号を生成する；正極側駆動回路 2 3 d が生成するデータ信号の極性は、液晶ドライバ 2 の接地電位に対して正であり、負極側駆動回路 2 4 d が生成するデータ信号の極性は、液晶ドライバ 2 の接地電位に対して負であることに留意されたい。更に、制御信号 R S W が選択的に活性化され、R 画素 1 3 に接続されているデータ線 1 1 が入力端子 1 6 に接続される；制御信号 G S W、B S W は非活性化される。これにより、正極側駆動回路 2 3 d、負極側駆動回路 2 4 d によって生成されたデータ信号が、それぞれ、R 画素 1 3 に接続されているデータ線 1 1₁、1 1₄ に供給される。加えて、選択ラインに対応するゲート線 1 2 が活性化され、選択ラインの R 画素 1 3 に所望のデータ信号が書き込まれる。R 画素 1 3 の駆動後には、入力端子 1 6₁ が正の電位に、入力端子 1 6₂ が負の電位に駆動されていることに留意されたい。

10

【0 1 2 5】

続いて、選択ラインの G 画素 1 3 へのデータ信号の書き込みが行われる。選択ラインの G 画素 1 3 へのデータ信号の書き込みは、まず、入力端子 1 6 のプリチャージで開始される。詳細には、制御信号 R S W、G S W、B S W の全てが非活性化された状態で、極性信号 P O L とスイッチ信号 D O T _ S W が反転され、更に、アンプ出力制御信号 A M P _ H I Z が活性化される。これにより、図 2 1 A に示されているように、正極側駆動回路 2 3 d、負極側駆動回路 2 4 d の出力がハイ・インピーダンスに設定され、更に、入力端子 1 6₁ が P チャネル M O S トランジスタ 5 4 のソースに、入力端子 1 6₂ が N チャネル M O S トランジスタ 5 3 のソースに電氣的に接続される。この時点では入力端子 1 6₁ は正の電位を有しており、入力端子 1 6₂ は負の電位を有しているから、N チャネル M O S トランジスタ 5 3、P チャネル M O S トランジスタ 5 4 の寄生トランジスタは、いずれも、順方向にバイアスされる。従って、入力端子 1 6₁ は、P チャネル M O S トランジスタ 5 4 を介して電氣的に接地端子に接続され、入力端子 1 6₂ が N チャネル M O S トランジスタ 5 3 を介して電氣的に接地端子に接続され、入力端子 1 6₁、1 6₂ がプリチャージされる。プリチャージされている間の入力端子 1 6₁、1 6₂ の電位は、図 2 0 に示されているように、それぞれ、電位 + ϕ_F 、電位 - ϕ_F である。

20

【0 1 2 6】

続いて、G 画素 1 3 に接続されているデータ線 1 1 にデータ信号が供給される。詳細には、R G B セレクタ 2 3 h、2 4 h により、G 画素 1 3 に対応する画素データが選択され、更に、正極側駆動回路 2 3 d、負極側駆動回路 2 4 d は、選択された画素データに対応するデータ信号を生成する。更に、制御信号 G S W が選択的に活性化され、G 画素 1 3 に接続されているデータ線 1 1 が入力端子 1 6 に接続される。これにより、正極側駆動回路 2 3 d、負極側駆動回路 2 4 d によって生成されたデータ信号が、G 画素 1 3 に接続されているデータ線 1 1 に供給される。加えて、選択ラインに対応するゲート線 1 2 が活性化され、選択ラインの G 画素 1 3 に所望のデータ信号が書き込まれる。G 画素 1 3 の駆動後には、入力端子 1 6₁ が負の電位に、入力端子 1 6₂ が正の電位に駆動されていることに留意されたい。

30

【0 1 2 7】

同様の手順により、選択ラインの B 画素 1 3 へのデータ信号の書き込みが行われる。制御信号 R S W、G S W、B S W の全てが非活性化された状態で、極性信号 P O L とスイッチ信号 D O T _ S W が反転され、更に、アンプ出力制御信号 A M P _ H I Z が活性化される。これにより、図 2 1 B に示されているように、正極側駆動回路 2 3 d、負極側駆動回路 2 4 d の出力がハイ・インピーダンスに設定され、更に、入力端子 1 6₁ が N チャネル M O S トランジスタ 5 3 のソースに、入力端子 1 6₂ が P チャネル M O S トランジスタ 5 4 のソースに電氣的に接続される。この時点では入力端子 1 6₁ は負の電位を有しており、入力端子 1 6₂ は正の電位を有しているから、N チャネル M O S トランジスタ 5 3、P チャネル M O S トランジスタ 5 4 の寄生トランジスタは、いずれも、順方向にバイアスされる。従って、入力端子 1 6₁ は、N チャネル M O S トランジスタ 5 3 を介して電氣的に接地され、入力端子 1 6₂ が P チャネル M O S トランジスタ 5 4 を介して電氣的に接地さ

40

50

れ、入力端子 16_1 、 16_2 がプリチャージされる。プリチャージされている間の入力端子 16_1 、 16_2 の電位は、図 20 に示されているように、それぞれ、電位 $-\phi_F$ 、電位 $+\phi_F$ である。

【0128】

続いて、B 画素 13 に接続されているデータ線 11 にデータ信号が供給される。詳細には、RGB セレクタ 23h、24h により、B 画素 13 に対応する画素データが選択され、更に、正極側駆動回路 23d、負極側駆動回路 24d は、選択された画素データに対応するデータ信号を生成する。更に、制御信号 BSW が選択的に活性化され、B 画素 13 に接続されているデータ線 11 が入力端子 16 に接続される。これにより、正極側駆動回路 23d、負極側駆動回路 24d によって生成されたデータ信号が、B 画素 13 に接続されているデータ線 11 に供給される。加えて、選択ラインに対応するゲート線 12 が活性化され、選択ラインの B 画素 13 に所望のデータ信号が書き込まれる。

10

【0129】

第 m 水平期間に続く他の水平期間でも、同様の手順でデータ信号の書き込みが行われる。

【0130】

以上に説明されているように、第 4 の実施形態では、オンオフスイッチ、及びダイオードの両方として機能する N チャンネル MOS トランジスタ、P チャンネル MOS トランジスタが、プリチャージに使用される。各水平期間の開始時のデータ線 11 のプリチャージは、N チャンネル MOS トランジスタ、P チャンネル MOS トランジスタをオンオフスイッチとして機能させて行われる。これにより、データ線 11 は実質的に完全に接地電位にプリチャージされる。一方、入力端子 16 のプリチャージは、N チャンネル MOS トランジスタ、P チャンネル MOS トランジスタをダイオードとして機能させて行われる。これにより、入力端子 16 のプリチャージを短時間で行うことができる。

20

【0131】

5. 第 5 の実施形態

図 21 は、本発明の第 4 の実施形態の液晶表示装置に使用される液晶ドライバ 2D の構成を示すブロック図である。本実施形態の液晶表示装置の基本的な構成は、第 4 の実施形態の液晶表示装置とほぼ同様である；液晶ドライバ 2D の正極側ドライバ部 23 は、液晶ドライバ 2 の接地電位を基準として正極性である正極性データ信号を生成するように構成され、負極側ドライバ部 24 は、当該接地電位を基準として負極性である負極性データ信号を生成するように構成される。更に、第 4 の実施形態の液晶ドライバ 2C と同様に、本実施形態の液晶ドライバ 2D は時分割駆動に対応した構成を有している。

30

【0132】

相違点は、正極側ドライバ部 23、負極側ドライバ部 24 において、プリチャージ信号によって制御されないプリチャージダイオード回路 51A、52A が使用される点である。これに伴い、プリチャージタイミング生成回路 27 も設けられない。

【0133】

図 22A、図 22B に示されているように、プリチャージダイオード回路 51A、52A は、いずれも、（オンオフスイッチではなく）ダイオード素子によってプリチャージを行う回路である。具体的には、プリチャージダイオード回路 51A は、ダイオード素子 53A と、接地端子 55 とで構成されている。ダイオード素子 53A のカソードは、正極側駆動回路 23d の出力に接続されたノード N1 に接続され、アノードは接地端子 55 に接続される。同様に、プリチャージダイオード回路 52A は、ダイオード素子 54 と接地端子 56 とで構成される。ダイオード素子 54 のカソードは、接地端子 56 に接続され、アノードは、負極側駆動回路 24d の出力に接続されたノード N2 に接続される。

40

【0134】

本実施形態の液晶表示装置の一つの特徴は、データ線 11 及び入力端子のプリチャージを、いずれも、ダイオード素子 53A、54A を用いて行う点である。上述されているように、ダイオード素子 53A、54A をプリチャージに使用することの利点は、タイミン

50

グ制御が容易になり、プリチャージに必要な時間を短縮することができる点にある。本実施形態においても、ダイオード素子 53A、54A としては、一般的に使用される p n 接合ダイオードのみならず、ダイオードとして機能するトランジスタが使用され得ることに留意されたい。以下、第 5 の実施形態の液晶表示装置の動作を詳細に説明する。

【0135】

図 23 を参照して、初期状態では、極性信号 POL 及びスイッチ信号 DOT_SW が非活性化されており、且つ、入力端子 16₁ が負の電位に駆動され、入力端子 16₂ が正の電位に駆動されていたとする。スイッチ信号 DOT_SW が非活性化されていることに応答して、極性切り換えスイッチ群 25 は、正極性ドライバ部 23 の正極側駆動回路 23d の出力を入力端子 16₂ に接続し、負極性ドライバ部 24 の負極側駆動回路 24d の出力を入力端子 16₁ に接続している。更に、奇数番目のデータ線 11₁、11₃、・・・は、負の電位に駆動され、偶数番目のデータ線 11₂、11₄、・・・は、正の電位に駆動されているとする。

10

【0136】

第 m 水平期間が開始されると、アンプ出力制御信号 AMP_HIZ が活性化される。これにより、正極側駆動回路 23d、負極側駆動回路 24d のスイッチ 23j、24j がターンオフされ、正極側駆動回路 23d、負極側駆動回路 24d の出力がハイ・インピーダンス状態に設定される。

【0137】

更に、選択ラインの画素の画素データが、極性切り替えスイッチ群 21 に供給される。加えて、極性信号 POL が切り替えられる。極性信号 POL が反転されることにより、極性切り替えスイッチ群 21 の接続関係が、第 m 水平期間においてデータ線 11 に供給されるデータ信号の極性に対応するように切り替えられる。更に、ラッチ信号 STB が活性化され、画素データが、正極側ドライバ部 23、負極側ドライバ部 24 のラッチ回路 23a、24a に取り込まれる。

20

【0138】

更に、図 20 に示されているように、制御信号 RSW、GSW、BSW の全てが活性化され、全てのセクタ 17 の R スイッチ 18、G スイッチ 19、及び B スイッチ 20 がターンオンされる。これにより、データ線 11₁ ~ 11₃ は入力端子 16₁ に、データ線 11₄ ~ 11₆ は入力端子 16₂ に接続される。入力端子 16₁ に接続されている 3 本のデータ線 11 のうち 2 本は負の電位に駆動され、1 本が正の電位に駆動されているから、データ線 11₁ ~ 11₃ が入力端子 16₁ に接続されることにより、入力端子 16₁ の電位は負になる。一方、入力端子 16₂ に接続されている 3 本のデータ線 11 のうち 2 本は正の電位に駆動され、1 本が負の電位に駆動されているから、データ線 11₄ ~ 11₆ が入力端子 16₂ に接続されることにより、入力端子 16₂ の電位は正になる。

30

【0139】

加えて、スイッチ信号 DOT_SW が活性化されることにより、正極性ドライバ部 23 及び負極性ドライバ部 24 と、入力端子 16₁、16₂ の間の接続関係が切り替えられる。具体的には、図 22 に示されているように、極性切り換えスイッチ群 25 は、入力端子 16₁ を正極側駆動回路 23d の出力に接続し、入力端子 16₂ を負極側駆動回路 24d の出力に接続する。即ち、入力端子 16₁ 及びそれに接続されたデータ線 11 は、ダイオード 53A のカソードに接続され、入力端子 16₂ 及びそれに接続されたデータ線 11 は、ダイオード 54A のアノードに接続される。

40

【0140】

入力端子 16₁ は負の電位を有しており、入力端子 16₂ は正の電位を有しているから、ダイオード 53A、54A には、いずれも、順方向バイアスが印加される。従って、入力端子 16₁ 及びそれに接続されているデータ線 11 は、ダイオード素子 53A を介して接地端子 55 に電氣的に接続される。これにより、入力端子 16₁ 及びそれに接続されているデータ線 11 は、接地電位に、より厳密には電位 - ϕ_F にプリチャージされる。入力端子 16₂ 及びそれに接続されているデータ線 11 は、ダイオード素子 54A を介して接

50

地端子56に電氣的に接続される。これにより、入力端子16₂及びそれに接続されているデータ線11は、接地電位に、より厳密には電位+ ϕ_F にプリチャージされる。既述のように、データ線11が液晶ドライバ2の接地電位にプリチャージされることは、正極側駆動回路23d、負極側駆動回路24dを構成する素子に大きな電圧が印加されることを防ぐために重要である。

【0141】

プリチャージが完了した後、R画素13に接続されているデータ線11にデータ信号が供給され、選択ラインのR画素13へのデータ信号の書き込みが行われる。詳細には、RGBセクタ23h、24hにより、R画素13に対応する画素データが選択される。正極側駆動回路23d、負極側駆動回路24dは、選択された画素データに対応するデータ信号を生成する；正極側駆動回路23dが生成するデータ信号の極性は、液晶ドライバ2の接地電位に対して正であり、負極側駆動回路24dが生成するデータ信号の極性は、液晶ドライバ2の接地電位に対して負であることに留意されたい。更に、制御信号RSWが選択的に活性化され、R画素13に接続されているデータ線11が入力端子16に接続される；制御信号GSW、BSWは非活性化される。これにより、正極側駆動回路23d、負極側駆動回路24dによって生成されたデータ信号が、それぞれ、R画素13に接続されているデータ線11₁、11₄に供給される。加えて、選択ラインに対応するゲート線12が活性化され、選択ラインのR画素13に所望のデータ信号が書き込まれる。R画素13の駆動後には、入力端子16₁が正の電位に、入力端子16₂が負の電位に駆動されていることに留意されたい。

【0142】

続いて、選択ラインのG画素13へのデータ信号の書き込みが行われる。選択ラインのG画素13へのデータ信号の書き込みは、まず、入力端子16のプリチャージで開始される。詳細には、制御信号RSW、GSW、BSWの全てが非活性化された状態で、極性信号POLとスイッチ信号DOT__SWが反転され、更に、アンプ出力制御信号AMP__HIZが活性化される。これにより、図24Aに示されているように、正極側駆動回路23d、負極側駆動回路24dの出力がハイ・インピーダンスに設定され、更に、入力端子16₁がダイオード素子54Aのアノードに、入力端子16₂がダイオード素子53Aのカソードに電氣的に接続される。この時点では入力端子16₁は正の電位を有しており、入力端子16₂は負の電位を有しているから、ダイオード素子53A、ダイオード素子54Aは、いずれも、順方向にバイアスされる。従って、入力端子16₁は、ダイオード素子54Aを介して電氣的に接地端子56に接続され、入力端子16₂は、ダイオード素子53Aを介して電氣的に接地端子に接続され、入力端子16₁、16₂がプリチャージされる。プリチャージされている間の入力端子16₁、16₂の電位は、図23に示されているように、それぞれ、電位+ ϕ_F 、電位- ϕ_F である。

【0143】

続いて、G画素13に接続されているデータ線11にデータ信号が供給される。詳細には、RGBセクタ23h、24hにより、G画素13に対応する画素データが選択され、更に、正極側駆動回路23d、負極側駆動回路24dは、選択された画素データに対応するデータ信号を生成する。更に、制御信号GSWが選択的に活性化され、G画素13に接続されているデータ線11が入力端子16に接続される。これにより、正極側駆動回路23d、負極側駆動回路24dによって生成されたデータ信号が、G画素13に接続されているデータ線11に供給される。加えて、選択ラインに対応するゲート線12が活性化され、選択ラインのG画素13に所望のデータ信号が書き込まれる。G画素13の駆動後には、入力端子16₁が負の電位に、入力端子16₂が正の電位に駆動されていることに留意されたい。

【0144】

同様の手順により、選択ラインのB画素13へのデータ信号の書き込みが行われる。制御信号RSW、GSW、BSWの全てが非活性化された状態で、極性信号POLとスイッチ信号DOT__SWが反転され、更に、アンプ出力制御信号AMP__HIZが活性化され

る。これにより、図 2 1 B に示されているように、正極側駆動回路 2 3 d、負極側駆動回路 2 4 d の出力がハイ・インピーダンスに設定され、更に、入力端子 1 6₁ がダイオード素子 5 3 A のカソードに、入力端子 1 6₂ がダイオード素子 5 4 A のアノードに電氣的に接続される。この時点では入力端子 1 6₁ は正の電位を有しており、入力端子 1 6₂ は負の電位を有しているから、ダイオード素子 5 3 A、5 3 B は、いずれも、順方向にバイアスされる。従って、入力端子 1 6₁ は、ダイオード素子 5 3 A を介して電氣的に接地され、入力端子 1 6₂ がダイオード素子 5 4 A を介して電氣的に接地され、入力端子 1 6₁、1 6₂ がプリチャージされる。プリチャージされている間の入力端子 1 6₁、1 6₂ の電位は、図 2 6 に示されているように、それぞれ、電位 - ϕ_F 、電位 + ϕ_F である。

【0 1 4 5】

10

続いて、B 画素 1 3 に接続されているデータ線 1 1 にデータ信号が供給される。詳細には、R G B セレクタ 2 3 h、2 4 h により、B 画素 1 3 に対応する画素データが選択され、更に、正極側駆動回路 2 3 d、負極側駆動回路 2 4 d は、選択された画素データに対応するデータ信号を生成する。更に、制御信号 B S W が選択的に活性化され、B 画素 1 3 に接続されているデータ線 1 1 が入力端子 1 6 に接続される。これにより、正極側駆動回路 2 3 d、負極側駆動回路 2 4 d によって生成されたデータ信号が、B 画素 1 3 に接続されているデータ線 1 1 に供給される。加えて、選択ラインに対応するゲート線 1 2 が活性化され、選択ラインの B 画素 1 3 に所望のデータ信号が書き込まれる。

【0 1 4 6】

第 m 水平期間に続く他の水平期間でも、同様の手順でデータ信号の書き込みが行われる。

20

【0 1 4 7】

以上に説明されているように、第 5 の実施形態では、データ線 1 1 及び入力端子 1 6 がダイオード素子を介して接地端子に接続されることによってプリチャージされる。ダイオード素子の使用により、データ線 1 1 及び入力端子 1 6 のプリチャージが自動的に行われ、これにより、プリチャージの間の動作タイミングの制御が容易になる。これは、プリチャージに必要な時間を短縮するために有効である。

【0 1 4 8】

6. まとめ

以上に説明されているように、上述の実施形態では、液晶ドライバが、該液晶ドライバの接地電位に対して正の極性を有するデータ信号を生成する正極性駆動回路と、該接地電位に対して負の極性を有するデータ信号を生成する負極性駆動回路とを含んで構成される。このようなアーキテクチャは、液晶ドライバの消費電力を有効に低減させる。

30

【0 1 4 9】

加えて、上述の実施形態では、液晶表示パネルのデータ線が、該液晶ドライバの接地電位にプリチャージされる。このようなアーキテクチャは、正極性駆動回路、負極性駆動回路を構成する素子に高電圧が印加されることを防ぐとともに、プリチャージに必要な電力を有効に低減させる。

【0 1 5 0】

なお、本発明の構成は、上述の実施形態に限定されて解釈されてはならない；本発明の実施形態には、様々な変更が可能である。例えば、第 1 及び第 2 実施形態において、プリチャージスイッチ回路 2 3 e、2 4 e のスイッチ 2 3 f、2 4 f は、正極性駆動回路 2 3 d、負極性駆動回路 2 4 d の出力端子ではなく、液晶ドライバ 2 (又は 2 A) の出力端子 3 に直接に接続されることも可能である。加えて、第 2 の実施形態において、データ線 1 1 を選択するセレクタ 1 7 は、液晶表示パネル 1 A ではなく、液晶ドライバ 2 A に設けられることも可能である。セレクタ 1 7 が液晶ドライバ 2 A に設けられることに伴う液晶表示パネル 1 A、液晶ドライバ 2 A の構成の変更は、当業者には自明的であろう。

40

【0 1 5 1】

また、極性切り換えスイッチ群 2 5 は、液晶ドライバ 2 A ではなく、液晶表示パネル 1 A に設けられることも可能である。及び極性切り換えスイッチ群 2 5 が液晶表示パネル 1

50

A に設けられることに伴う液晶表示パネル 1 A、液晶ドライバ 2 A の構成の変更は、当業者には自明的であろう。

【図面の簡単な説明】

【0152】

【図 1】図 1 は、従来の液晶ドライバの構成を示すブロック図である。

【図 2】図 2 は、従来の液晶ドライバに搭載される正極側駆動回路と負極側駆動回路に供給される電源電圧と、それらから出力されるデータ信号の信号レベルとの関係を示す図である。

【図 3】図 3 は、本発明の第 1 の実施形態の液晶表示装置の構成を示すブロック図である。

10

【図 4】図 4 は、第 1 の実施形態の液晶ドライバの構成を示すブロック図である。

【図 5】図 5 は、第 1 の実施形態の液晶ドライバのうち、データ信号を出力する出力系の部分の構成を示す詳細図である。

【図 6】図 6 は、第 1 の実施形態における、正極側駆動回路と負極側駆動回路に供給される電源電圧と、それらから出力されるデータ信号の信号レベルとの関係を示す図である。

【図 7】図 7 は、第 1 の実施形態の液晶ドライバの好適な動作を示すタイミングチャートである。

【図 8】図 8 は、第 1 の実施形態の液晶ドライバの他の好適な動作を示すタイミングチャートである。

【図 9】図 9 は、第 1 の実施形態の液晶ドライバの更に他の好適な動作を示すタイミングチャートである。

20

【図 10 A】図 10 A は、本発明の第 2 の実施形態の液晶表示装置の構成を示すブロック図である。

【図 10 B】図 10 B は、第 2 の実施形態の液晶表示装置に搭載される液晶ドライバの構成を示すブロック図である。

【図 11】図 11 は、第 2 の実施形態の液晶ドライバがデータ線をプリチャージする動作を示す概念図である。

【図 12】図 12 は、第 2 の実施形態の液晶ドライバがデータ線をプリチャージする動作を示す概念図である。

【図 13】図 13 は、第 2 の実施形態の液晶ドライバの好適な動作を示すタイミングチャートである。

30

【図 14】図 14 は、本発明の第 3 の実施形態の液晶表示装置に搭載される液晶ドライバの構成を示すブロック図である。

【図 15 A】図 15 A は、第 3 の実施形態の液晶ドライバの、データ信号を出力する出力系の部分の構成を示す詳細図である。

【図 15 B】図 15 B は、第 3 の実施形態の液晶ドライバの、データ信号を出力する出力系の部分の構成を示す詳細図である。

【図 16】図 16 は、第 3 の実施形態の液晶ドライバの好適な動作を示すタイミングチャートである。

【図 17】図 17 は、第 3 の実施形態の液晶ドライバに搭載されるダイオード素子の例を示す図である。

40

【図 18】図 18 は、本発明の第 4 の実施形態の液晶表示装置に搭載される液晶ドライバの構成を示すブロック図である。

【図 19】図 19 は、第 4 の実施形態の液晶ドライバの、データ信号を出力する出力系の部分の構成を示す詳細図である。

【図 20】図 20 は、第 4 の実施形態の液晶ドライバの好適な動作を示すタイミングチャートである。

【図 21 A】図 21 A は、第 4 の実施形態の液晶ドライバの好適な動作を示す回路図である。

【図 21 B】図 21 B は、第 4 の実施形態の液晶ドライバの好適な動作を示す回路図であ

50

る。

【図 2 2】図 2 2 は、本発明の第 5 の実施形態の液晶表示装置に搭載される液晶ドライバの構成を示すブロック図である。

【図 2 3】図 2 3 は、第 5 の実施形態の液晶ドライバの、データ信号を出力する出力系の部分の構成を示す詳細図である。

【図 2 4】図 2 4 は、第 5 の実施形態の液晶ドライバの好適な動作を示すタイミングチャートである。

【図 2 5 A】図 2 5 A は、第 5 の実施形態の液晶ドライバの好適な動作を示す回路図である。

【図 2 5 B】図 2 5 B は、第 5 の実施形態の液晶ドライバの好適な動作を示す回路図である。 10

【符号の説明】

【0 1 5 3】

1、1 A：液晶表示パネル

2、2 A：液晶ドライバ

3、3₁、3₂：出力端子

4、4₁、4₂：配線

1 0：液晶表示装置

1 1：データ線

1 2：ゲート線 20

1 3：画素

1 3 a：T F T

1 3 b：画素電極

1 3 c：共通電極

1 6：入力端子

1 7：セクタ

1 8：R スイッチ

1 9：G スイッチ

2 0：B スイッチ

2 1：極性切り替えスイッチ群 30

2 2：階調電位生成回路

2 3：正極側ドライバ部

2 4：負極側ドライバ部

2 3 a、2 4 a：ラッチ回路

2 3 b、2 4 b：レベルシフタ

2 3 c、2 4 c：D / A コンバータ

2 3 d：正極側駆動回路

2 4 d：負極側駆動回路

2 3 e、2 4 e：プリチャージスイッチ回路

2 3 f、2 4 f：スイッチ 40

2 3 g、2 4 g：接地端子

2 3 h、2 4 h：R G B セクタ

2 3 j、2 4 j：スイッチ

2 3 k、2 4 k：アンプ

2 5：極性切り替えスイッチ群

2 6：極性切り替えスイッチ制御回路

2 7：プリチャージタイミング生成回路

2 8：タイミングコントロール回路

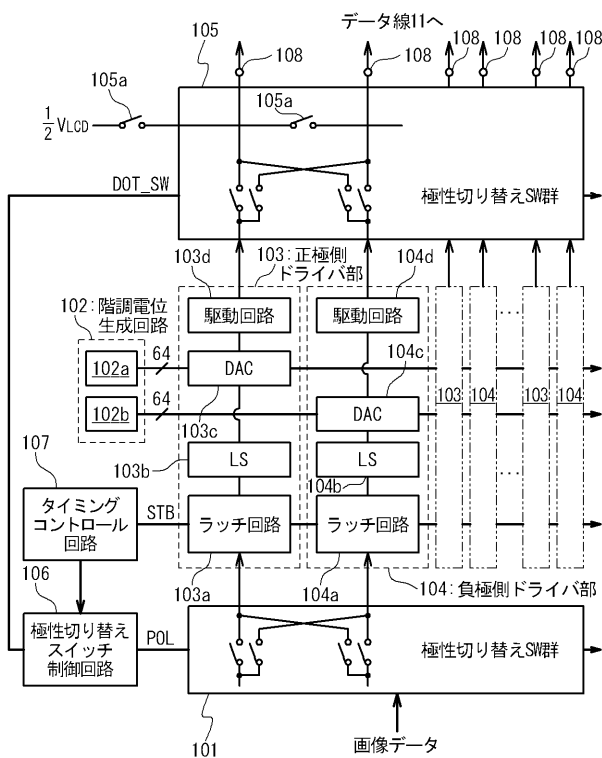
2 9：R G B スイッチタイミング生成回路

3 0：R G B セクタ制御回路 50

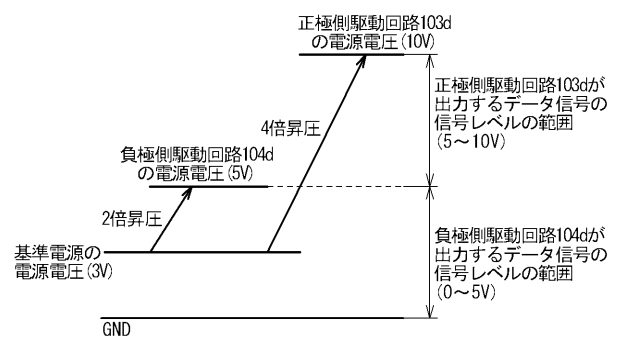
- 3 1 : アンプタイミング生成回路
 4 1、4 2 : プリチャージダイオード回路
 4 3、4 4 : ダイオード素子
 4 3 A : NチャネルMOSトランジスタ
 4 4 A : PチャネルMOSトランジスタ
 4 5、4 6 : 接地端子
 5 1、5 2、5 1 A、5 1 B : プリチャージダイオード回路
 5 3 : NチャネルMOSトランジスタ
 5 4 : PチャネルMOSトランジスタ
 5 3 A、5 4 A : ダイオード素子
 5 5、5 6 : 接地端子

10

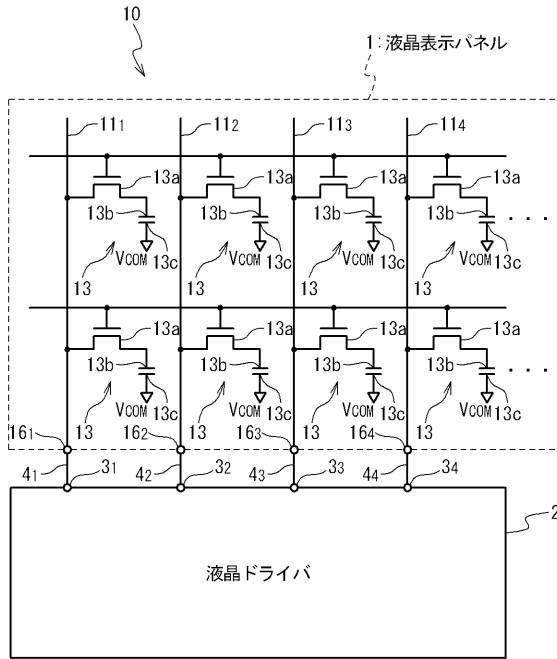
【図 1】



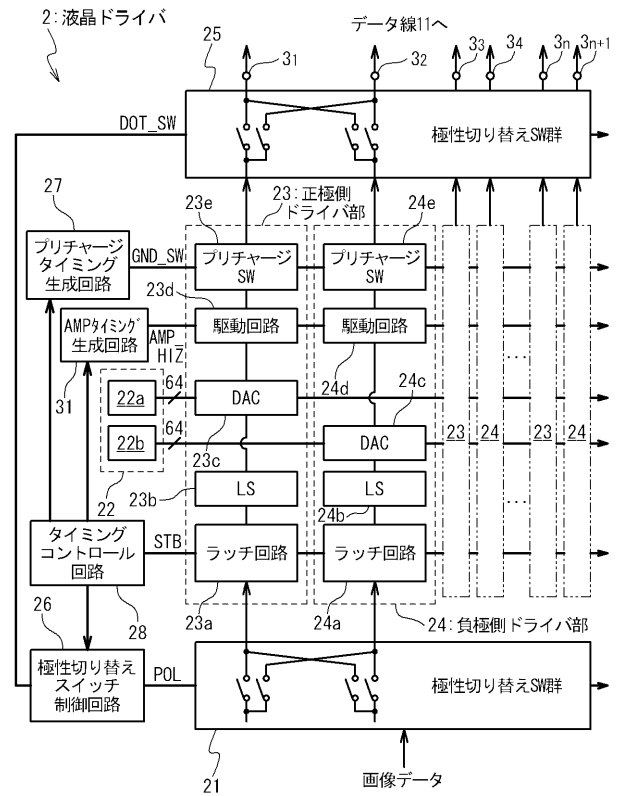
【図 2】



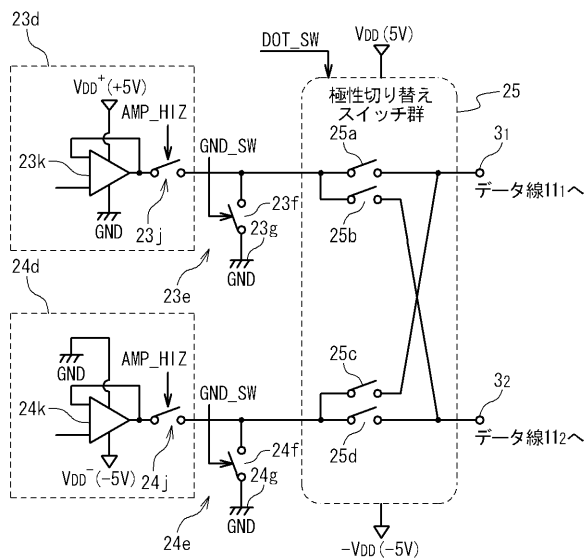
【図 3】



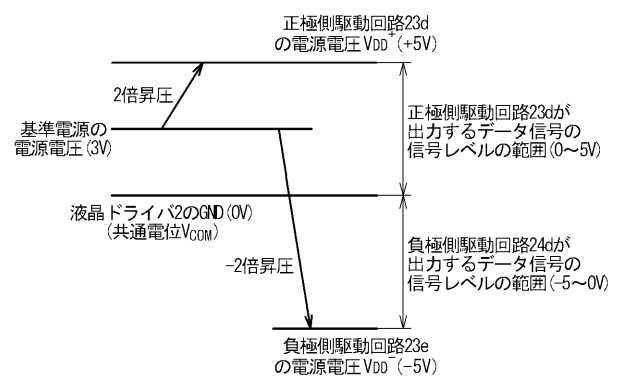
【図 4】



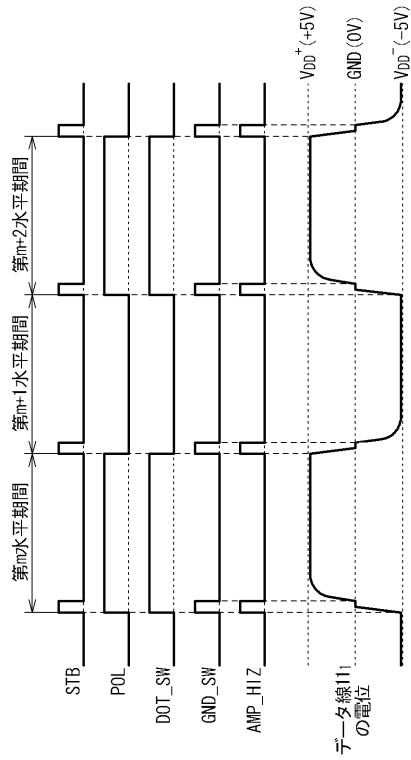
【図 5】



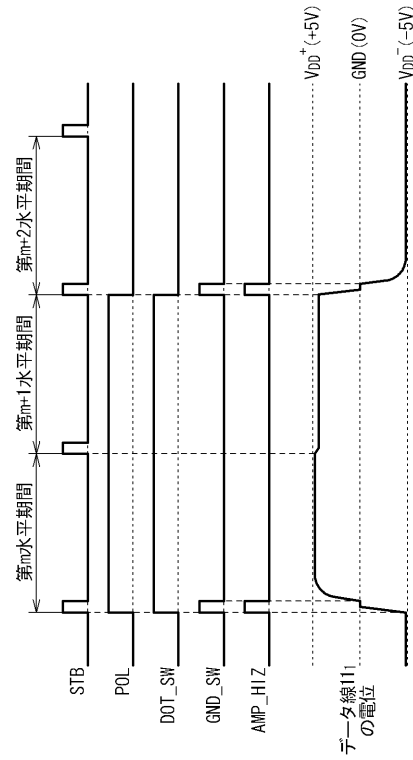
【図 6】



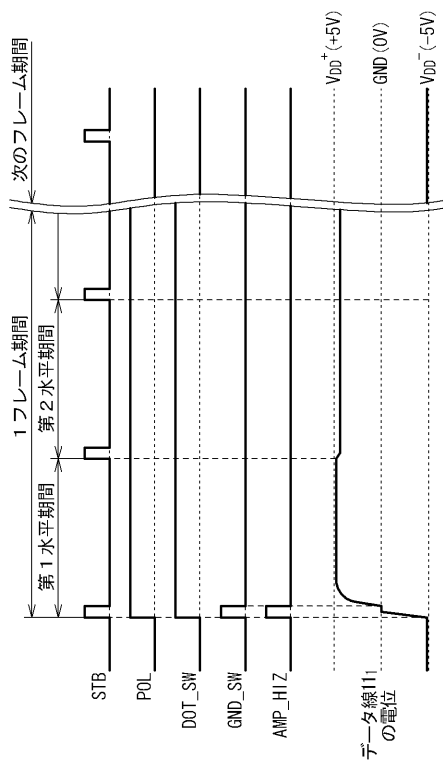
【図 7】



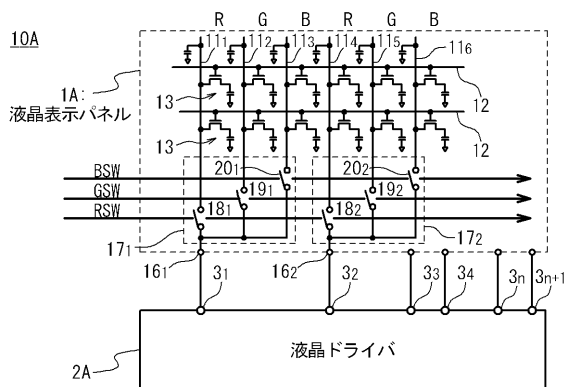
【図 8】



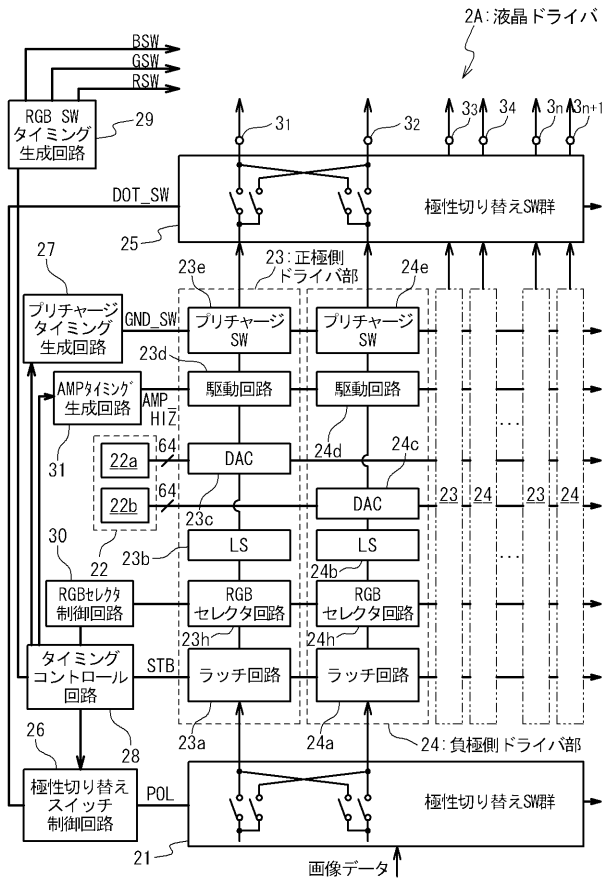
【図 9】



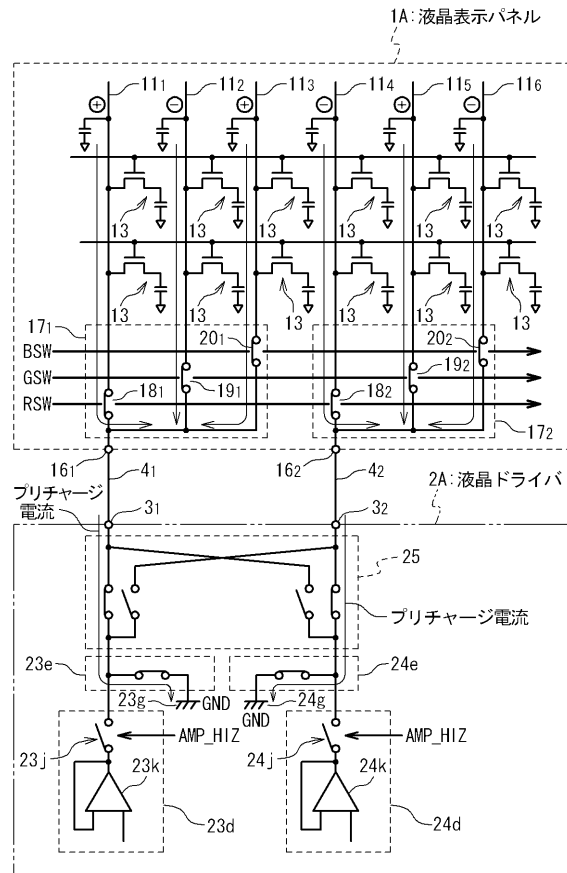
【図 10 A】



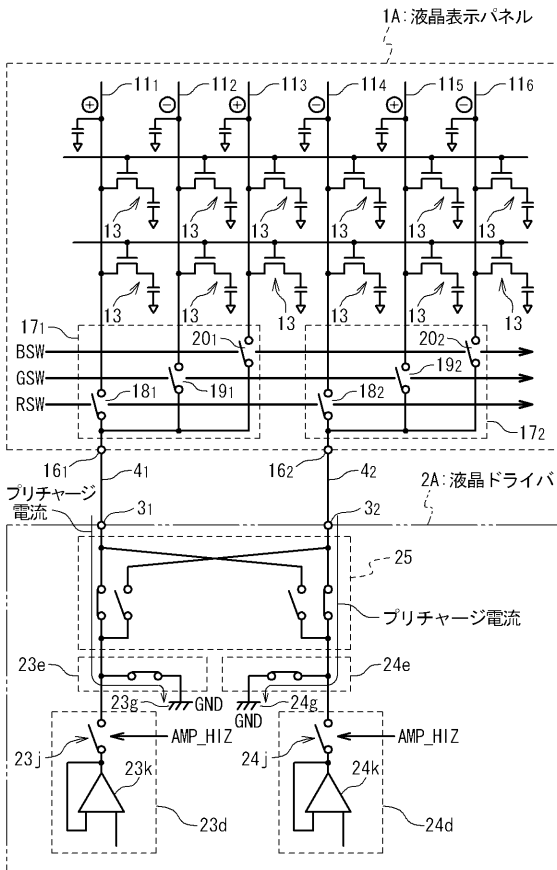
【図10B】



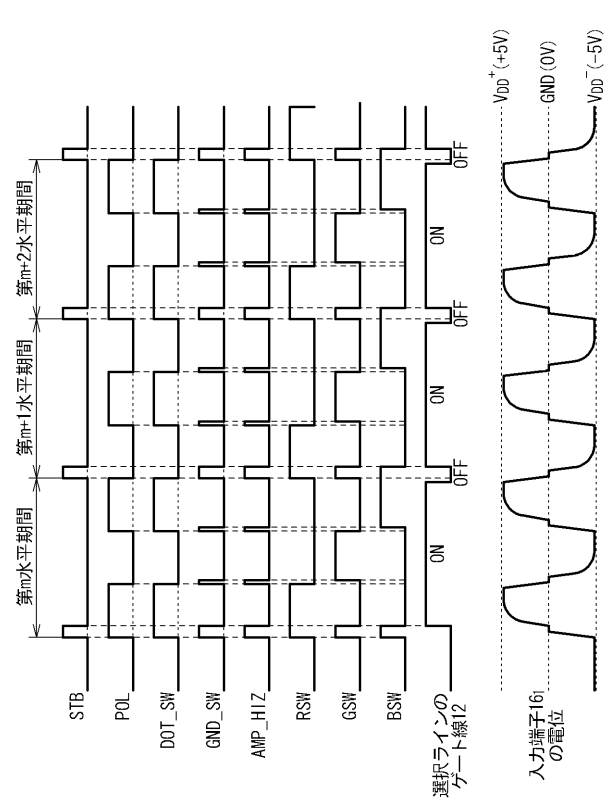
【図11】



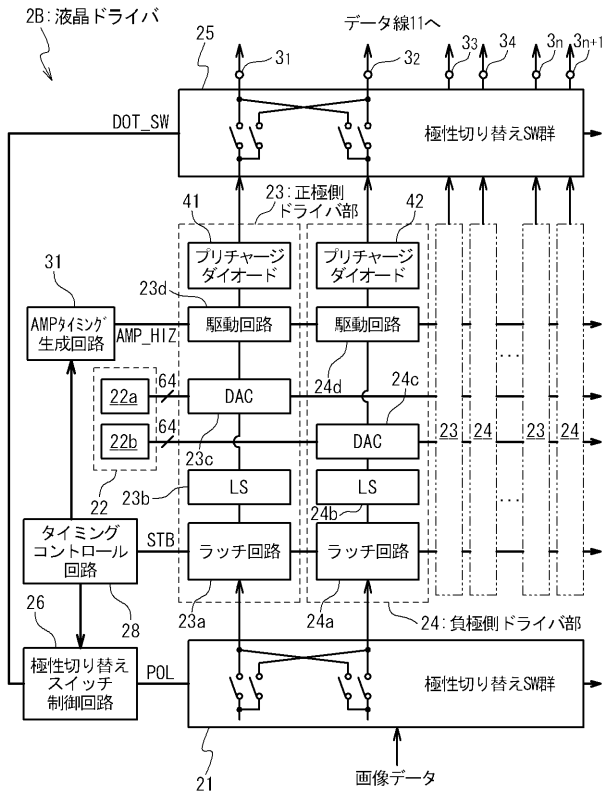
【図12】



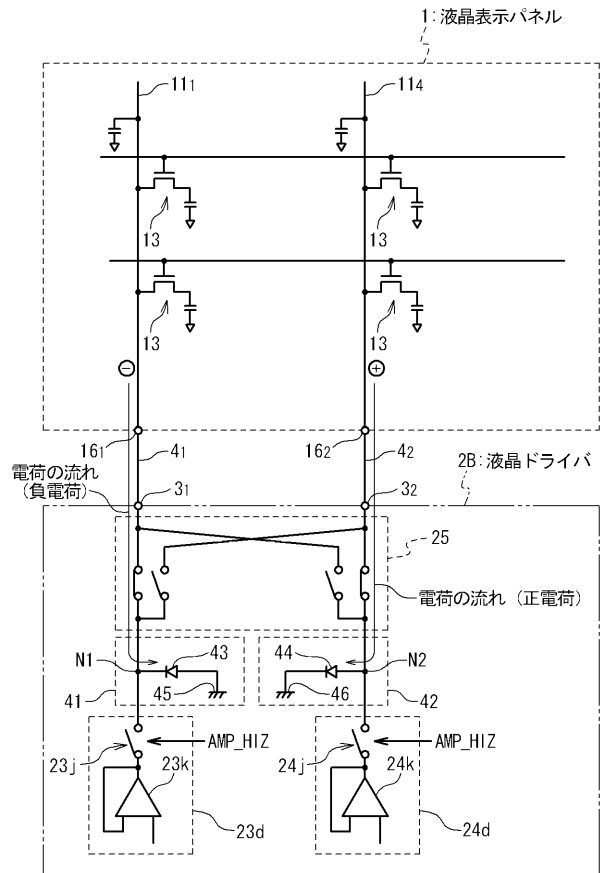
【図13】



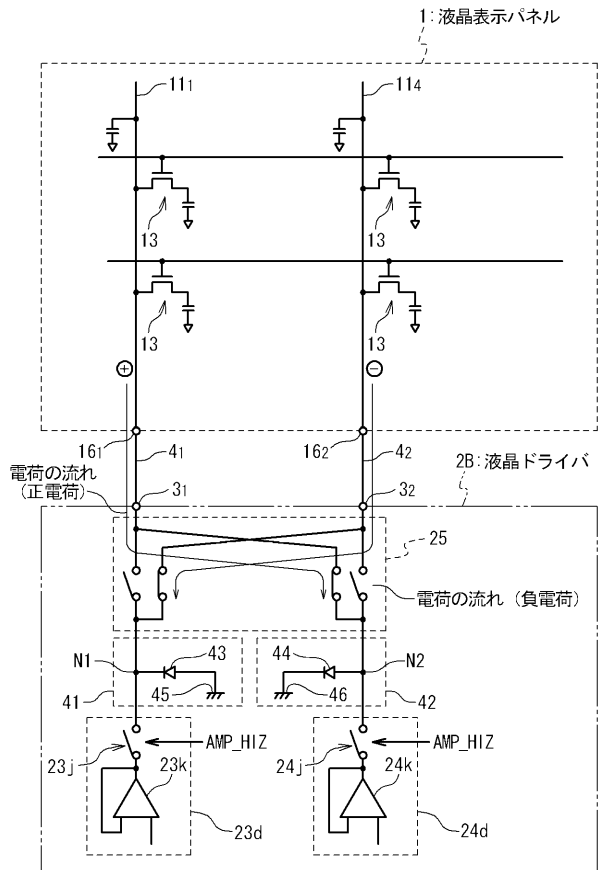
【図 14】



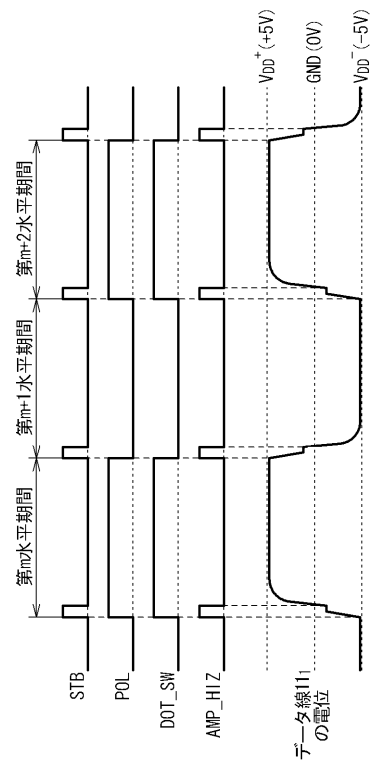
【図 15 A】



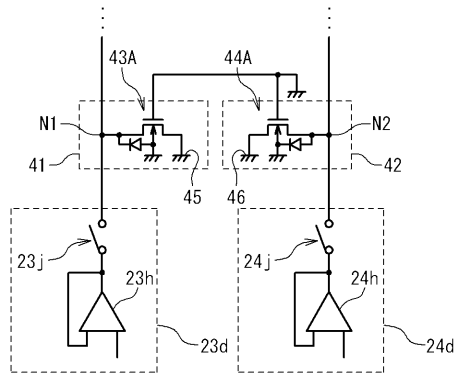
【図 15 B】



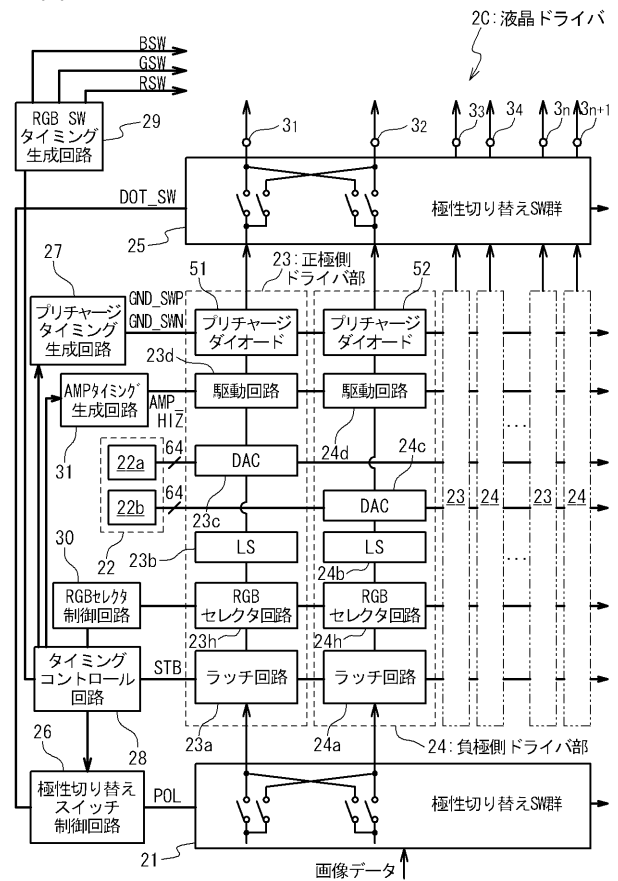
【図 16】



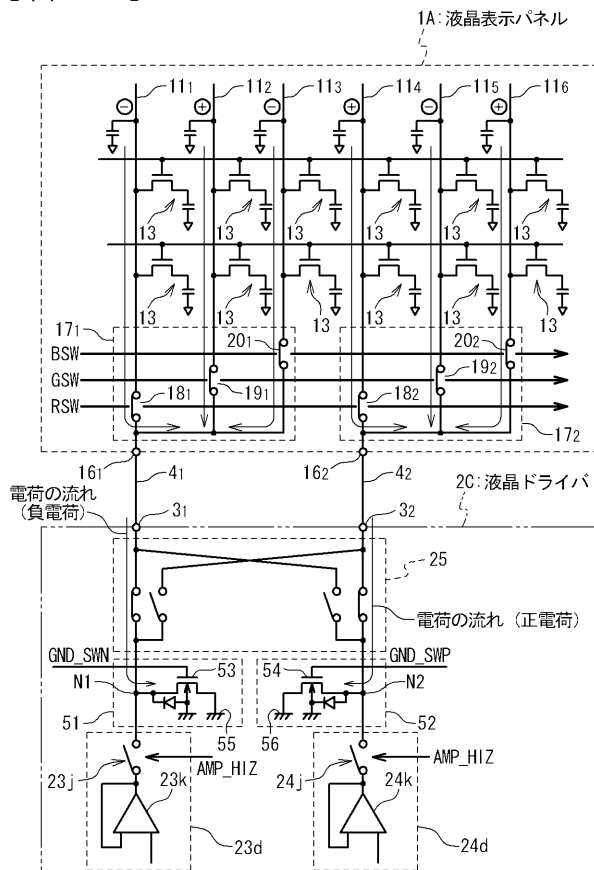
【図 17】



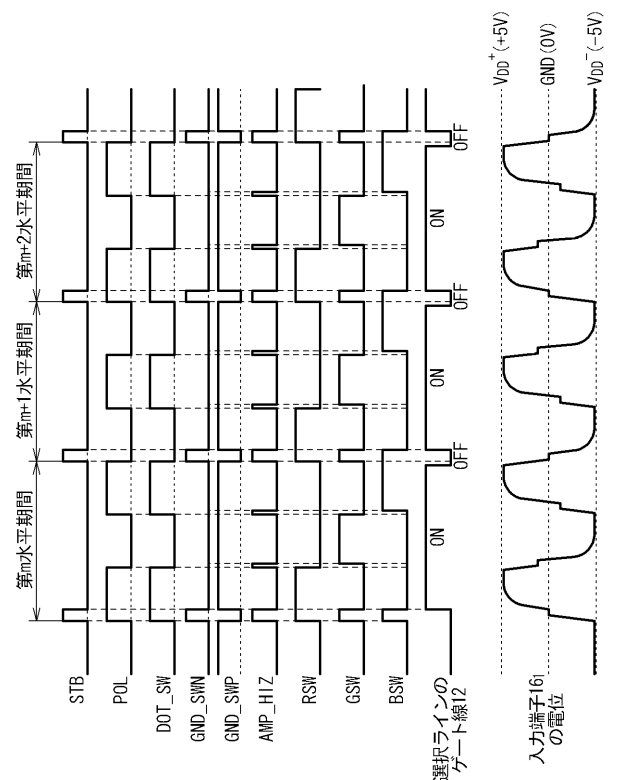
【図 18】



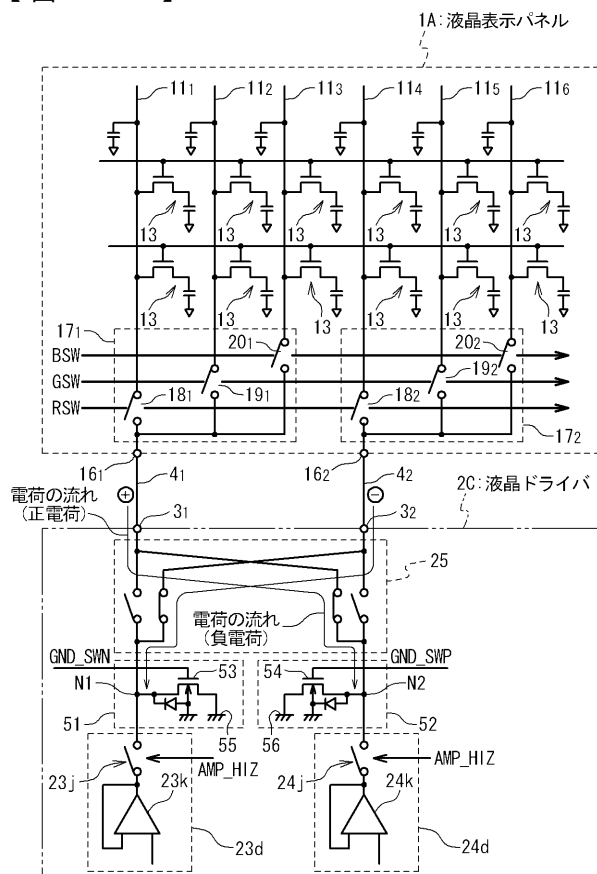
【図 19】



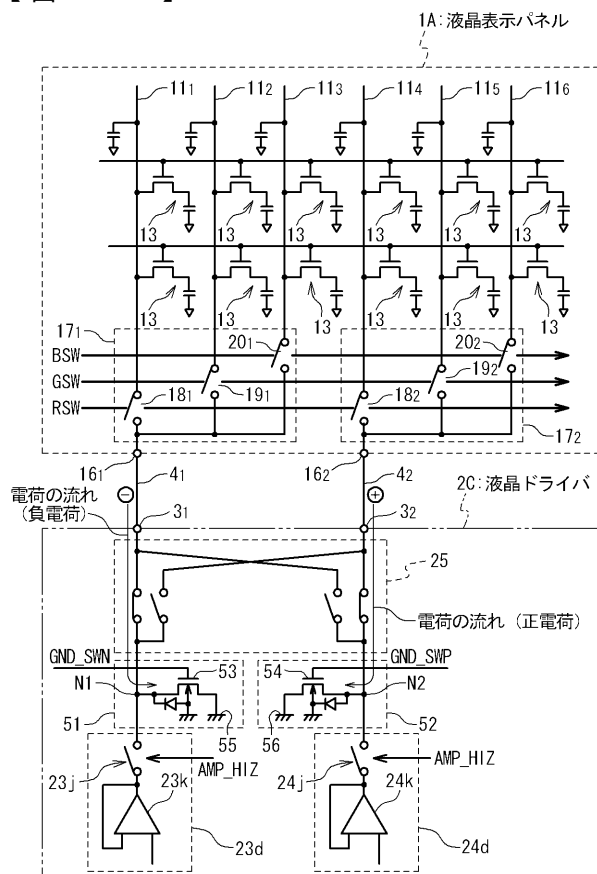
【図 20】



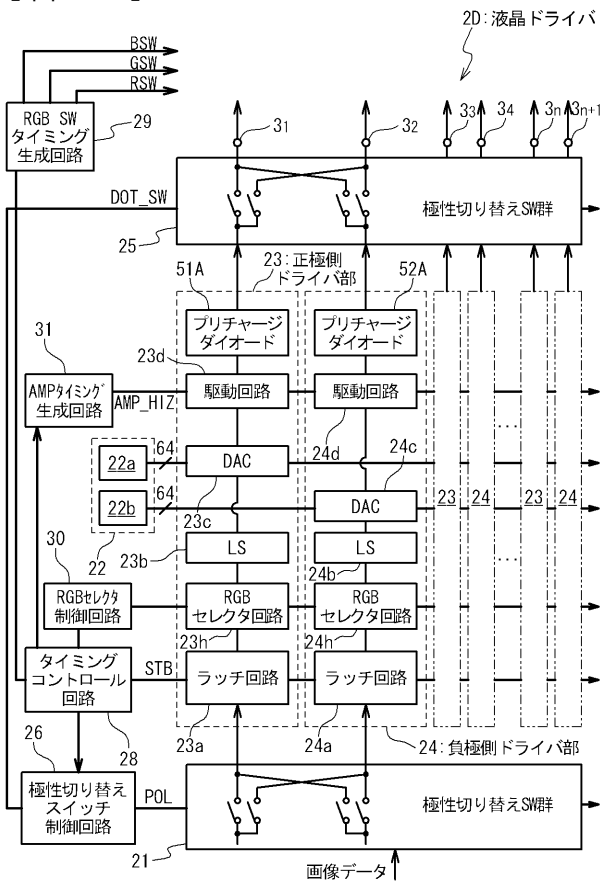
【 図 2 1 A 】



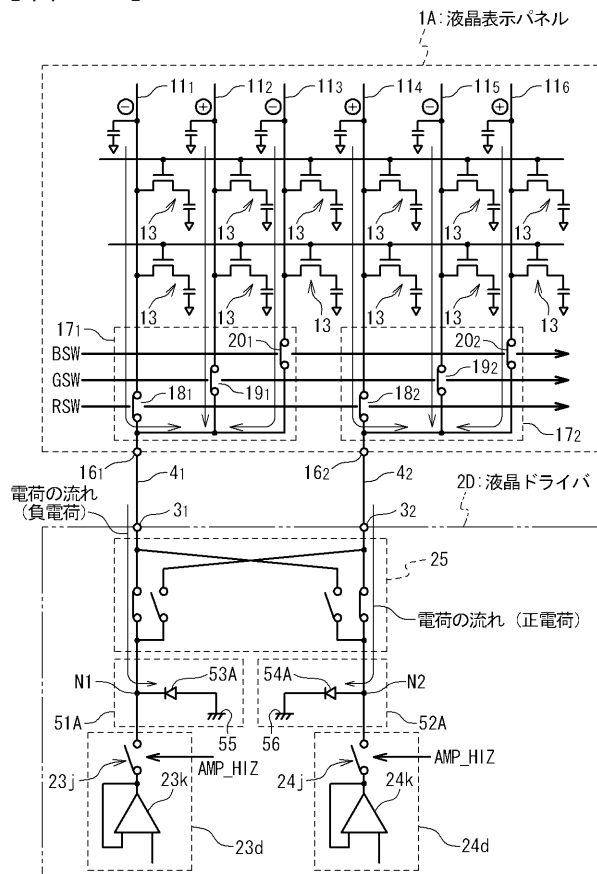
【 ㊦ 2 1 B 】



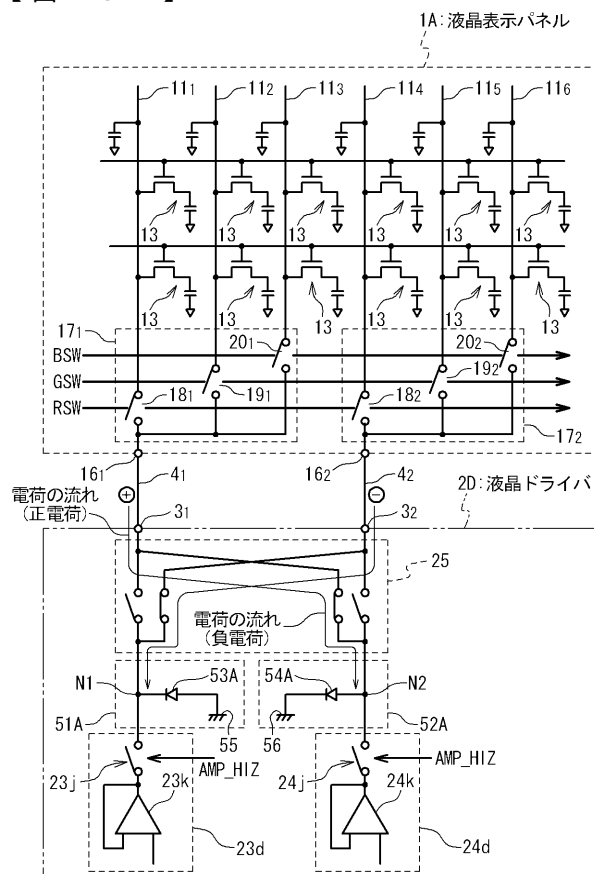
【 図 2 2 】



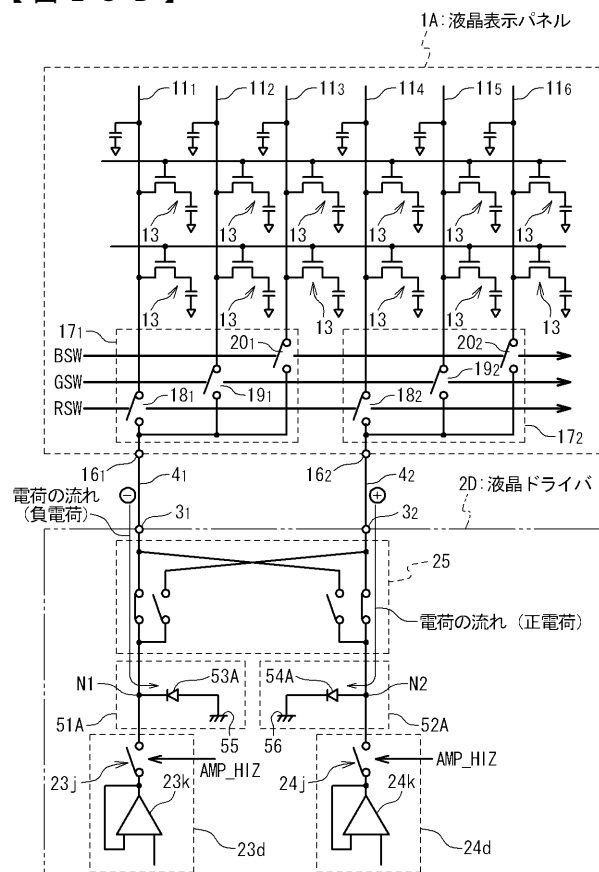
【 図 2 3 】



【 図 2 5 A 】



【 図 2 5 B 】



 フロントページの続き

(51) Int.Cl. F I テーマコード (参考)

G 0 9 G 3/20 6 2 3 D
 G 0 9 G 3/20 6 2 3 R
 G 0 9 G 3/20 6 2 3 B
 G 0 2 F 1/133 5 2 5
 G 0 2 F 1/133 5 5 0

F ターム(参考) 2H093 NA16 NA33 NA53 NC12 NC34 ND35 ND38 ND39
 5C006 AA16 AC11 AC21 AC27 AC28 AF42 AF43 AF45 AF46 AF51
 AF53 AF61 AF71 AF83 AF84 BB16 BC03 BC12 BC20 BF04
 BF14 BF24 BF43 BF46 EB04 EB05 FA46 FA47
 5C080 AA10 BB05 DD04 DD26 DD28 EE29 FF11 JJ02 JJ03 JJ04

专利名称(译)	液晶显示装置，液晶驱动器及其操作方法		
公开(公告)号	JP2006154772A	公开(公告)日	2006-06-15
申请号	JP2005308921	申请日	2005-10-24
[标]申请(专利权)人(译)	NEC微系统有限公司		
申请(专利权)人(译)	NEC微系统有限公司		
[标]发明人	久米田誠之 松浦浩二		
发明人	久米田 誠之 松浦 浩二		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
FI分类号	G09G3/36 G09G3/20.611.A G09G3/20.621.B G09G3/20.623.C G09G3/20.623.Y G09G3/20.623.D G09G3/20.623.R G09G3/20.623.B G02F1/133.525 G02F1/133.550		
F-TERM分类号	2H093/NA16 2H093/NA33 2H093/NA53 2H093/NC12 2H093/NC34 2H093/ND35 2H093/ND38 2H093/ND39 5C006/AA16 5C006/AC11 5C006/AC21 5C006/AC27 5C006/AC28 5C006/AF42 5C006/AF43 5C006/AF45 5C006/AF46 5C006/AF51 5C006/AF53 5C006/AF61 5C006/AF71 5C006/AF83 5C006/AF84 5C006/BB16 5C006/BC03 5C006/BC12 5C006/BC20 5C006/BF04 5C006/BF14 5C006/BF24 5C006/BF43 5C006/BF46 5C006/EB04 5C006/EB05 5C006/FA46 5C006/FA47 5C080/AA10 5C080/BB05 5C080/DD04 5C080/DD26 5C080/DD28 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 2H193/ZA04 2H193/ZC15 2H193/ZD23 2H193/ZF36		
代理人(译)	工藤稔		
优先权	2004310128 2004-10-25 JP		
外部链接	Espacenet		

摘要(译)

要解决的问题：通过使用公共恒定驱动方法的反转驱动来降低驱动液晶显示面板的液晶驱动器的功耗。解决方案：本发明的液晶显示装置由包括数据线11的LCD面板1和液晶驱动器2组成。液晶驱动器2包括：正驱动电路23，输出具有正极性的正数据信号相对于液晶驱动器2的地电平到达数据线11之一；以及将相对于液晶驱动器的接地电平具有负极性的负数据信号输出到另一条数据线11的负驱动电路24d。

