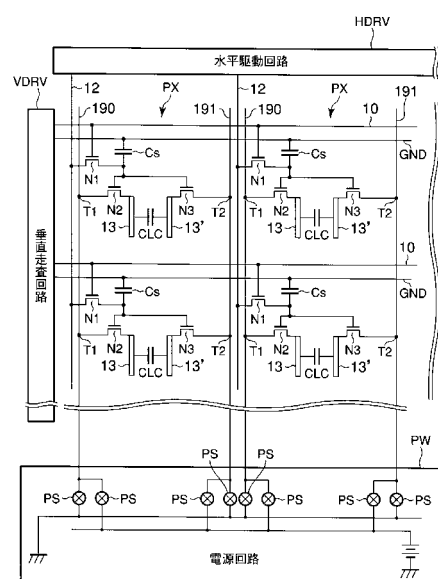




【特許請求の範囲】

【請求項 1】

第 1 および第 2 の電源端子と、液晶駆動電圧を液晶層に印加して液晶層内に実質的に横方向電界を生成する第 1 および第 2 の画素電極と、映像信号を受け取るゲート電極を有して、前記第 1 の電源端子および前記第 1 の画素電極間および前記第 2 の電源端子および前記第 2 の画素電極間にそれぞれ接続され、映像信号に対応して変化するコンダクタンスにより設定される液晶駆動電圧を前記第 1 および第 2 の画素電極間の液晶容量に保持させる第 1 および第 2 のドライブトランジスタとを備えることを特徴とする液晶画素メモリ。

【請求項 2】

前記第 1 および第 2 の電源端子は前記液晶駆動電圧の極性を周期的に反転させるように前記第 1 および第 2 の電源端子の電位関係を変化させる電源回路に接続されることを特徴とする請求項 1 に記載の液晶画素メモリ。 10

【請求項 3】

前記電源回路は第 1 および第 2 レベル間で交互に遷移する交流電圧を 180° ずれた位相で前記第 1 および第 2 の電源端子に供給するように構成されることを特徴とする請求項 2 に記載の液晶画素メモリ。

【請求項 4】

さらに前記映像信号を保持するために前記第 1 および第 2 のドライブトランジスタのゲート電極に接続される容量素子を備えることを特徴とする請求項 1 に記載の液晶画素メモリ。 20

【請求項 5】

第 1 および第 2 の電源端子と、液晶駆動電圧を液晶層に印加して液晶層内に実質的に横方向電界を生成する第 1 および第 2 の画素電極と、映像信号を受け取るゲート電極を有して、前記第 1 の電源端子および前記第 1 の画素電極間および前記第 2 の電源端子および前記第 2 の画素電極間にそれぞれ接続され、映像信号に対応して変化するコンダクタンスにより設定される液晶駆動電圧を前記第 1 および第 2 の画素電極間の液晶容量に保持させる第 1 および第 2 のドライブトランジスタとを含む液晶画素メモリの駆動方法であって、映像信号を前記第 1 および第 2 のトランジスタのゲート電極に供給することにより前記第 1 および第 2 のドライブトランジスタのコンダクタンスを制御し、これらコンダクタンスにより設定される液晶駆動電圧の極性を周期的に反転させるように前記第 1 および第 2 の電源端子の電位関係を変化させることを特徴とする液晶画素メモリの駆動方法。 30

【請求項 6】

前記映像信号の更新周期が前記液晶駆動電圧の反転周期に一致しないことを特徴とする請求項 5 に記載の液晶画素メモリの駆動方法。

【請求項 7】

一对の支持基板と、前記一对の支持基板間に挟持される液晶層と、一方の支持基板上にマトリクス状に配置され液晶分子の配向をそれぞれ制御する複数の画素回路とを備え、各画素回路は第 1 および第 2 の電源端子と、液晶駆動電圧を前記液晶層に印加して前記液晶層内に実質的に横方向電界を生成する第 1 および第 2 の画素電極と、映像信号を受け取るゲート電極を有して、前記第 1 電源端子および前記第 1 の画素電極間および前記第 2 の電源端子および前記第 2 の画素電極間にそれぞれ接続され、映像信号に対応して変化するコンダクタンスにより設定される液晶駆動電圧を前記第 1 および第 2 の画素電極間の液晶容量に保持させる第 1 および第 2 のドライブトランジスタとを含むことを特徴とする液晶表示装置。 40

【請求項 8】

前記第 1 および第 2 の電源端子は前記液晶駆動電圧の極性を周期的に反転させるように前記第 1 および第 2 の電源端子の電位関係を変化させる電源回路に接続されることを特徴とする請求項 7 に記載の液晶表示装置。

【請求項 9】

前記一方の支持基板は前記複数の画素回路の行に沿って配置される複数の走査配線と、複 50

数の画素回路の列に沿って配置される複数の映像信号配線とを有し、各画素回路は前記複数の走査配線および前記複数の映像信号配線によって区画された複数の画素領域の1つに配置され、一走査配線に接続されるゲート電極を有して一映像信号配線と前記第1および第2のドライブトランジスタのゲート電極との間に接続されるサンプリグトランジスタを含むことを特徴とする請求項8に記載の液晶表示装置。

【請求項10】

前記電源回路は、前記支持基板と一体的に設けられることを特徴とする請求項8に記載の液晶表示装置。

【請求項11】

各画素回路はさらに絶縁膜を介して前記第1および第2の画素電極の一部に重なり、所定の電位に設定される反射電極を含む請求項9に記載の液晶表示装置。 10

【請求項12】

各画素回路の第1および第2の電源端子は隣接行および隣接列の画素回路とは逆に設定される一対の電源配線により構成されることを特徴とする請求項9に記載の液晶表示装置。

【請求項13】

一対の支持基板と、前記一対の支持基板間に挟持される液晶層と、一方の支持基板上にマトリクス状に配置され液晶分子の配向をそれぞれ制御する複数の画素回路とを備え、各画素回路は第1および第2の電源端子と、液晶駆動電圧を前記液晶層に印加して前記液晶層内に実質的に横方向電界を生成する第1および第2の画素電極と、映像信号を受け取るゲート電極を有して前記第1電源端子および前記第1の画素電極間および前記第2の電源端子および前記第2の画素電極間にそれぞれ接続され、映像信号に対応して変化するコンダクタンスにより設定される液晶駆動電圧を前記第1および第2の画素電極間の液晶容量に保持させる第1および第2のドライブトランジスタとを含み、前記一方の支持基板は前記複数の画素回路の行に沿って配置される複数の第1のアドレス配線と、前記複数の画素回路の列に沿って配置される複数の第2のアドレス配線と、前記複数の画素回路の列に沿って配置される複数の映像信号配線とを有し、各画素回路はさらに前記複数の第1のアドレス配線および前記複数の第2のアドレス配線によって区画された複数の画素領域の1つに配置され、一対の第1および第2のアドレス配線の両方からの選択信号に応答して出力信号を発生する論理ゲート回路と、この出力信号を受け取るように接続されるゲート電極を有して一映像信号配線と前記第1および第2のドライブトランジスタのゲート電極との間に接続されるサンプリグトランジスタとを含むことを特徴とする液晶表示装置。 20 30

【請求項14】

一対の支持基板と、前記一対の支持基板間に挟持される液晶層と、一方の支持基板上にマトリクス状に配置され液晶分子の配向をそれぞれ制御する複数の画素回路とを備え、各画素回路は第1および第2の電源端子と、液晶駆動電圧を前記液晶層に印加して前記液晶層内に実質的に横方向電界を生成する第1および第2の画素電極と、映像信号を受け取るゲート電極を有して前記第1電源端子および前記第1の画素電極間および前記第2の電源端子および前記第2の画素電極間にそれぞれ接続され、映像信号に対応して変化するコンダクタンスにより設定される液晶駆動電圧を前記第1および第2の画素電極間の液晶容量に保持させる第1および第2のドライブトランジスタとを含み、前記一方の支持基板は前記複数の画素回路の行に沿って配置される複数の第1のアドレス配線と、前記複数の画素回路の列に沿って配置される複数の第2のアドレス配線と、前記複数の画素回路の列に沿って配置される複数の映像信号配線とを有し、各画素回路はさらに前記複数の第1のアドレス配線および前記複数の第2のアドレス配線によって区画された複数の画素領域の1つに配置され、一対の第1および第2のアドレス配線の両方からの選択信号に応答して出力信号を発生する論理ゲート回路と、この出力信号を受け取るように接続されるゲート電極を有して一映像信号配線と前記第1および第2のドライブトランジスタのゲート電極との間に接続されるサンプリグトランジスタとを含む液晶表示装置の駆動方法であって、前記第1および第2のアドレス配線にアドレス選択信号をランダムに供給し、前記アドレス選択信号によって選択された画素回路に液晶駆動電圧を供給して前記液晶層を駆動させるこ 40 50

とを特徴とする液晶表示装置の駆動方法。

【請求項 15】

一对の支持基板と、前記一对の支持基板間に挟持された液晶層と、一方の支持基板上にマトリクス状に配置され液晶分子の配向をそれぞれ制御する複数の画素回路とを備え、各画素回路が第1および第2の電源端子と、液晶駆動電圧を液晶層に印加して液晶層内に実質的に横方向電界を生成する第1および第2の画素電極と、映像信号を受け取るゲート電極を有して、前記第1の電源端子および前記第1の画素電極間および前記第2の電源端子および前記第2の画素電極間にそれぞれ接続され、映像信号に対応して変化するコンダクタンスにより設定される液晶駆動電圧を前記第1および第2の画素電極間の液晶容量に保持させる第1および第2のドライブトランジスタとを含む液晶表示装置の駆動方法であって、映像信号を前記第1および第2のトランジスタのゲート電極に供給することにより前記第1および第2のドライブトランジスタのコンダクタンスを制御し、これらコンダクタンスにより設定される液晶駆動電圧の極性を周期的に反転させるように前記第1および第2電源端子の電位関係を変化させることを特徴とする液晶表示装置の駆動方法。

【請求項 16】

前記映像信号は単極性であることを特徴とする請求項5に記載の液晶画素メモリの駆動方法。

【請求項 17】

前記映像信号は単極性であることを特徴とする請求項7に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶分子の配向を制御するために周期的に極性反転される液晶駆動電圧を液晶層に印加する画素メモリ、液晶表示装置、およびこれらの駆動方法に関する。

【背景技術】

【0002】

例えばアクティブマトリクス液晶表示装置は文字やグラフィックの情報を表示する表示装置としてOA機器、その他の様々な機器で用いられている。この液晶表示装置は通常一对の基板間に液晶層を挟持した構造の表示パネルである。この表示パネルでは、複数の画素が表示画面を構成するためにマトリクス状に配置され、各々薄膜トランジスタ（TFT：Thin Film Transistor）を介して駆動される。

【0003】

従来のアクティブマトリクス液晶表示装置は、通常線順次走査方式で複数の画素を駆動する。線順次走査方式では、複数の画素が1水平ラインを構成する行単位に順次選択され、1水平ライン分の映像信号が選択行（左右方向）の画素に供給される。各画素はこの映像信号により充放電される画素容量を有し、この画素容量は映像信号の電圧を液晶駆動電圧として液晶層に印加する一对の電極間に得られる液晶容量とこの液晶容量に並列的に接続される補助容量とを含む。液晶分子の配向は液晶駆動電圧に対応して一对の電極間に生成される電界により制御される。液晶駆動電圧は映像信号の更新周期である1フレーム期間毎に極性が変化する。

【0004】

液晶分子の配向が一方向の電界により継続的に駆動されると、液晶分子の偏在化が液晶層内に生じる。この偏在化は液晶表示装置を動作不能にするため、液晶駆動電圧の極性は例えば1フレーム期間毎に反転する必要がある。さらに、ドット反転駆動がフリッカを抑制するために行われる場合には、液晶分子の配向が隣接画素間で互いに逆の極性に設定される液晶駆動電圧により制御される。この場合、1水平ライン分の映像信号が1水平走査期間毎に極性反転され、複数の信号配線を介して選択行の画素に供給される。具体的には、信号配線用ドライバLSIが1水平ライン分の映像信号に対応して複数の映像信号配線を駆動する。これら信号配線に寄生する配線容量はこのドライバLSIによって1水平走査期間毎に反転した極性で充放電されるため、ドライバLSIの消費電力は極めて大きい

10

20

30

40

50

。ドライバLSIの消費電力Pは、これら信号配線の総配線容量を C_L 、フレーム周波数を f_F 、走査線数を N_S 、映像信号の最大振幅（Peak-to-Peak値）を V_{SIG} とすると、おおよそ

$$P = C_L \cdot f_F \cdot N_S \cdot V_{SIG}^2$$

で与えられるが、液晶表示装置の表示パネルが大型化、高精細化すると、映像信号の配線容量とフレーム周波数の両方が増大するため、信号配線ドライバLSIの消費電力が加速度的に増大することがわかる。この問題の解決策としては、第1の従来技術が提案されている（例えば特許文献1および特許文献2を参照）。この技術は、例えばSRAM構造のメモリ素子を各画素回路内に設けて、映像信号をフレーム単位に間引くことにより消費電力の増大を抑制する。

10

【0005】

また、アクティブマトリクス液晶表示装置では、高画質化も重要な課題である。この課題については、横電界駆動方式の液晶表示装置が第2の従来技術として提案されている（例えば特許文献3、特許文献4および特許文献5を参照）。横電界駆動方式の液晶表示装置は一方の基板の各画素領域に一对の画素電極を設け、これら画素電極によって電極平面、すなわち基板面に略平行な横方向電界を液晶層内に生成することにより液晶分子をこの面内で回転させることにより階調表示を行い、これにより広い視野範囲で高いコントラスト比と色再現性を実現する。

【特許文献1】特開平9-258168号公報

【特許文献2】特開平9-274200号公報

20

【特許文献3】特開平7-36058号公報

【特許文献4】特開2003-149664号公報

【特許文献5】特開2003-15155号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

第1の従来技術では、画素回路内のメモリ素子がデジタルメモリであることから、通常の階調表示を行うために、表示すべき階調の数に対応する数だけのメモリ素子とこれに信号を供給する信号配線を配置する必要がある。例えば64の階調を表示可能にするためには、6ビット分のメモリ素子および6本の信号配線を全画素の画素領域内に配置する必要がある。実際にこのような多数の素子や配線を限られた画素領域内に配置すると、開口率の低下および製造歩留まりの低下を招くことから、低消費電力で高画質の液晶表示装置を安価で提供することが困難になる。

30

【0007】

第2の従来技術では、液晶表示装置の高画質化が可能であるが、信号配線用ドライバLSIの消費電力の問題について考慮されていない。従って、各画素はドライバLSIによって駆動される信号配線から映像信号をサンプリングトランジスタによってサンプリングし液晶駆動電圧として液晶層に直接的に印加するように構成されている。この構成では、上述した信号配線用ドライバLSIの消費電力の増大を抑制することができない。

【0008】

40

本発明はこのような問題を解決するものであって、消費電力を増大させずに高画質を得ることができる液晶画素メモリ、液晶表示装置、およびこれらの駆動方法を提供することを目的とする。

【課題を解決するための手段】

【0009】

本発明の第1観点によれば、第1および第2の電源端子と、液晶駆動電圧を液晶層に印加して液晶層内に実質的に横方向電界を生成する第1および第2の画素電極と、映像信号を受け取るゲート電極を有して、第1の電源端子および第1の画素電極間および第2の電源端子および第2の画素電極間にそれぞれ接続され、映像信号に対応して変化するコンダクタンスにより設定される液晶駆動電圧を第1および第2の画素電極間の液晶容量に保持

50

させる第1および第2のドライブトランジスタとを備える液晶画素メモリが提供される。

【0010】

本発明の第2観点によれば、第1および第2の電源端子と、液晶駆動電圧を液晶層に印加して液晶層内に実質的に横方向電界を生成する第1および第2の画素電極と、映像信号を受け取るゲート電極を有して、第1の電源端子および第1の画素電極間および第2の電源端子および第2の画素電極間にそれぞれ接続され、映像信号に対応して変化するコンダクタンスにより設定される液晶駆動電圧を第1および第2の画素電極間の液晶容量に保持させる第1および第2のドライブトランジスタとを含む液晶画素メモリの駆動方法であって、映像信号を第1および第2のトランジスタのゲート電極に供給することにより第1および第2のドライブトランジスタのコンダクタンスを制御し、これらコンダクタンスにより設定される液晶駆動電圧の極性を周期的に反転させるように第1および第2の電源端子の電位関係を変化させる液晶画素メモリの駆動方法が提供される。

【0011】

本発明の第3観点によれば、一对の支持基板と、一对の支持基板間に挟持される液晶層と、一方の支持基板上にマトリクス状に配置され液晶分子の配向をそれぞれ制御する複数の画素回路とを備え、各画素回路は第1および第2の電源端子と、液晶駆動電圧を液晶層に印加して液晶層内に実質的に横方向電界を生成する第1および第2の画素電極と、映像信号を受け取るゲート電極を有して、第1電源端子および第1の画素電極間および第2の電源端子および第2の画素電極間にそれぞれ接続され、映像信号に対応して変化するコンダクタンスにより設定される液晶駆動電圧を第1および第2の画素電極間の液晶容量に保持させる第1および第2のドライブトランジスタとを含む液晶表示装置が提供される。

【0012】

本発明の第4観点によれば、一对の支持基板と、一对の支持基板間に挟持される液晶層と、一方の支持基板上にマトリクス状に配置され液晶分子の配向をそれぞれ制御する複数の画素回路とを備え、各画素回路は第1および第2の電源端子と、液晶駆動電圧を液晶層に印加して液晶層内に実質的に横方向電界を生成する第1および第2の画素電極と、映像信号を受け取るゲート電極を有して、第1電源端子および第1の画素電極間および第2の電源端子および第2の画素電極間にそれぞれ接続され、映像信号に対応して変化するコンダクタンスにより設定される液晶駆動電圧を第1および第2の画素電極間の液晶容量に保持させる第1および第2のドライブトランジスタとを含み、一方の支持基板は複数の画素回路の行に沿って配置される複数の第1のアドレス配線と、複数の画素回路の列に沿って配置される複数の第2のアドレス配線と、複数の画素回路の列に沿って配置される複数の映像信号配線とを有し、各画素回路はさらに複数の第1のアドレス配線および複数の第2のアドレス配線によって区画された複数の画素領域の1つに配置され、一对の第1および第2のアドレス配線の両方からの選択信号に応答して出力信号を発生する論理ゲート回路と、この出力信号を受け取るように接続されるゲート電極を有して一映像信号配線と第1および第2のドライブトランジスタのゲート電極との間に接続されるサンプリングトランジスタとを含む液晶表示装置が提供される。

【0013】

本発明の第5観点によれば、一对の支持基板と、一对の支持基板間に挟持された液晶層と、一方の支持基板上にマトリクス状に配置され液晶分子の配向をそれぞれ制御する複数の画素回路とを備え、各画素回路が第1および第2の電源端子と、液晶駆動電圧を液晶層に印加して液晶層内に実質的に横方向電界を生成する第1および第2の画素電極と、映像信号を受け取るゲート電極を有して、第1の電源端子および第1の画素電極間および第2の電源端子および第2の画素電極間にそれぞれ接続され、映像信号に対応して変化するコンダクタンスにより設定される液晶駆動電圧を第1および第2の画素電極間の液晶容量に保持させる第1および第2のドライブトランジスタとを含む液晶表示装置の駆動方法であって、映像信号を第1および第2のトランジスタのゲート電極に供給することにより第1および第2のドライブトランジスタのコンダクタンスを制御し、これらコンダクタンスにより設定される液晶駆動電圧の極性を周期的に反転させるように第1および第2電源端子

の電位関係を変化させる液晶表示装置の駆動方法が提供される。

【発明の効果】

【0014】

本発明によれば、消費電力を増大させずに高画質を得ることができる液晶画素メモリ、液晶表示装置、およびこれらの駆動方法を得ることができる。

【発明を実施するための最良の形態】

【0015】

上述した液晶画素メモリ、液晶表示装置、およびこれらの駆動方法は次の事項について共通している。映像信号は第1および第2ドライブトランジスタのゲート電極に供給される。液晶駆動電圧は第1および第2電源端子から第1および第2ドライブトランジスタを介して第1および第2画素電極間の容量に印加される電圧に等しい。具体的には、第1および第2ドライブトランジスタのドレインがそれぞれ第1および第2電源端子に接続され、液晶容量が第1ドライブトランジスタのソースおよび第2ドライブトランジスタのソース間に接続される。すなわち、第1および第2ドライブトランジスタは液晶容量を共通の負荷とする2つのソースフォロア回路が直列に接続された回路形式となっている。従って、液晶駆動電圧は第1および第2ドライブトランジスタのコンダクタンスにより設定される。ここで、第1および第2電源端子はこれらの電位関係を変化させることにより液晶駆動電圧の極性を周期的に反転させることができる。具体的には、例えば5Vの高レベルおよび0Vの低レベル間でシフトする方形波である交流電圧を相補的な位相関係で第1および第2電源端子に印加すればよい。

【0016】

交流電圧の最大（高レベル）値を超えない映像信号電圧 V_s を第1および第2ドライブトランジスタのゲート電極に印加すると、高レベルの電位にシフトした電源端子側のドライブトランジスタは $V_s - V_t$ に設定されたソース電位を出力する。ここで V_t はこのドライブトランジスタのしきい電圧である。一方、低レベルの電位にシフトした電源端子側のドライブトランジスタは低レベル、すなわち0Vのソース電位を出力する。従って、液晶容量での電圧降下は $V_s - V_t$ となる。

【0017】

次に、第1および第2電源端子の電位関係を逆に変化させると、液晶容量での電圧降下は $-(V_s - V_t)$ となる。

【0018】

このように第1および第2電源端子の電位関係を適当な周期で繰り返し逆にすることにより、第1および第2画素電極間の液晶容量に保持される液晶駆動電圧の極性を反転させることができる。この場合、第1および第2ドライブトランジスタのゲート電極に供給される映像信号を液晶駆動電圧の極性を反転させるためにリフレッシュする必要がある。すなわち、映像信号電圧 V_s に比例した液晶駆動電圧を第1および第2画素電極間の液晶容量に保持させれば、この液晶駆動電圧の極性反転は自動的に行われる。この結果、信号配線用ドライバLSI等の映像信号処理回路が1フレーム分の映像信号を更新する頻度、すなわち映像リフレッシュレートを低減し、この映像信号回路での消費電力を低減できる。また、映像信号自体が周期的に極性反転される液晶駆動電圧として用いられることがないため、最大振幅が従来のは半分である単極性のアナログ電圧を映像信号として供給することが可能である。これにより、映像信号電圧に応じて信号配線を駆動するために消費される電力を低減でき、さらに映像信号回路の構成が簡単化されるためドライバLSIの製造コストを低減することも可能となる。

【0019】

（第1実施形態）

以下、本発明の第1実施形態に係る透過型アクティブマトリクス液晶表示装置について添付図面を参照して説明する。

【0020】

図1はこの透過型アクティブマトリクス液晶表示装置の断面構造を示し、図2はこの液

晶表示装置の平面構造を概略的に示し、図 3 は図 2 に示す液晶表示装置においてマトリクス状に配置される複数の画素回路 P X のうちの 1 個の等価回路を示す。

【0021】

この液晶表示装置は、図 1 に示すように例えば液晶層 506 が一对の支持基板 S B 1, S B 2 間に保持される構造を有する。支持基板 S B 1 はガラス基板 1 上に保護絶縁膜 2 2 等を積層した基板であり、図 2 に示すようにマトリクス状に配置される複数の画素回路 P X、複数の画素回路 P X の行に沿って配置される複数の走査配線 10、複数の画素回路 P X の列に沿って配置される複数の映像信号配線 12、複数の走査配線 10 を駆動する垂直走査回路 V D R V、および複数の映像信号配線 12 を駆動する水平駆動回路 H D R V を備える。複数の画素回路 P X は複数の走査配線 10 および複数の映像信号配線 12 によって区画された複数の画素領域にそれぞれ配置され、これら画素領域において液晶分子の配向をそれぞれ制御する。支持基板 S B 2 はガラス基板 508 上にカラーフィルタ 507, カラーフィルタ保護膜 O C 等を積層した基板である。支持基板 S B 1, S B 2 はさらに液晶層 506 に隣接して液晶分子の向きを設定するように形成される下部配向膜 O R I 1, 上部配向膜 O R I 2 をそれぞれ備える。

【0022】

支持基板 S B 1, S B 2 は、それぞれ独立に形成した後にこれらの外周に沿って付加されるシール材（図示せず）により貼り合わされる。液晶層 506 は支持基板 S B 1, S B 2 間でシール材に囲まれた空間に液晶組成物を注入し封止することにより得られる。

【0023】

また、一对の偏光板 505 がこれら配向膜 O R I 1, O R I 2 とは反対側において露出したガラス基板 1, 508 の表面に貼り付けられる。これら偏光板 505 の偏光透過軸は互いに直交する向きに設定されている。また、バックライト B L がガラス基板 1 の表面に貼り付けられた偏光板 505 に隣接して配置される。このバックライト B L からの光は各画素回路の制御により液晶層 506 において光学的に変調される。

【0024】

各画素回路 P X は、第 1 および第 2 の電源端子 T 1, T 2、第 1 および第 2 の画素電極 13, 13'、サンプリングトランジスタ N 1、第 1 および第 2 のドライブトランジスタ N 2, N 3、および補助容量 C s を有する。符号について、n チャンネルトランジスタについては符号を N で示し、p チャンネルトランジスタの符号は、P で示す。第 1 および第 2 の画素電極 13, 13' は液晶駆動電圧を液晶層 506 に印加して液晶層内に横方向の電界を生成する。第 1 のドライブトランジスタ N 2 は、映像信号を受け取るゲート電極、並びに第 1 の電源端子 T 1 および第 1 の画素電極 13 間に接続されるカレントパスを有する。カレントパスとは、ゲート電極に印加される電圧に応じた電流が流れ、導通した状態をいう。第 2 のドライブトランジスタ N 3 は映像信号を受け取るゲート電極、並びにおよび第 2 の電源端子 T 2 および第 2 の画素電極 13' 間に接続されるカレントパスを有する。上記ドライブトランジスタ N 2, N 3 は映像信号に対応して変化するコンダクタンスにより設定される液晶駆動電圧 V L C を第 1 および第 2 の画素電極 13, 13' 間の液晶容量 C L C に保持させる。さらに具体的には、上記トランジスタ N 1 ~ N 3 はいずれも N チャンネル薄膜トランジスタ (T F T) により構成される。第 1 の画素電極 13 は第 1 のドライブトランジスタ N 2 のソースに接続され、第 2 の画素電極 13' は第 2 のドライブトランジスタ N 3 のソースに接続される。サンプリングトランジスタ N 1 のゲート電極は 1 走査配線 10 に接続され、サンプリングトランジスタ N 1 のドレインは映像信号配線 12 に接続され、サンプリングトランジスタ N 1 のソースは第 1 および第 2 のドライブトランジスタ N 2, N 3 のゲート電極に接続される。また、補助容量 C s はサンプリングトランジスタ N 1 のソースおよび共通電極配線 G N D 間に接続される。

【0025】

支持基板 S B 1 には、さらに複数対の第 1 および第 2 の電源配線 190, 191 が画素回路 P X の列に沿って配置される。各画素回路 P X の第 1 および第 2 の電源端子 T 1, T 2 は一对の第 1 および第 2 の電源配線 190, 191 にそれぞれ設けられた電氣的な分岐

点である。これら第1および第2の電源配線190、191は電源回路PWに接続され、高レベル電位（VDD：例えば5V）および接地電位（GND：例えば0V）の一方および他方の電位にそれぞれ設定される。電源回路PWは、液晶分子の偏在化を回避するために電源配線190および第2の電源配線191の電位関係を例えば電圧の極性を一定の周期で例えば1フレーム毎に逆転するように駆動される複数のスイッチPSを有する。

【0026】

垂直走査回路VDRVおよび水平駆動回路HDRVはいずれもドライバLSIとしてユニット化されている。垂直走査回路VDRVは、配列されている多数の画素回路PXの行を選択する選択パルスを生成し、複数の走査配線のうちの1つに供給する。水平駆動回路HDRVはこの間に1水平ライン分の映像信号を生成して映像信号配線12に供給する。選択行の画素回路PXは、それぞれ複数の映像信号配線12から映像信号を取り込む。具体的には、サンプリングトランジスタN1が選択パルスの電圧Vgにより導通し、補助容量Csを介して映像信号の電圧Vsを上記ドライフトランジスタN2、N3のゲート電極に出力する。この映像信号の電圧VsはサンプリングトランジスタN1が非導通になったときにサンプリングされ、上記ドライフトランジスタN2、N3のゲート電圧として補助容量Csによってホールドされる。上記ドライフトランジスタN2、N3はこうにして得られた映像信号に対応して変化するコンダクタンスにより液晶駆動電圧VLCを第1および第2画素電極13、13'間の液晶容量CLCに保持させる。この液晶駆動電圧VLCは、上記電源配線190、191の電位差を越えない範囲で映像信号電圧Vsに対応した値となる。

10

20

【0027】

図4は図3に示す画素回路PXの電圧入出力特性を示す。ここで、横軸は映像信号配線12から入力される映像信号電圧Vsの値を表し、縦軸は画素電極13、13'間の液晶容量CLCに出力される液晶駆動電圧VLCの値を表す。また、電源配線190、191の電位差は映像信号電圧Vsの最大値に等しく設定されている。この図4からわかるように、実際には液晶駆動電圧VLCが映像信号電圧Vsより上記ドライフトランジスタN2、N3のしきい電圧Vt分だけ低下し、しきい電圧Vt未満の映像信号電圧Vsに対して0Vとなる。

【0028】

一例として、電源配線190の電位が5Vの高レベルで、電源配線191の電位が0Vの低レベルである状態で、4Vの映像信号電圧Vsがゲート電圧として上記ドライフトランジスタN2、N3に印加されると、画素電極13'の電位が $(4 - V_t)$ Vに設定され、画素電極13の電位が0Vに設定される。液晶駆動電圧VLCはこれら画素電極13、13'間の電位差である $(4 - V_t)$ Vに設定される。この場合、Vtは一方のドライフトランジスタN3のしきい電圧である。

30

【0029】

また、逆に第2の電源配線191の電位が5Vの高レベルで、第1の電源配線190の電位が0Vの低レベルである状態で、同じく4Vの映像信号電圧Vsがゲート電圧としてドライフトランジスタN2、N3に印加されると、第1の画素電極13と第2の画素電極13'との電位極性が逆になり、これら画素電極13、13'間に生成される電界の方向が逆転する。上記電源配線190、191、すなわち電源端子T1、T2は、液晶駆動電圧VLCの極性を周期的に反転させて液晶分子の偏在化を防止するために上述のような電位関係で変化させることが可能である。

40

【0030】

図5は図3に示す画素回路PXの動作説明するためのタイムチャートである。選択パルス電圧Vgおよび映像信号電圧Vsは図5の(a)に示すように走査配線10、映像信号配線12に印加される。ここでは、理解を容易にするために、映像信号電圧Vsを4Vの一定値に固定したが、画素毎に異なる液晶駆動電圧VLCを得るために時間的に変化する波形にすることが一般的である。また、選択パルス電圧Vgの周期は200msに取った。ちなみに、従来の液晶表示装置ではこの周期は16.7msが一般的である。

50

【0031】

電源配線190および191には、図5の(b)に実線で示す波形の電圧および図5の(c)に点線で示す波形の電圧がそれぞれ印加される。これら電圧は互いに位相が180°ずれた方形波であり、その周期は例えば33.4msである。

【0032】

図5の(b)および(c)に示す波形の電圧を電源配線190および191に印加すると、図5の(d)に示すような電圧波形が画素電極13、13'にそれぞれ得られる。これら電圧波形は、図5の(b)、(c)に示す電圧波形と同様に33.4msの周期を持ち互いに180°ずれた位相に設定された方形波となる。但し、これら電圧波形のピーク値は高レベル側で $(4 - V_t)$ Vであり、低レベル側で0 Vである。

10

【0033】

上記画素電極13、13'間の電位差、すなわち液晶駆動電圧VLCは図5の(e)に示すような波形となり、実際に上記画素電極13、13'によって液晶層506に印加される。この液晶駆動電圧VLCの実効値は $(4 - V_t)$ Vであり、その周期は33.4msである。

【0034】

本実施形態では、映像信号電圧Vsは、サンプリングトランジスタN1によってサンプリングされた後、映像信号電圧Vsが補助容量Csによってホールドされ、ゲート電圧としてドライバトランジスタN2、N3に継続的に印加される。このため、この画像回路Pxは、電源配線190、191の電位関係を任意の周期で逆転させることにより、この周期で極性反転させながら一定の液晶駆動電圧VLCを液晶層506に継続的に印加することが可能である。すなわち、液晶駆動電圧VLCの極性は映像信号電圧Vsの極性に関係なく反転され、液晶分子の偏在化を生じない正常な表示動作を継続できる。従来において例えば静止画表示の期間には、映像信号電圧Vsを変化させる必要がないにもかかわらず、例えば映像信号の1フレーム期間に一致する周期で映像信号電圧Vsの極性を反転させて液晶駆動電圧VLCの極性を反転させる必要があった。しかし、本実施形態では、映像信号の1フレーム期間よりも長い液晶リフレッシュ周期で液晶駆動電圧VLCの極性を反転させ、垂直走査回路VDRVおよび水平駆動回路HDRVのドライバLSIの駆動動作をサスペンドすることが可能である。従って、このドライバLSIによる消費電力を大幅に削減できる。

20

30

【0035】

また、水平駆動回路HDRVのドライバLSIは単極性の映像信号電圧Vsを映像信号配線12に出力するだけでよいため、その最大値は実質的に電源回路PWの最大出力電圧の制約しか受けない。この場合、水平駆動回路HDRVのドライバLSIは従来のように正極、負極両方のアナログ電圧を出力できるように構成される必要がないため、通常の低耐圧CMOSプロセスでドライバLSIを製造してこのドライバLSIの低コスト化を図ることができる。また、映像信号電圧Vsの単極性化に伴う振幅の減少はドライバLSIの消費電力を大幅に削減するだけでなく、映像信号配線12と上記画素電極13、13'間に存在する寄生容量により発生するクロストーク電圧を小さくすることもできる。この場合、縦スミアと呼ばれる縦方向の画像のシャドウイングが低減されるため、画質向上が期待できる。

40

【0036】

上記の例では走査配線10に供給する選択パルスの周期は200msとして説明したが、これは一例であって、補助容量Csにより電位を保持できる範囲であればこれより長くしてもよいし、逆に従来と同様に16.7msとしてもよい。

【0037】

図6は図3に示す画素回路Pxの平面構造を示す。この画素回路Pxは、列方向に一致する垂直方向において2本の隣接走査配線10間に位置し、行方向に一致する水平方向において2本の隣接映像信号配線12および第1および第2の電源配線190、191間に位置する画素領域内に配置される。この画素領域のピッチは、水平方向において例えば7

50

4 μm であり、垂直方向において例えば222 μm である。上記画素電極13、13'、サンプリグトランジスタN1、上記ドライブトランジスタN2、N3、および補助容量Csはこの画素領域において図6に示すようにレイアウトされている。サンプリグトランジスタN1のドレインおよびソースは、映像信号配線12および接続電極17に1対のコンタクトスルーホールCONT1を介してそれぞれ接続される。接続電極17はドライブトランジスタN2、N3のゲート電極を兼ねる接続電極14にコンタクトスルーホールCONT1を介して接続される。

【0038】

ドライブトランジスタN2のドレインおよびソースは電源配線190の一部である電源端子T1および接続電極15に1対の1コンタクトスルーホールCONT1を介してそれぞれ接続される。ドライブトランジスタN3のドレインおよびソースは、上記電源配線191の一部である電源端子T2および接続電極16にそれぞれ接続される。画素電極13、13'は接続電極15、16に1対のコンタクトスルーホールCONT2を介してそれぞれ接続される。補助容量Csは、上記ドライブトランジスタN2、N3のゲート電極間の接続電極14と共通電極配線GNDとの容量結合により形成され、ゲート電圧を一定期間保持できる容量を有する。尚、リーク電流を抑制するため、サンプリグトランジスタN1はチャンネル幅1.5 μm およびチャンネル長3 μm +3 μm のダブルゲートNMOSTランジスタとして構成され、上記ドライブトランジスタN2、N3はチャンネル幅1.5 μm 、チャンネル長1.5 μm +1.5 μm のダブルゲートNMOSTランジスタとして構成される。上記画素電極13、13'は図6に示すように屈曲して相互に咬合する櫛歯状の平面パターンを有するITO等の透明電極で構成される。これら上記画素電極13、13'では、各櫛歯の幅が3 μm に設定される。上記画素電極13、13'間のギャップ、すなわち2本の隣接櫛歯の距離は7 μm に設定される。櫛歯の屈曲は、特定の視野角における表示色の変化を防止でき、視野角特性を向上できる。上記画素電極13、13'はそれぞれ上記電源配線190、191に重なるように広がって形成され、保護絶縁膜22により上記電源配線190、191から絶縁される。

【0039】

図7、図8、および図9はそれぞれ、図6に示すX-X'線、Y-Y'線、およびZ-Z'線に沿った画素回路PXの断面構造を示す。この支持基板SB1では、ガラス基板1が歪点約670℃の無アルカリガラスからなり、膜厚50nmのSiNx膜201および膜厚100nmのSiO₂膜200がガラス基板1上にバッファ絶縁膜として形成される。このバッファ絶縁膜はガラス基板1からのNa等の不純物の拡散を防止する役割を持つ。

【0040】

上記トランジスタN1、N2、N3および共通電極配線GNDは、SiO₂膜200上に形成されパターニングにより複数の部分に分割される膜厚200nmの単結晶シリコン膜30を用いて構成される。上記トランジスタN1、N2、N3の単結晶シリコン膜30には、ゲート電極の下方に位置するチャンネル領域、並びにこのチャンネル領域の両側に配置されるn+型のソース領域およびドレイン領域が設けられる。単結晶シリコン膜30は膜厚30nmのSiO₂からなるゲート絶縁膜20により覆われ、走査配線10がサンプリグトランジスタN1のゲート電極を兼ねてゲート絶縁膜20上に形成される。また、接続電極14が上記ドライブトランジスタN2、N3のゲート電極を兼ねてゲート絶縁膜20上に形成される。走査配線10および接続電極14はタングステンWで構成される。接続電極14はゲート絶縁膜20を介して共通電極配線GNDの一部に重なり、この重なりによって補助容量Csを構成する。走査配線10および接続電極14はSiO₂からなる層間絶縁膜21により全体的に覆われる。コンタクトスルーホールCONT1は層間絶縁膜21または層間絶縁膜21およびゲート絶縁膜20を貫通して形成される。映像信号配線12、接続電極15、16、17、第1および第2電源配線190、191は層間絶縁膜21上に形成されるMo/Al/Moの3層金属膜であり、SiNxからなる保護絶縁膜22により全体的に覆われる。画素電極13、13'は図8および図9に示すようにこの

保護絶縁膜 22 上に形成される。コンタクトスルーホール CON T 2 はこの保護絶縁膜 22 を貫通して形成される。

【0041】

ここで、上述の液晶表示装置の具体的な製造工程について説明する。

【0042】

厚さ 500 μm 、幅 750 mm、幅 950 mm の歪点約 670 $^{\circ}\text{C}$ の無アルカリガラス基板 1 を洗浄後、 SiH_4 と NH_3 と N_2 の混合ガスを用いたプラズマ CVD 法により膜厚 50 nm の SiN_x 膜 201 を形成する。次に、 SiH_4 と N_2O と He の混合ガスを用いたプラズマ CVD 法により膜厚 100 nm の SiO_2 膜 200 を形成する。

【0043】

次に、 SiH_4 、 Ar の混合ガスを用いたプラズマ CVD 法によりほぼ真性の水素化非晶質シリコン膜を 200 nm 形成する。成膜温度は 400 $^{\circ}\text{C}$ で、成膜直後水素量は約 5 atom % である。次に基板を 450 $^{\circ}\text{C}$ で約 30 分アニールすることにより、水素化非晶質シリコン膜中の水素を放出させる。

【0044】

次に、キャップ膜として SiH_4 と NH_3 と O_2 の混合ガスを用いたプラズマ CVD 法により膜厚 300 nm のキャップ SiON 膜を形成する。以上のプラズマ CVD およびアニールの工程は基板を大気に晒すことなく真空中で一貫処理される。

【0045】

次に、非晶質シリコン膜の単結晶化工程を行う。この単結晶化工程は、KrF エキシマレーザ光源を利用したレーザアニール法が望ましい。このレーザアニール法は、ホモジナイザで光強度が均一化された入射レーザ光を位相変調して逆ピーク状光強度分布のレーザ光を透過する位相シフタを光学系に配置した結晶化装置による結晶化が最適である。この結晶化装置による結晶化は、レーザ光のエネルギーを照射面が非晶質シリコン膜の熔融温度以上になるエネルギーに設定することにより、1 又は複数個のトランジスタを形成できる大きさの結晶化領域を形成することができる。結晶化領域にトランジスタを形成することは、トランジスタのスイッチング速度を高速化することができる。

【0046】

大粒径の結晶化は、上記均一化されたレーザ光を位相変調された逆ピーク状光強度分布のレーザ光にして照射すること、および上記非晶質シリコン膜上に形成されたキャップ膜の蓄熱効果により結晶化が水平方向に成長することによるものである。

【0047】

この結晶化は、上記非晶質シリコン膜の全域を結晶化する方法もあるが、大型液晶表示装置の画素回路 Px の形成領域が、数十 cm^2 程度の広い画面になる場合もあり、また非晶質シリコン膜の方が好ましい用途がある領域もある。従って、例えば各画素回路 Px の上記トランジスタ N1、N2、N3 形成領域のみに選択的に単結晶化工程を実施することができる。

【0048】

即ち、予め上記非晶質シリコン膜のトランジスタ N1、N2、N3 形成領域を定めて登録しておき、その領域を上記位相変調された逆ピーク状光強度分布のレーザ光を照射位置に順次位置合わせしてレーザ照射する。このような工程を繰り返すことにより所望する大きさの非晶質シリコン膜に島状に結晶化領域を形成することができる。選択的結晶化工程は、レーザ光側を移動させてもよい。

【0049】

即ち、波長 248 nm のパルスエキシマレーザ光を照射することにより、非晶質シリコン膜を熔融再結晶化させて部分的に単結晶化されたシリコン膜 30 を得る。このとき、できるだけ大きな面積を持つ単結晶化領域を得るために、上記したエキシマレーザ光は適当なパターンを持つ位相シフタを用いて基板表面でのレーザビーム強度に空間分布を持たせて、横（水平）方向の温度傾斜を与える手法を採用した。これにより、横方向の結晶成長が喚起され、1 辺約 4 μm の大きさのほぼ矩形の単結晶領域のアレイを得ることができた

10

20

30

40

50

。

【0050】

次に、緩衝フッ酸によりキャップ（SiON）膜を除去し、通常の写真リソグラフィ法によりシリコン膜30を所定のパターンに加工する。

【0051】

次に、KrとO₂の混合ガス中でのプラズマ酸化により膜厚4nmの酸化膜をシリコン膜30表面に形成し、続いて、テトラエトキシシランとO₂の混合ガスを用いたプラズマCVD法により、膜厚24nmのSiO₂膜を形成して2層積層型のゲート酸化膜を得る。

。

【0052】

次に、イオン注入法によりボロン（B⁺）を加速電圧20KeV、ドーズ量 $1 \times 10^{11} \text{ cm}^{-2}$ で注入する。ボロンはTFTのしきい値電圧を調整するためのものである。

【0053】

次にスパッタリング法により、タングステン膜を250nm形成後、通常の写真リソグラフィ法により所定のレジストパターンをタングステン膜上に形成し、CF₄を用いたリアクティブイオンエッチング法によりW膜を所定の形状に加工し走査配線を得る。エッチングに用いたレジストパターンを残したまま、イオン注入法によりリン（P）イオンを加速電圧40KeV、ドーズ量 $1 \times 10^{15} \text{ cm}^{-2}$ で打ちこみ、Nチャネル薄膜トランジスタのソースおよびドレイン領域を形成する。

【0054】

次に、レジストパターンを残したまま、基板を混酸で処理し、加工されたMo電極をサイドエッチングしパターンをスリミングし、レジストを除去した後、イオン注入法によりPイオンを加速電圧40KeV、ドーズ量 $1 \times 10^{13} \text{ cm}^{-2}$ で打ちこみ、NチャネルTFTのLDD領域を形成する。LDD領域の長さは混酸によるサイドエッチング時間によって制御される。

【0055】

フォトレジストを除去した後、基板にエキシマランプまたはメタルハライドランプの紫外光照射によるラピッドサーマルアニール（RTA）法により打ち込んだ不純物を活性化する。

【0056】

次に、テトラエトキシシランと酸素の混合ガスを用いたプラズマCVD法により膜厚500nmのSiO₂を形成し層間絶縁膜21を形成する。所定のレジストパターンを形成後、CHF₃を用いたドライエッチング法により、層間絶縁膜21にコンタクトスルーホールを開孔する。続いて、スパッタリング法により、Tiを50nm、Al-Si-Cu合金を500nm、Tiを50nmで順次積層形成した後、所定のレジストパターンを形成後、BCl₃とCl₂の混合ガスを用いたリアクティブイオンエッチング法により一括エッチングし、映像信号配線12と接続電極、液晶駆動電源配線190、191等を得る。

【0057】

SiH₄とNH₃とN₂の混合ガスを用いたプラズマCVD法により膜厚400nmのSi₃N₄膜を形成して保護絶縁膜22とする。所定のフォトレジストレジストパターンを形成後、SF₆を用いたドライエッチング法により、保護絶縁膜22にコンタクトスルーホールを開孔する。

【0058】

続いて、スパッタリング法によりITO膜を70nm形成し、混酸を用いたウェットエッチングにより所定の形状に加工して第1および第2画素電極13、13'を得る。

【0059】

これ以降において液晶層等を形成する工程については、従来と同様である。

【0060】

この製造例では、単結晶シリコン膜が薄膜トランジスタの半導体層として用いられるため、基板内に形成される複数の薄膜トランジスタ間でしきい値電圧のばらつきを十分小さく

10

20

30

40

50

くでき、均一な画像表示が可能となる。

【0061】

また、この製造例では、単結晶化したシリコン膜が半導体層として用いた例について説明したが、トランジスタを形成する半導体膜は、例えば多結晶シリコンや非晶質シリコンを半導体層として用いてこの半導体層に薄膜トランジスタを構成してもよい。

【0062】

本実施形態では、上記画素電極13, 13'が液晶駆動電圧の印加に伴ってこれら電極平面、すなわち基板面に略平行な横方向電界を液晶層506内に生成する。このとき、液晶分子は基板面内で回転し、これにより透過光の偏光方向が制御される。すなわち、液晶分子を基板面に対して立ち上げずに画像を表示できるため、液晶分子の複屈折性に起因するコントラストの視野角依存性を実質的になくすることができ、視野角の広い高画質の液晶表示装置が得られる。

10

【0063】

図10はこの液晶表示装置の電圧輝度特性を示す。具体的には、図10には、画素電極13, 13'に印加される液晶駆動電圧に対する液晶層506の透過率の変化が示されている。ここで、誘電率の異方性 $\Delta\epsilon$ は正で、その値が7であり、屈折率の異方性 Δn が0.073のネマチック液晶が液晶層506の液晶組成物として用いられた。本実施形態では、誘電率異方性 $\Delta\epsilon$ が正の液晶を用いたが、負の液晶を用いてもよい。配向膜ORI1、ORI2は1度のプレチルト角を設定するように互いにほぼ平行なラビング方向でラビング処理されている。支持基板SB1, SB2間のギャップdは、球形のポリマビーズを液晶層506内に分散させることにより4.5 μm に設定されている。また、2枚の偏光板505に関し、一方の偏光板505の偏光透過軸はラビング方向にほぼ平行な85度とし、他方の偏光板505の偏光透過軸は一方の偏光板505の偏光透過軸に直交した-5度とした。これによりノーマリクローズ特性の液晶表示装置を得た。

20

【0064】

本実施形態では、液晶画素メモリが第1および第2電源端子T1, T2、第1および第2画素電極13, 13'、第1および第2ドライフトランジスタN2, N3により構成される。ここで、第1および第2画素電極13, 13'は液晶駆動電圧を液晶層506に印加して液晶層506内に横方向電界を生成する。第1および第2ドライフトランジスタN2, N3は映像信号を受け取るゲート電極、並びに第1電源端子T1および第1画素電極13間および第2電源端子T2および第2画素電極13'間にそれぞれ接続されるカレントパスを有し、映像信号に対応して変化するコンダクタンスにより設定される液晶駆動電圧は、第1および第2画素電極13, 13'間の液晶容量CLCに保持される。この液晶容量CLCは、液晶画素メモリとして機能する。

30

【0065】

第1および第2電源端子T1, T2の電位関係を適当な周期で繰り返し逆にするにより、第1および第2画素電極13, 13'間の液晶容量CLCに保持される液晶駆動電圧VLCの極性を反転させることができる。この場合、第1および第2ドライフトランジスタN2, N3のゲート電極に供給される映像信号を液晶駆動電圧VLCの極性を反転させるためにリフレッシュする必要がない。すなわち、映像信号電圧Vsに比例した液晶駆動電圧VLCを第1および第2画素電極13, 13'間の液晶容量CLCに保持させれば、この液晶駆動電圧VLCの極性反転は自動的に行われる。この結果、信号配線用ドライバLSI等の映像信号処理回路が駆動1フレーム分の映像信号を更新する頻度、すなわちリフレッシュレートを低減し、この映像信号回路での消費電力を低減できる。また、映像信号自体が周期的に極性反転される液晶駆動電圧VLCとして用いられることがないため、最大振幅が従来のは半分である単極性のアナログ電圧を映像信号として供給することが可能である。これにより、映像信号電圧Vsに応じて映像信号配線12を駆動するために消費される電力を低減でき、さらに映像信号回路の構成が簡単化されるためドライバLSIの製造コストを低減することも可能となる。また、映像信号配線12と上記電源配線190, 191とが平行に配置されているため、横方向電界ノイズを上記電源配線190, 1

40

50

91でシールドすることができる。また、上記画素電極13, 13'が上記電源配線190, 191に重なるように広がって形成されるため、開口率の減少を最小限にすることができる。

【0066】

(第2実施形態)

次に、本発明の第2実施形態に係る反射型アクティブマトリクス液晶表示装置について説明する。図11はこの反射型アクティブマトリクス液晶表示装置の画素回路PXの平面構造を示し、図12は図11に示すB-B'線に沿った画素回路PXの断面構造を示す。

【0067】

この液晶表示装置は、外光を反射させるための電極構造を有することを除いて第1実施形態の液晶表示装置と実質的に同様に構成される。図11および図12では、第1実施形態と同様の部分を同一参照符号で表し、例えば膜材料や積層構造等の詳細な説明を省略する。

【0068】

また、液晶表示装置は図2および図3を参照して説明した回路構造を有するが、第1実施形態の第1の画素電極13および第2の画素電極13'はそれぞれ画素電極130および反射電極150に置き換えられる。第1の画素電極130は図11に示すように屈曲した櫛歯状の平面パターンを有するITO等の透明電極で構成され、液晶層506を介して入射する外光を透過する。各櫛歯の幅は3 μ mに設定され、2本の隣接する櫛歯の距離は7 μ mに設定される。櫛歯の屈曲は、第1実施形態と同様に特定の視野角における表示色の変化を防止でき、視野角特性を向上できる。第1の画素電極130は上記電源配線190, 191に重なるように広がって形成され、保護絶縁膜22により上記電源配線190, 191から絶縁される。反射電極150は、図11に示すように上記画素電極130の櫛歯全体に重なるように配置された金属膜であり、この上記画素電極130を透過した外光を反射する。図12では、Mo/Al/Moの3層金属膜が反射電極150として層間絶縁膜21上に形成されている。ちなみに、反射電極150はゲート絶縁膜20上に形成されたタングステンWの金属膜であってもよい。上記画素電極130はドライブトランジスタN2のカレントパス介して電源端子T1に接続され、反射電極150はドライブトランジスタN3のカレントパスを介して電源端子T2に接続される。この場合、液晶層506は上記画素電極130と反射電極150の間に生成されるフリンジ電界によって駆動される。このフリンジ電界は液晶層506において実質的に横方向電界である。

【0069】

本実施形態では、反射光を利用して画像を表示する反射型アクティブマトリクス液晶表示装置において第1実施形態と同様の効果を得ることができる。また、バックライトBLが不要となるため、このバックライトBLによる消費電力分を表示装置全体の消費電力から低減できる。また、上記画素電極130が上記電源配線190, 191に重なるように広がって形成されるため、開口率を向上させることができる。

【0070】

(第3実施形態)

次に、本発明の第3実施形態に係る半透過型アクティブマトリクス液晶表示装置について説明する。図13はこの半透過型アクティブマトリクス液晶表示装置の画素回路PXの平面構造を示し、図14は図13に示すB-B'線に沿った液晶表示装置の断面構造を示す。

【0071】

この液晶表示装置は、バックライト光を透過し外光を反射させるための電極構造を有することを除いて第1実施形態の液晶表示装置と実質的に同様に構成される。図13および図14では、第1実施形態と同様の部分を同一参照符号で表し、例えば膜材料や積層構造等の詳細な説明を省略する。

【0072】

また、液晶表示装置は図2および図3を参照して説明した回路構造を有するが、反射電

極 150 が第 1 実施形態の上記画素電極 13, 13' に加えて設けられる。上記画素電極 13, 13' は図 13 に示すように屈曲した櫛歯状の平面パターンを有する ITO 等の透明電極で構成され、液晶層 506 を介して入射する外光およびバックライト BL からのバックライト光を透過する。上記画素電極 13, 13' は、第 1 実施形態と同様であるが、図 13 に示すように屈曲して相互に咬合する櫛歯状の平面パターンを有する ITO 等の透明電極で構成される。これら上記画素電極 13, 13' では、各櫛歯の幅が 3 μ m に設定される。上記画素電極 13, 13' 間のギャップ、すなわち 2 本の隣接櫛歯の距離は 7 μ m に設定される。櫛歯の屈曲は、特定の視野角における表示色の変化を防止でき、視野角特性を向上できる。上記画素電極 13, 13' はそれぞれ上記電源配線 190, 191 に重なるように広がって形成され、保護絶縁膜 22 により上記電源配線 190, 191 から 10 絶縁される。反射電極 150 は、第 2 実施形態とは違って、図 13 に示すように画素電極 13, 13' の櫛歯の約半分に重なるように配置された金属膜であり、第 2 実施形態と同様に画素電極 13, 13' を透過した外光を反射する。図 14 では、タングステン W の金属膜が反射電極 150 としてゲート絶縁膜 20 上に形成されている。ちなみに、反射電極 150 は層間絶縁膜 21 上に形成された Mo / Al / Mo の 3 層金属膜であってもよい。この液晶表示装置では、反射電極 150 によって占有される画素領域の部分が反射表示部を構成し、この反射表示部を除いた画素領域の部分が透過表示部を構成する。画素電極 13 はドライブトランジスタ N2 のカレントパス介して電源端子 T1 に接続され、画素電極 13' はドライブトランジスタ N3 のカレントパスを介して電源端子 T2 に接続され、反 20 射電極 150 はコンタクトスルーホールを介して接地電位の共通電極配線 GND に接続される。この場合、液晶層 506 は上記画素電極 13, 13' 間に生成される横方向電界と、これら上記画素電極 13, 13' および反射電極 150 間に生成され液晶層 506 において実質的に横方向電界となるフリンジ電界とによって駆動される。これにより、上記画素電極 13, 13' 間の電界をより均一にすることができるので、良好な表示画像を得ることができる。

【0073】

本実施形態では、透過光および反射光を利用して画像を表示する半透過型アクティブマトリクス液晶表示装置において第 1 実施形態と同様の効果を得ることができる。

【0074】

図 15 はこの液晶表示装置の電圧輝度特性を示す。図 15 において、b は透過表示部に 30 得られる透過率の液晶駆動電圧依存性を表し、c は反射表示部に得られる反射率の液晶駆動電圧依存性を表す。反射表示と透過表示ともに良好な電圧輝度特性が得られている。

【0075】

このように反射光および透過光を併用する半透過型液晶表示装置は屋外で使用されることの多い携帯電話や携帯端末等の小型機器に適したものであり、本実施形態の画素構造を利用することにより、駆動電圧を低減できるので機器を低消費電力化できる。また横電界駆動方式の特長である広い視野角も得られるので、良質な画像表示が可能となる。

【0076】

(第 4 実施形態)

次に、本発明の第 4 実施形態に係るアクティブマトリクス液晶表示装置について説明する。図 16 はこのアクティブマトリクス液晶表示装置においてマトリクス状に配置される 40 複数の画素回路 PX のうちの 1 個の等価回路を示し、図 17 は図 16 に示す画素回路 PX の電圧入出力特性を示す。

【0077】

この液晶表示装置は、画素回路 PX が PMOS 構造の薄膜トランジスタ (TFT) を用いて構成されることを除いて第 1 実施形態の液晶表示装置と実質的に同様に構成される。図 16 および図 17 では、第 1 実施形態と同様の部分を同一参照符号で表し、その詳細な説明を省略する。

【0078】

具体的には、図 16 に示すサンプリングトランジスタ P1 および第 1 および第 2 ドライ 50

ブトランジスタ P 2, P 3 が P チャンネル薄膜トランジスタで構成される。図 1 7 では、横軸が映像信号配線から入力される映像信号電圧 V_s を表し、縦軸が一对の画素電極 1 3、1 3' 間に印加される液晶駆動電圧 V_{LC} を表す。

【0079】

上記トランジスタ P 1, P 2, P 3 が PMOS 構造である場合には、負の入力ゲート電圧によりこれらトランジスタを駆動することができる。液晶駆動電圧 V_{LC} の絶対値は入力ゲート電圧、すなわち映像信号電圧 V_s よりドライブトランジスタ P 2, P 3 のしきい電圧 V_t だけ低下し、しきい値電圧 V_t 未満の映像信号電圧 V_s に対して 0 V となる。

【0080】

特にドライブトランジスタ P 2, P 3 をソース、ドレイン耐圧が高い PMOS 構造とすることにより、より大きな液晶駆動電圧を液晶層 5 0 6 に印加することができる。また、PMOS 構造は NMOS 構造に比べホットキャリアによる劣化が生じにくいいため、高い信頼性の液晶表示装置を得ることができる。

【0081】

(第 5 実施形態)

次に、本発明の第 5 実施形態に係るアクティブマトリクス液晶表示装置について説明する。図 1 8 はこの液晶表示装置の画面部分の平面構造を概略的に示し、図 1 9 は図 1 8 に示す画素回路 P X の平面構造を示す。

【0082】

この液晶表示装置は、電源配線構造が複数の画素回路 P X によって生成される横方向電界が同一の向きにならないように変更されることを除いて第 1 実施形態の液晶表示装置と実質的に同様に構成される。図 1 8 および図 1 9 では、第 1 実施形態と同様の部分を同一参照符号で表し、その詳細な説明を省略する。

【0083】

この液晶表示装置では、第 1 および第 2 電源配線 1 9 0、1 9 1 が、走査配線 1 0 と平行に配置される。さらに、これら電源配線 1 9 0、1 9 1 の位置関係が電源端子 T 1, T 2 を入れ替えるために隣接行の画素回路 P X 間で逆に設定される。すなわち、N 行目の画素回路 P X については、電源配線 1 9 0 がドライブトランジスタ N 2 のドレインに接続される電源端子 T 1 を構成し、電源配線 1 9 1 がドライブトランジスタ N 3 のドレインに接続される電源端子 T 2 を構成する。これに対して、(N + 1) 行目の画素回路 P X については、電源配線 1 9 0 がドライブトランジスタ N 3 のドレインに接続される電源端子 T 2 を構成し、電源配線 1 9 1 がドライブトランジスタ N 2 のドレインに接続される電源端子 T 1 を構成する。

【0084】

一般に、横電界駆動モードに限らず、全ての行について同じ向きの横方向電界が生成されると、極性反転時に生じる電圧輝度特性（液晶駆動電圧に対する透過率または反射率）のわずかな非対称性によってフリッカが発生しやすい。

【0085】

しかし、本実施形態の構成によれば、逆向きの横方向電界が隣接行の画素回路 P X によって生成されるため、このようなフリッカを防止できる。

【0086】

(第 6 実施形態)

次に、本発明の第 6 実施形態に係るアクティブマトリクス液晶表示装置について説明する。図 2 0 はこの液晶表示装置の平面構造を概略的に示す。

【0087】

この液晶表示装置は、画素回路内配線構造が複数の画素回路 P X によって生成される横方向電界が同一の向きにならないように変更されることを除いて第 1 実施形態の液晶表示装置と実質的に同様に構成される。図 2 0 では、第 1 実施形態と同様の部分を同一参照符号で表し、その詳細な説明を省略する。

【0088】

この液晶表示装置では、第1および第2電源配線190、191が第1実施形態と同様に映像信号配線12に平行に配置されている。この場合、上記電源配線190、191を第5実施形態のように走査配線10と平行に配置する代わりに、ドライブトランジスタN2、N3のドレイン配線が第1および第2電源端子T1、T2を構成する上記電源配線190、191を入れ替えるために隣接行および隣接列の画素回路PX間で逆に設定される。すなわち、N行M列目および(N+1)行(M+1)列目の画素回路PXについては、ドライブトランジスタN2のドレインが電源配線190により構成される電源端子T1に接続され、ドライブトランジスタN3のドレインが電源配線191により構成される電源端子T2に接続される。これに対して、(N+1)行M列目およびN行(M+1)列目の画素回路PXについては、ドライブトランジスタN2のドレインが電源配線191により構成される電源端子T1に接続され、ドライブトランジスタN3のドレインが電源配線190により構成される電源端子T2に接続される。

10

【0089】

これにより、逆向きの横方向電界が隣接行および隣接列の画素回路PXによって生成される。すなわち、通常のTNモード液晶におけるドット反転駆動と同様な構成をハードウェア的に実現し、第5実施形態と同様にフリッカを防止することができる。

【0090】

尚、ここでは、4個の隣接画素回路PXが1グループとして取り扱われているが、このグループを構成する画素回路PXの組み合わせおよび数は任意に変更してよい。

【0091】

20

(第7実施形態)

次に、本発明の第7実施形態に係るアクティブマトリクス液晶表示装置について説明する。図21はこの液晶表示装置の平面構造を概略的に示す。

【0092】

この液晶表示装置は、複数の画素回路PXをランダムアクセスする構造を有することを除いて第1実施形態の液晶表示装置と実質的に同様に構成される。図21では、第1実施形態と同様の部分を同一参照符号で表し、その詳細な説明を省略する。

【0093】

この液晶表示装置では、図21に示すように、支持基板SB1が複数の画素回路PXの行に沿って配置される複数のYアドレス配線YL、複数の画素回路PXの列に沿って配置される複数のXアドレス配線XL、複数のYアドレス配線YLを駆動するYアドレスデコーダYAS、複数のXアドレス配線XLを駆動するXアドレスデコーダXAS、並びにYアドレスデコーダYASおよびXアドレスデコーダXASを制御するアドレスデコーダADDをさらに備える。また、複数の画素回路PXの各々は1本のYアドレス配線YLおよび1本のXアドレス配線XLに接続された2入力端およびサンプリングトランジスタN1のゲート電極に接続される出力端を持つNANDゲート回路400を有する。アドレス信号は外部からアドレスバスを介してアドレスデコーダADDに供給され、1画素分の映像信号がこのアドレス信号に同期して水平駆動回路HDRVに供給される。水平駆動回路HDRVはこの1画素分の映像信号を単位として複数の映像信号線12の一本に映像信号電圧Vsを出力可能に構成されている。第1実施形態では、図2に示す複数の走査配線10および垂直走査回路VDRVが支持基板SB1に設けられたが、これらは本実施形態において不要である。

30

40

【0094】

アドレス信号がデコーダADDに入力されると、デコーダADDはこのアドレス信号をYアドレス信号およびXアドレス信号に分割し、これらXアドレス信号およびYアドレス信号をYアドレスデコーダYASおよびXアドレスデコーダXASに供給する。YアドレスデコーダYASは複数のYアドレス配線YLからYアドレス信号によって特定される1本を選択し、このYアドレス配線YLに選択信号を出力する。他方、XアドレスデコーダXASは複数のXアドレス配線XLからXアドレス信号によって特定される1本を選択し、このXアドレス配線XLに選択信号を出力する。各画素回路PXのNANDゲート回路

50

400は2入力端の両方に供給された選択信号に応答してサンプリングトランジスタN1を駆動する。これにより、サンプリングトランジスタN1は水平駆動回路HDRVから映像信号配線12に出力された映像信号電圧Vsを補助容量Csにサンプリングし、これをドライブトランジスタN2、N3のゲート電極に供給する。

【0095】

この液晶表示装置では、複数の画素回路PXのうちの1つをランダムアクセスすることができるため、既に表示されている1フレーム分の画像のうちで輝度変化を必要とする画素についてのみ映像信号電圧Vsの更新を行うことができる。この場合、輝度変化を必要としない他の画素に対する映像信号を外部から液晶表示装置に供給する必要がないため、映像信号の転送レートを大幅に低減できる。従って、液晶表示装置全体の消費される電力を低減することができる。 10

【0096】

さらに、上述の実施形態の薄膜トランジスタはレーザ結晶化装置によって行われる非単結晶半導体膜の再結晶化の結果として得られる単結晶半導体膜を用いて形成されてもよい。このレーザ結晶化装置は、例えば図33に示すように構成される。このレーザ結晶化装置では、結像光学系139Bが位相シフタPSと薄膜半導体基板114Sとの間に配置され、位相シフタPSと薄膜半導体基板114Sとが結像光学系139Bを介して光学的に共役に配置される。すなわち、薄膜半導体基板114Sは、位相シフタPSと光学的に共役な面（結像光学系139Bの像面）に設定されている。結像光学系139Bは、その瞳面に配置された開口絞り139BAを備える。開口絞り139BAは、開口部（光透過部）の大きさの異なる複数の開口絞りを有し、これらの複数の開口絞りは光路に対して交換可能に構成される。また、開口絞り139BAは開口部の大きさを連続的に変化させることのできる虹彩絞りを有するように構成されてもよい。いずれにしても、開口絞り139BAの開口部の大きさ（ひいては結像光学系139Bの像側開口数NA）は、薄膜半導体基板114Sの半導体薄膜114上において所要の逆ピークパターンの光強度分布を発生させるように設定されている。なお、結像光学系139Bは、屈折型の光学系であってもよいし、反射型の光学系であってもよいし、屈折反射型の光学系であってもよい。 20

【図面の簡単な説明】

【0097】

【図1】本発明の第1実施形態に係る透過型アクティブマトリクス液晶表示装置の断面構造を示す図である。 30

【図2】図1に示す液晶表示装置の平面構造を概略的に示す図である。

【図3】図2に液晶表示装置においてトリクス状に配置される複数の画素回路のうちの1個の等価回路を示す図である。

【図4】図3に示す画素回路の電圧入出力特性を示すグラフである。

【図5】図3に示す画素回路の動作説明するためのタイムチャートである。

【図6】図3に示す画素回路の平面構造を示す。

【図7】図6に示すX-X'線に沿った画素回路の断面構造を示す図である。

【図8】図6に示すY-Y'線に沿った画素回路の断面構造を示す図である。

【図9】図6に示すZ-Z'線に沿った画素回路の断面構造を示す図である。 40

【図10】図1に示す液晶表示装置の電圧輝度特性を示す図である。

【図11】本発明の第2実施形態に係る反射型アクティブマトリクス液晶表示装置の画素回路の平面構造を示す図である。

【図12】図11に示すB-B'線に沿った画素回路の断面構造を示す図である。

【図13】本発明の第3実施形態に係る半透過型アクティブマトリクス液晶表示装置の画素回路の平面構造を示す図である。

【図14】図13に示すB-B'線に沿った液晶表示装置の断面構造を示す図である。

【図15】図14に示す液晶表示装置の電圧輝度特性を示すグラフである。

【図16】本発明の第4実施形態に係るアクティブマトリクス液晶表示装置においてマトリクス状に配置される複数の画素回路のうちの1個の等価回路を示す図である。 50

【図 17】図 16 に示す画素回路の電圧入出力特性を示すグラフである。

【図 18】本発明の第 5 実施形態に係るアクティブマトリクス液晶表示装置の画面部分の平面構造を概略的に示す図である。

【図 19】図 18 に示す画素回路の平面構造を示す図である。

【図 20】本発明の第 6 実施形態に係るアクティブマトリクス液晶表示装置の平面構造を概略的に示す図である。

【図 21】本発明の第 7 実施形態に係るアクティブマトリクス液晶表示装置の平面構造を概略的に示す図である。

【図 22】非単結晶半導体膜を薄膜トランジスタを形成するために用いられる単結晶半導体膜に再結晶化するレーザ結晶化装置を示す図である。

【符号の説明】

【0098】

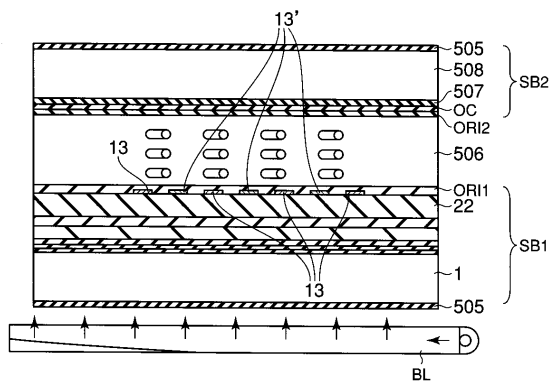
1, 508…ガラス基板、10…走査配線、12…映像信号配線、13, 13'…画素電極、GND…共通電極配線、190, 191…電源配線、14, 15, 16, 17…接続電極、N1, P1…サンプリングトランジスタ、N2, N3, P2, P3…ドライブトランジスタ、Cs…補助容量、CLC…液晶容量、130…画素電極、150…反射電極、30…半導体層、VDRV…垂直走査回路、HDRV…水平駆動回路、PW…電源回路、505…偏光板、506…液晶層、507…カラーフィルタ層、OC…カラーフィルタ保護層、ORI1、ORI2…配向膜、SB1, SB2…支持基板、BL…バックライト。

10

20

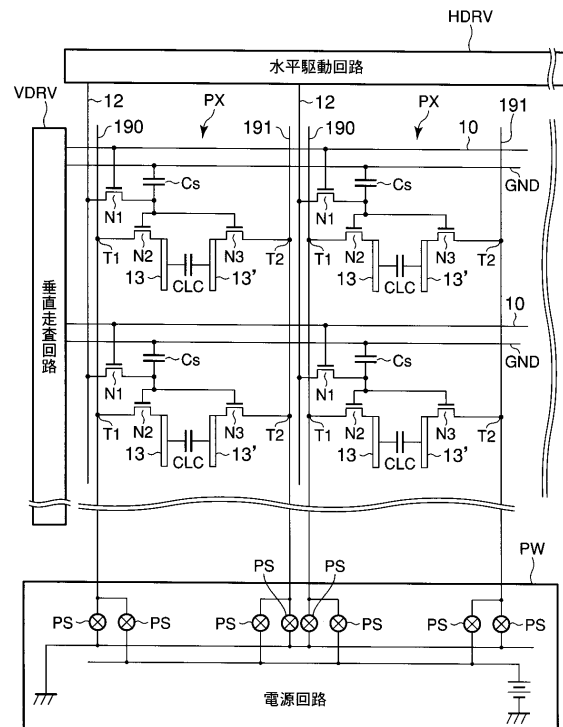
【図 1】

図 1



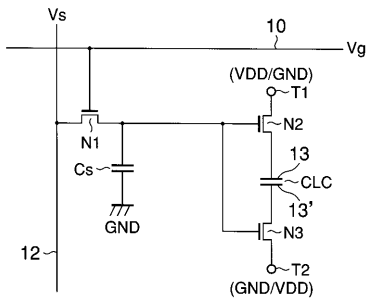
【図 2】

図 2



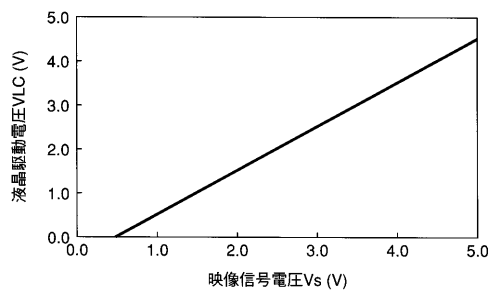
【図 3】

図 3



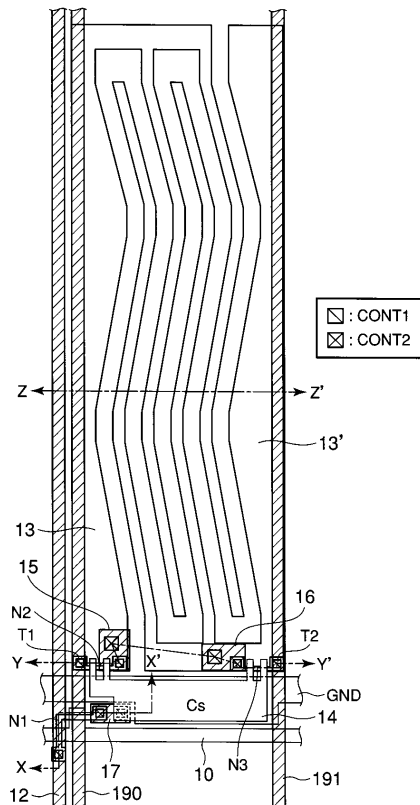
【図 4】

図 4



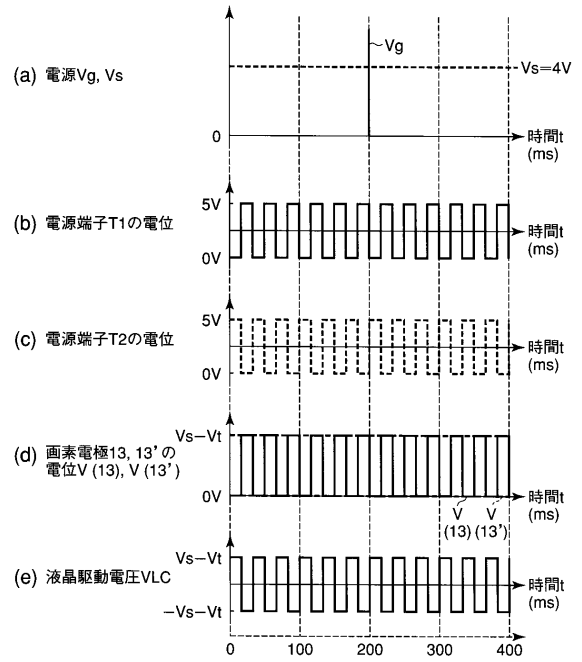
【図 6】

図 6



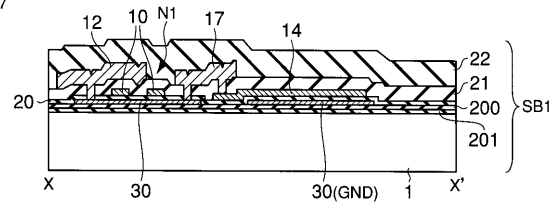
【図 5】

図 5



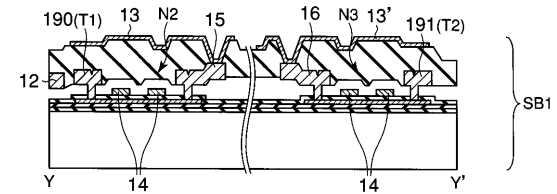
【図 7】

図 7



【図 8】

図 8



【図 9】

図 9

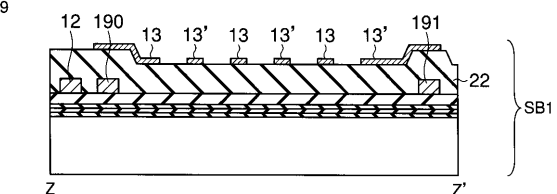


图 10

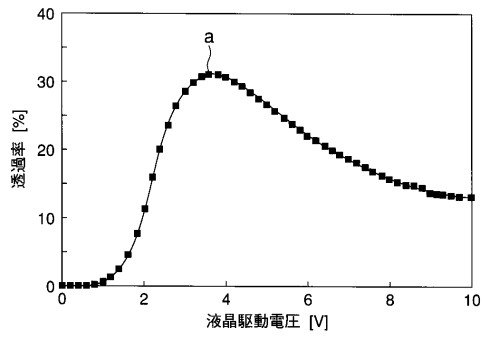


图 11

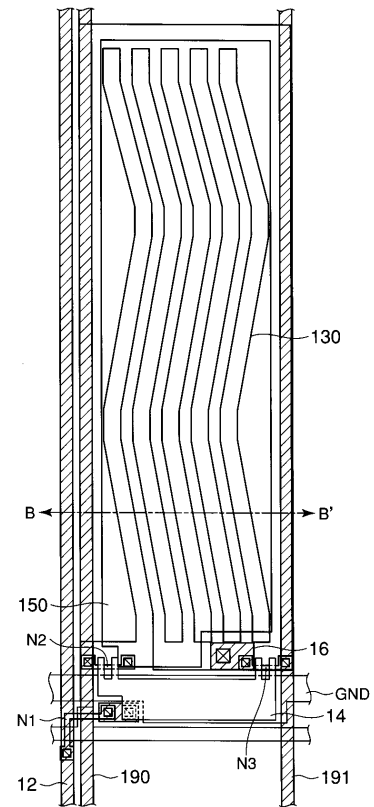


图 12

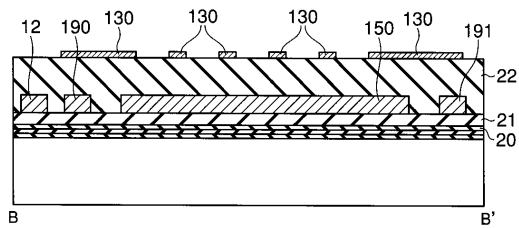
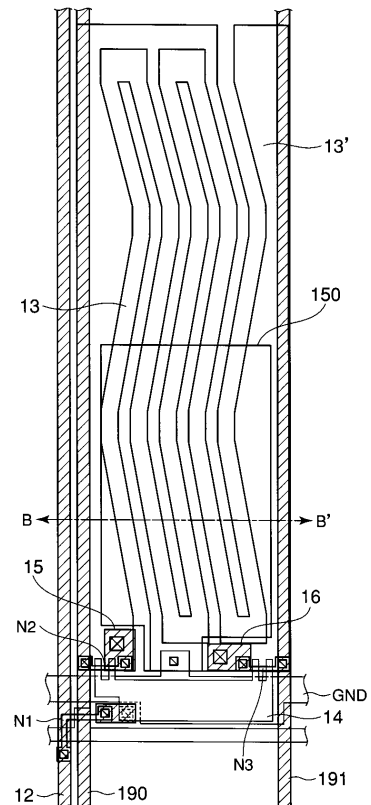
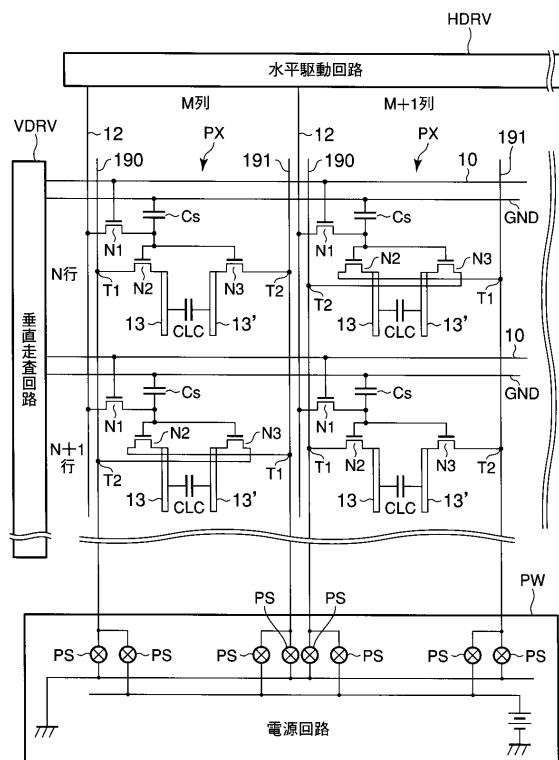


图 13



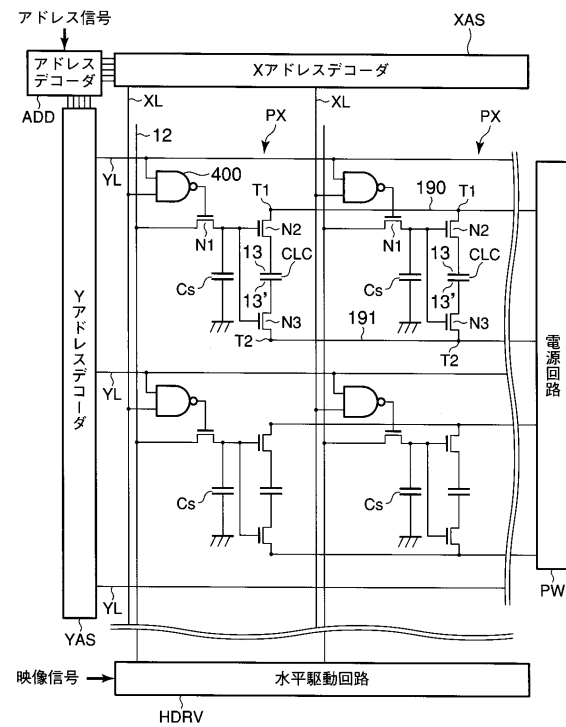
【図 20】

図 20



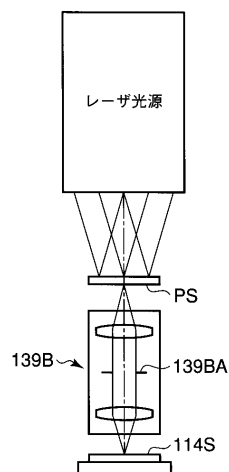
【図 21】

図 21



【図 22】

図 22



フロントページの続き(51)Int.Cl.⁷

F I

テーマコード (参考)

G 0 9 G	3/20	6 2 1 M
G 0 9 G	3/20	6 2 4 B
G 0 9 G	3/20	6 2 4 C
G 0 9 G	3/20	6 8 0 G

(74)代理人 100084618

弁理士 村松 貞男

(74)代理人 100092196

弁理士 橋本 良郎

(72)発明者 河内 玄士朗

神奈川県横浜市戸塚区吉田町 2 9 2 番地 株式会社液晶先端技術開発センター内

F ターム(参考) 2H093 NA16 NA33 NA53 NC03 NC10 NC12 NC15 NC34 NC35 NC40

NC49 ND04 ND06 ND39 NE03 NF04

5C006 AA16 AC11 AC24 AC26 AF42 AF43 AF69 BA19 BB16 BC02

BC06 FA47

5C080 AA10 BB05 DD26 EE29 FF11 JJ03 JJ04 JJ05 JJ06

专利名称(译)	液晶像素存储器，液晶显示装置及其驱动方法		
公开(公告)号	JP2005258416A	公开(公告)日	2005-09-22
申请号	JP2005019874	申请日	2005-01-27
[标]申请(专利权)人(译)	液晶先端技术开发中心股份有限公司		
申请(专利权)人(译)	有限公司先进的液晶技术开发中心		
[标]发明人	河内玄士朗		
发明人	河内 玄士朗		
IPC分类号	G02F1/133 G09G3/20 G09G3/36		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.611.A G09G3/20.612.E G09G3/20.621.B G09G3/20.621.M G09G3/20.624.B G09G3/20.624.C G09G3/20.680.G		
F-TERM分类号	2H093/NA16 2H093/NA33 2H093/NA53 2H093/NC03 2H093/NC10 2H093/NC12 2H093/NC15 2H093/NC34 2H093/NC35 2H093/NC40 2H093/NC49 2H093/ND04 2H093/ND06 2H093/ND39 2H093/NE03 2H093/NF04 5C006/AA16 5C006/AC11 5C006/AC24 5C006/AC26 5C006/AF42 5C006/AF43 5C006/AF69 5C006/BA19 5C006/BB16 5C006/BC02 5C006/BC06 5C006/FA47 5C080/AA10 5C080/BB05 5C080/DD26 5C080/EE29 5C080/FF11 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 2H193/ZA04 2H193/ZA19 2H193/ZC15 2H193/ZD23 2H193/ZF03 2H193/ZF22 2H193/ZF36 2H193/ZP03 2H193/ZQ16		
代理人(译)	河野 哲 中村诚		
优先权	2004032440 2004-02-09 JP		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供液晶像素存储器，液晶显示器及其驱动方法，通过它们可以在不增加功耗的情况下获得高图像质量。解决方案：液晶显示器包括一对支撑基板，保持在基板之间的液晶层，以及在其中一个基板上以矩阵排列的像素电路PX，并控制液晶分子的取向状态。具体地，每个像素电路PX包括第一和第二电源端子T1和T2，第一和第二像素电极13和13'，其将液晶驱动电压施加到液晶层以在液晶层中产生基本上横向的电场，第一和第二驱动晶体管N2和N3，分别具有用于接收视频信号的栅极，分别连接在第一电源端子T1和第一像素电极13之间以及第二电源端子T2和第二像素电极13'之间并且，使由根据视频信号变化的电导确定的液晶驱动电压保持在第一和第二像素电极13和13'之间的液晶电容中。Z

图12

