

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-341498

(P2004-341498A)

(43) 公開日 平成16年12月2日(2004.12.2)

(51) Int.Cl.⁷

G09G 3/36
G02F 1/133
G09G 3/20

F I

G09G 3/36
 G02F 1/133 550
 G09G 3/20 621A
 G09G 3/20 623F
 G09G 3/20 623G

テーマコード (参考)

2H093
 5C006
 5C080

審査請求 有 請求項の数 13 O L (全 12 頁) 最終頁に続く

(21) 出願番号 特願2004-106031 (P2004-106031)
 (22) 出願日 平成16年3月31日 (2004.3.31)
 (31) 優先権主張番号 92113173
 (32) 優先日 平成15年5月15日 (2003.5.15)
 (33) 優先権主張国 台湾 (TW)

(71) 出願人 501358079
 友達光電▼ふん▲有限公司
 台湾新竹科学工業園区新竹市力行二路1号
 (74) 代理人 100111774
 弁理士 田中 大輔
 (72) 発明者 葉 信宏
 台湾台北市安和路二段171巷9号6樓
 Fターム(参考) 2H093 NA16 NA43 NA53 NC09 NC11
 NC21 NC22 NC26 NC34 NC49
 ND43
 5C006 AF42 AF43 AF71 AF82 BB15
 BC12 BC23 BF03 BF04 BF26
 BF27 EB05 FA41
 5C080 AA10 BB05 DD22 DD25 FF11
 JJ02 JJ03 JJ04

(54) 【発明の名称】 デジタルデータドライバ (digital data driver) とそれを用いた液晶ディスプレイ

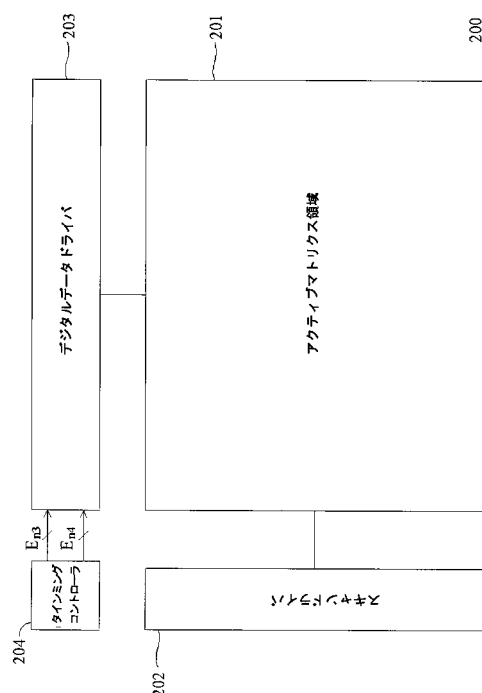
(57) 【要約】

【課題】 液晶ディスプレイ(LCD)の解像度が増加する場合における横方向のレイアウト領域の増加により生じる、ワイヤルーティングのレイアウト困難度を解決するためのデジタルデータドライバとLCDを提供する。

【解決手段】

本発明のデジタル型データドライバは、複数のデータラインを含み、それぞれ、第一期間で第一データラインと第二期間で第二データラインを伝送する。第一シフトレジスタは、第一期間で第一イネーブル信号を出力し、第二シフトレジスタは、第二期間で第二イネーブル信号を出力する。トランスミッションコントローラは、それぞれデータラインに接続され、第一及び第二イネーブル信号と、二つの外部信号である第三及び第四イネーブル信号に従って、二つの異なるDACに、第一データと第二データを出力する。本発明のデジタルデータドライバは、ラッチとDACとを分けるものである。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

第一期間で第一データを、第二期間で第二データをそれぞれ伝送する複数のデータラインと、

前記第一期間で、第一イネーブル信号を出力する第一シフトレジスタと、

前記第二期間で、第二イネーブル信号を出力する第二シフトレジスタと、

複数の前記データラインにそれぞれ接続され、第一から第四ラッチと第一インバータとを有する複数のトランスミッションコントローラと、からなるデジタルデータドライバであって、

各トランスミッションコントローラは、前記第一及び第二イネーブル信号に従って、前記第一データと前記第二データとを、前記第二ラッチと前記第一ラッチとにそれぞれ保存し、

各トランスミッションコントローラは、外部回路からの第三イネーブル信号に従って、前記第二ラッチに保存された前記第一データを、前記第四ラッチに出力するとともに、第一デジタル - アナログコンバータ (Digital to Analog Converter、以下 D A C と略す) に出力し、

各トランスミッションコントローラは、外部回路からの第四イネーブル信号に従って、前記第一ラッチに保存された前記第二データを、前記第三ラッチに出力し、前記第一インバータにより、第二 D A C に出力することを特徴とするデジタルデータドライバ。

【請求項 2】

前記トランスミッションコントローラは、更に、

平行に接続され、且つ、前記データラインの一端に接続された第一端と、前記第一ラッチの入力端に接続された第二端とを備える第一及び第二スイッチング装置と、

平行に接続され、且つ、前記第一ラッチの出力端に接続された第一端と、前記第二ラッチの入力端に接続された第二端とを備える第三及び第四スイッチング装置と、

平行に接続され、且つ、前記第二ラッチの出力端に接続された第一端と、前記第三ラッチの入力端に接続された第二端とを備える第五及び第六スイッチング装置と、

前記第三ラッチの出力端に接続された第一端と、前記第四ラッチの入力端に接続された第二端とを備え、前記第一インバータは、前記第三ラッチの前記出力端に接続された入力端を備える第七スイッチング装置と、

からなる請求項 1 に記載のデジタルデータドライバ。

【請求項 3】

前記第一及び第三スイッチング装置は、前記第一イネーブル信号に基づいてオンになり、第二ラッチに前記第一データを保存し、

前記第二スイッチング装置は、前記第二イネーブル信号に基づいてオンになり、前記第一スイッチング装置に前記第二データを保存し、

前記第五及び第七スイッチング装置は、前記第三イネーブル信号に基づいてオンになり、前記第一データを前記第一 D A C に出力し、

前記第四及び第六スイッチング装置は、前記第四イネーブル信号に基づいてオンになり、前記第一インバータより前記第二データを前記第二 D A C に出力する請求項 2 に記載のデジタルデータドライバ。

【請求項 4】

前記第一から第七スイッチング装置は、伝送ゲートである請求項 2 に記載のデジタルデータドライバ。

【請求項 5】

前記第一から第七スイッチング装置は、スイッチングトランジスタである請求項 2 に記載のデジタルデータドライバ。

【請求項 6】

前記第三イネーブル信号と前記第四イネーブル信号は、ブランク期間中の第三期間と第四期間で生成され、

10

20

30

40

50

前記第三イネーブル信号は、前記第五スイッチング装置と前記第七スイッチング装置とを制御し、

前記第四イネーブル信号は、前記第四スイッチング装置と前記第六スイッチング装置とを制御する請求項2に記載のデジタルデータドライバ。

【請求項7】

マトリクスで配列された複数の画素と、

前記マトリクスで配列されたうちの一の列の画素を、順に、オンにするスキャンドライバと、

対応する前記画素にデータを入力するデジタルデータドライバと、からなり、
第一期間で第一データを、第二期間でデータをそれぞれ伝送する複数のデータラインと、
前記第一期間で、第一イネーブル信号を入力する第一シフトレジスタと、
前記第二期間で、第二イネーブル信号を入力する第二シフトレジスタと、
それぞれ、複数の前記データラインに接続され、第一から第四ラッチと第一インバータとを有する複数のトランスミッションコントローラと、を備える液晶ディスプレイであって、

各トランスミッションコントローラは、前記第一及び第二イネーブル信号に従って、前記第一データと前記第二データを、前記第二ラッチと前記第一ラッチにそれぞれ保存し、

各トランスミッションコントローラは、外部回路からの前記第三イネーブル信号に従って、前記第二ラッチに保存された前記第一データを、前記第四ラッチに出力するとともに第一DACに出力し、

各トランスミッションコントローラは、外部回路からの前記第四イネーブル信号に従って、前記第一ラッチに保存された前記第二データを、前記第三ラッチに出力し、前記第一インバータにより、第二DACに出力することを特徴とする液晶ディスプレイ。

【請求項8】

前記トランスミッションコントローラは、更に、

平行に接続され、且つ、前記データラインの一端に接続された第一端と、前記第一ラッチの入力端に接続された第二端とを備える第一、第二スイッチング装置と、

平行に接続され、且つ、前記第一ラッチの出力端に接続された第一端と、前記第二ラッチの入力端に接続された第二端とを備える第三及び第四スイッチング装置と、

平行に接続され、且つ、前記第二ラッチの出力端に接続された第一端と、前記第三ラッチの入力端に接続された第二端とを備える第五及び第六スイッチング装置と、

前記第三ラッチの出力端に接続された第一端と、前記第四ラッチの入力端に接続された第二端とを備え、前記第一インバータは、前記第三ラッチの前記出力端に接続された入力端を備える第七スイッチング装置と、

からなる請求項7に記載の液晶ディスプレイ。

【請求項9】

前記第一及び第三スイッチング装置は、前記第一イネーブル信号に基づいてオンになり、

第二ラッチに前記第一データを保存し、前記第二スイッチング装置は、前記第二イネーブル信号に基づいてオンになり、

前記第一スイッチング装置に前記第二データを保存し、

前記第五及び第七スイッチング装置は、前記第三イネーブル信号に基づいてオンになり、前記第一データを前記第一DACに出力し、

前記第四及び第六スイッチング装置は、前記第四イネーブル信号に基づいてオンになり、前記第一インバータより、前記第二データを前記第二DACに出力する請求項8に記載の液晶ディスプレイ。

【請求項10】

前記第一から第七スイッチング装置は、伝送ゲートである請求項8に記載の液晶ディスプレイ。

【請求項 1 1】

前記第一から第七スイッチング装置は、スイッチングトランジスタである請求項 8 に記載の液晶ディスプレイ。

【請求項 1 2】

前記第三イネーブル信号と前記第四イネーブル信号は、ブランク期間中の第三期間と第四期間で生成され、

前記第三イネーブル信号は、前記第五スイッチング装置と前記第七スイッチング装置とを制御し、

前記第四イネーブル信号は、前記第四スイッチング装置と前記第六スイッチング装置とを制御する請求項 8 に記載の液晶ディスプレイ。

10

【請求項 1 3】

前記第一 D A C と前記第二 D A C は、前記第一データと前記第二データを第一アナログデータと第二アナログデータに転換し、前記第一データと前記第二データを受信した後、対応する画素にそれぞれ出力する請求項 9 に記載の液晶ディスプレイ。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、データドライバに関するものであって、特に、デジタルデータドライバとそれを用いた液晶ディスプレイに関するものである。

【背景技術】

20

【0 0 0 2】

公知のアクティブマトリクス液晶ディスプレイ (Active Matrix Liquid Crystal Display、A M L C D) のデジタルドライバは、ライン時間で、ストレージレジスタ (storage register) (デジタルラッチ) をラインバッファ (line buffer) として、デジタルビデオ信号を保存し、一回 1 ライン (line - at - a - time) モード下で、デジタル - アナログコンバータ (Digital to Analog Converter、以下 D A C と略す) を駆動する。

【0 0 0 3】

図 1 と図 2 は、一回 1 ラインモードで操作する、公知の 6 ビットデジタルデータドライバの構造を示す図である。この種の構造によると、各水平スキャン期間中、デジタルビデオデータ信号 R [5] ~ B [0] は、シフトレジスタ S R n からのイネーブル信号により、対応する第一レベルラッチ (Latch 1 1) にロードされる。その後、信号 L B により、第一レベルラッチ (Latch 1 1) に保存された全デジタルビデオデータ信号 R [5] ~ B [0] は、第二レベルラッチ (Latch 1 2) に書き込まれ、同時に、D A C s (D A C - R n、D A C - G n、D A C - B n) に入力される。次のシフトレジスタ S R n+1 からのイネーブル信号によると、データライン上に出現するデジタルビデオデータ信号 R [5] ~ B [0] は、対応する第一レベルラッチ (Latch 2 1) にロードされる。次に、信号 L B により、第一レベルラッチ (Latch 2 1) に保存された全ビデオ信号 R [5] ~ B [0] は、第二レベルラッチ (Latch 2 2) に書き込まれ、同時に D A C s (D A C - R n+1、D A C - G n+1、D A C - B n+1) に入力される。

30

【0 0 0 4】

40

A M L C D の解像度が増加すると、データのビット数も増加し、よって、デジタルデータドライバの数は、大きい配置領域を占有する。公知の配列方式において、デジタルデータドライバの横方向のレイアウトは制限を受けるので、A M L C D の解像度が増加する場合、ラッチと D C S の数が増加することにより、ワイヤルーティングのレイアウト困難度が高くなる。

【発明の開示】

【発明が解決しようとする課題】

【0 0 0 5】

本発明は、L C D の解像度が増加する場合における、横方向のレイアウト領域の増加により生じる、ワイヤルーティングのレイアウト困難度を解決することを目的とする。

50

【課題を解決するための手段】

【0006】

上述の目的を達成するため、本発明は、LCD解像度が増加する場合における、横方向のレイアウト領域の増加により生じる、ワイヤルーティングのレイアウト困難度を解決するデジタルデータドライバとLCDを提供する。本発明のデジタル型データドライバは、第一期間で第一データを、第二期間で第二データをそれぞれ伝送する複数のデータラインと、前記第一期間で、第一イネーブル信号を出力する第一シフトレジスタと、前記第二期間で、第二イネーブル信号を出力する第二シフトレジスタと、複数の前記データラインにそれぞれ接続され、第一から第四ラッチと第一インバータとを有する複数のトランスミッションコントローラとからなり、各トランスミッションコントローラは、前記第一及び第二イネーブル信号に従って、前記第一データと前記第二データとを、前記第二ラッチと前記第一ラッチとにそれぞれ保存し、各トランスミッションコントローラは、外部回路からの第三イネーブル信号に従って、前記第二ラッチに保存された前記第一データを、前記第四ラッチに出力するとともに、第一DACに出力し、各トランスミッションコントローラは、外部回路からの第四イネーブル信号に従って、前記第一ラッチに保存された前記第二データを、前記第三ラッチに出力し、前記第一インバータにより、第二DACに出力することを特徴とするものとした。

10

【0007】

前記トランスミッションコントローラは、平行に接続され、且つ、前記データラインの一端に接続された第一端と、前記第一ラッチの入力端に接続された第二端とを備える第一及び第二スイッチング装置と、平行に接続され、且つ、前記第一ラッチの出力端に接続された第一端と、前記第二ラッチの入力端に接続された第二端とを備える第三及び第四スイッチング装置と、平行に接続され、且つ、前記第二ラッチの出力端に接続された第一端と、前記第三ラッチの入力端に接続された第二端とを備える第五及び第六スイッチング装置と、前記第三ラッチの出力端に接続された第一端と、前記第四ラッチの入力端に接続された第二端とを備え、前記第一インバータは、前記第三ラッチの前記出力端に接続された入力端を備える第七スイッチング装置と、からなるものとするのが好ましい。

20

【0008】

また、前記第一及び第三スイッチング装置は、前記第一イネーブル信号に基づいてオンになり、第二ラッチに前記第一データを保存し、前記第二スイッチング装置は、前記第二イネーブル信号に基づいてオンになり、前記第一スイッチング装置に前記第二データを保存し、前記第五及び第七スイッチング装置は、前記第三イネーブル信号に基づいてオンになり、前記第一データを前記第一DACに出力し、前記第四及び第六スイッチング装置は、前記第四イネーブル信号に基づいてオンになり、前記第一インバータより前記第二データを前記第二DACに出力するようにすることが好ましい。

30

【0009】

そして、前記第一から第七スイッチング装置は伝送ゲート、或いはスイッチングトランジスタであることが望ましい。

【0010】

さらに、前記第三イネーブル信号と前記第四イネーブル信号は、ブランク期間中の第三期間と第四期間で生成され、前記第三イネーブル信号は、前記第五スイッチング装置と前記第七スイッチング装置とを制御し、前記第四イネーブル信号は、前記第四スイッチング装置と前記第六スイッチング装置とを制御することが好ましい。

40

【0011】

本発明は、LCD解像度が増加する場合における、横方向のレイアウト領域の増加により生じる、ワイヤルーティングのレイアウト困難度を解決する上記デジタルデータドライバを取り入れたLCDを提供する。本発明の液晶ディスプレイは、マトリクスで配列された複数の画素と、前記マトリクスで配列されたうちの一系列の画素を、順に、オンにするスキャンドライバと、対応する前記画素にデータを出力するデジタルデータドライバと、からなり、第一期間で第一データを、第二期間でデータをそれぞれ伝送する複数のデータ

50

ラインと、前記第一期間で、第一イネーブル信号を出力する第一シフトレジスタと、前記第二期間で、第二イネーブル信号を出力する第二シフトレジスタと、それぞれ、複数の前記データラインに接続され、第一から第四ラッチと第一インバータとを有する複数のトランスミッションコントローラと、を備えるものであって、各トランスミッションコントローラは、前記第一及び第二イネーブル信号に従って、前記第一データと前記第二データを、前記第二ラッチと前記第一ラッチにそれぞれ保存し、各トランスミッションコントローラは、外部回路からの前記第三イネーブル信号に従って、前記第二ラッチに保存された前記第一データを、前記第四ラッチに出力するとともに第一DACに出力し、各トランスミッションコントローラは、外部回路からの前記第四イネーブル信号に従って、前記第一ラッチに保存された前記第二データを、前記第三ラッチに出力し、前記第一インバータにより、第二DACに出力することを特徴とするものである。

10

【0012】

本発明に係る液晶ディスプレイのトランスミッションコントローラ、スイッチング装置、イネーブル信号については、上記本発明のデジタル型データドライバと同様な構成することが望ましい。

【0013】

さらに、本発明に係る液晶ディスプレイの前記第一DACと前記第二DACは、前記第一データと前記第二データを第一アナログデータと第二アナログデータに転換し、前記第一データと前記第二データを受信した後、対応する画素にそれぞれ出力するようにすることが好ましい。

20

【発明の効果】

【0014】

本発明によれば、LCDの解像度が増加する場合であっても、横方向のレイアウト領域の増加により生じる、ワイヤルーティングのレイアウト困難度を解決することができる。

【発明を実施するための最良の形態】

【0015】

以下、本発明を実施するための最良の形態について、図面を参照しながら詳説する。図3は、本発明のデジタルデータドライバ203を備える液晶ディスプレイ200を示す図である。図3で示されるように、液晶ディスプレイ200は、複数の画素からなる少なくとも一つのアクティブマトリクス領域201、スキンドライバ202、及びデジタルデータドライバ203、を備える。スキンドライバ202は、アクティブマトリクス領域201の一行の画素を、順にオンにする。デジタルデータドライバ203は、データ信号に対応する画素に出力する。図3に示す第三イネーブル信号En3及び第四イネーブル信号En4は、図1及び図2で示したイネーブル信号LBと類似する。イネーブル信号En3及びEn4、LBは、例えば、ディスプレイシステム（図示せず）のタイミングコントローラ204にて発生する。タイミングコントローラ204は、シフトレジスタのスタート信号や、スキンドライバ202、デジタルドライバ203、イネーブル信号En3、En4、及びその他の各制御信号等の全タイミングコントロール信号を発生する。一般的に、このタイミングコントローラは、外部IC装置となったり、液晶ディスプレイパネルに内蔵させたりすることができるものである。

30

40

【0016】

図4で示されるように、デジタルデータドライバ203は、複数のデータラインDL1~DLn、複数のシフトレジスタ（SR1及びSR2）、及び、複数の伝送コントローラTCC1~TCCnを含む。

【0017】

複数のシフトレジスタは、順に、イネーブル信号を出力する。この場合、第一シフトレジスタSR1は、第一期間で、第一イネーブル信号En1を出力し、第二シフトレジスタSR2は、次の期間（第二期間）で、第二イネーブル信号En2を出力する。第一及び第二期間は、同一のライン期間にある。各データラインDL1~DLnは、第一期間で、第一デー

50

タを伝送し、第二期間で第二データを伝送する。各伝送コントローラ $TCC1 \sim TCCn$ は対応するデータラインに接続される。

【0018】

各伝送コントローラ $TCC1 \sim TCCn$ の第一及び第二スイッチング装置 $T1$ 及び $T2$ は並行に接続され、それぞれは、データライン $DL1 \sim DLn$ の一つに接続された第一端と、第一ラッチ $L1$ の入力端に接続された第二端とを備える。第三及び第四スイッチング装置 $T3$ 及び $T4$ は平行に接続され、それぞれ、第一ラッチ $L1$ の出力端に接続された第一端と、第二ラッチ $L2$ の入力端に接続された第二端とを備える。第五及び第六スイッチング装置 $T5$ 及び $T6$ は平行に接続され、それぞれ、第二ラッチ $L2$ の出力端に接続された第一端と、第三ラッチ $L3$ の入力端に接続された第二端とを備える。第七スイッチング装置 $T7$ は、第三ラッチ $L3$ の出力端に接続された第一端と、第四ラッチ $L4$ の入力端に接続された第二端とを備え、第四ラッチ $L4$ の出力端は、第一 $DAC1$ に接続される。第一インバータ $INV1$ は、第三ラッチ $L3$ の出力端に接続された入力端と、第二 $DAC2$ に接続された出力端を備える。

10

【0019】

図5～図8は、本発明による、デジタルデータドライバの伝送コントローラのオペレーションを示した図である。図9は、本発明による伝送コントローラの波形図である。図5～図8、及び図9を参照にしながら、デジタルデータドライバの伝送コントローラのオペレーションを説明する。

【0020】

第一シフトレジスタ $SR1$ は、第 N ディスプレイ期間の第一期間で、第一イネーブル信号 $En1$ を出力し、第一及び第三スイッチング装置 $T1$ 及び $T3$ は、その後オンになる。よって、データライン $DL0$ 上の第一データ $D0[0]$ は、ラッチ $L1$ 及び $L2$ に保存される。

20

【0021】

第二シフトレジスタ $SR2$ は、第 N ディスプレイ期間の次の期間（第二期間）で、第二イネーブル信号 $En2$ を出力し、第一ラッチ $L1$ は、その後、オンになる。よって、データライン $DL0$ 上の第二データ $D0[1]$ は、ラッチ $L1$ に保存される。

【0022】

一般に、第 N 期間と第 $N+1$ 期間の間に、ブランク期間（ブランク）がある。第五及び第七スイッチング装置 $T5$ 及び $T7$ は、ブランク期間の期間（ $B1$ ）で、外部回路（タイミングコントローラ 204）からの第三イネーブル信号 $En3$ に従ってオンになる。第二ラッチ $L2$ に保存された第一データは、その後、第三及び第四ラッチ $L3$ 及び $L4$ に保存され、第一 $DAC1$ に出力される。

30

【0023】

第四及び第六スイッチング装置 $T4$ 及び $T6$ は、ブランク期間の次の期間（ $B2$ ）で、外部回路からの第四イネーブル信号 $En4$ に従って、オンになる。第一ラッチ $L1$ に保存された第二データは、その後、第二及び第三ラッチ $L2$ 及び $L3$ に保存され、第一インバータ $INV1$ より、第二 $DAC2$ に出力される。本発明において、伝送コントローラ $TCC1 \sim TCCn$ のオペレーションは、各伝送コントローラ $TCC1$ と同様である故、ここに詳述しない。本発明において、デジタルデータドライバ 203 は、シフトレジスタ $SR1 \sim SRn$ からの出力信号に従って、デジタルデータを対応する DAC $DAC - R1 \sim DAC - Rn$ 、 $DAC - G1 \sim DAC - Gn$ 、 $DAC - B1 \sim DAC - Bn$ に出力する。

40

【0024】

これにより、図1及び図2で示されるような公知のデジタルデータは、図10で示されるような本発明のデジタルデータドライバにより代替される。伝送コントローラ $TCC1 \sim TCCn$ の回路は、図4で示されるものと同様である。本発明の機構により、データライン上のデジタルビデオデータ信号 $R[5] \sim B[0]$ （第一データ）は、各水平スキャン期間の第一期間で、シフトレジスタ SRn からのイネーブル信号により、対応する第二ラッチ $L2$ にロードされる。次に、データライン上のデジタルビデオデータ信号 $R1[5] \sim B1[0]$ （第二データ）は、各水平スキャン期間の第二期間で、シフトレジスタ $SRn+1$ が

50

らのイネーブル信号により、対応する第一ラッチ L1 にロードされる。これにより、第二ラッチ L2 に保存される全ビデオ信号 R[5] ~ B[0] は、第四ラッチ L4 に書き込まれ、ブランク期間の期間 (B1) で、外部回路からの第三イネーブル信号に従って、同時に、DAC (DAC - Rn, DAC - Gn, DAC - Bn) に入力される。次に、第一ラッチ L1 に保存される全ビデオ信号 R1[5] ~ B1[0] は、第三ラッチ L3 に書き込まれ、ブランク期間の次の期間 (B2) で、外部回路からの第四イネーブル信号に従って、インバータより、同時に、DAC (DAC - Rn+1, DAC - Gn+1, DAC - Bn+1) に入力される。このように、ラッチと DAC を分けることにより、本発明のデジタルデータドライバと LCD は、LCD の解像度が増加するため、横方向のレイアウト領域の増加により生じる、ワイヤルーティングのレイアウト困難度を解決する。

10

【0025】

本発明では好ましい実施例を前述の通り開示したが、これらは決して本発明に限定するものではなく、当該技術を熟知する者なら誰でも、本発明の精神と領域を脱しない範囲内で各種の変動や潤色を加えることができ、従って本発明の保護範囲は、特許請求の範囲で指定した内容を基準とする。

【図面の簡単な説明】

【0026】

【図1】公知のデジタルデータドライバの機構を示した説明図である。

【図2】公知のデジタルデータドライバの機構を示した説明図である。

【図3】本発明による LCD を示した説明図である。

20

【図4】本発明によるデジタル型データドライバを示した説明図である。

【図5】本発明による、デジタルデータドライバの伝送コントローラのオペレーションを示した説明図である。

【図6】本発明による、デジタルデータドライバの伝送コントローラのオペレーションを示した説明図である。

【図7】本発明による、デジタルデータドライバの伝送コントローラのオペレーションを示した説明図である。

【図8】本発明による、デジタルデータドライバの伝送コントローラのオペレーションを示した説明図である。

【図9】本発明による伝送コントローラの波形図である。

30

【図10】本発明によるデジタルデータドライバの機構を示した説明図である。

【符号の説明】

【0027】

SR シフトレジスタ

Latch ラッチ

TG1、TG2 伝送ゲート

200 液晶ディスプレイ

201 アクティブマトリクス領域

202 スキャンドライバ

203 デジタルデータドライバ

40

T1 ~ T7 スイッチング装置

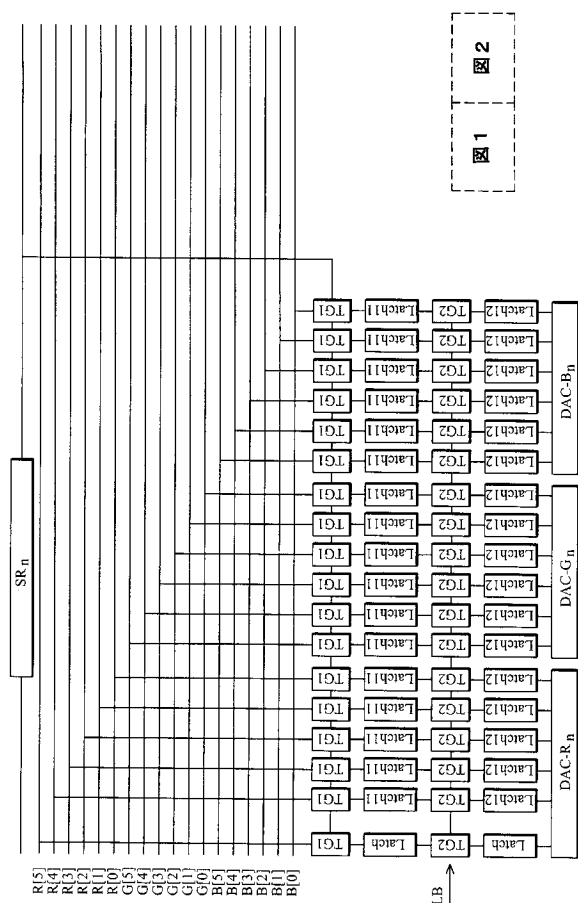
INV インバータ

DAC デジタル - アナログコンバータ

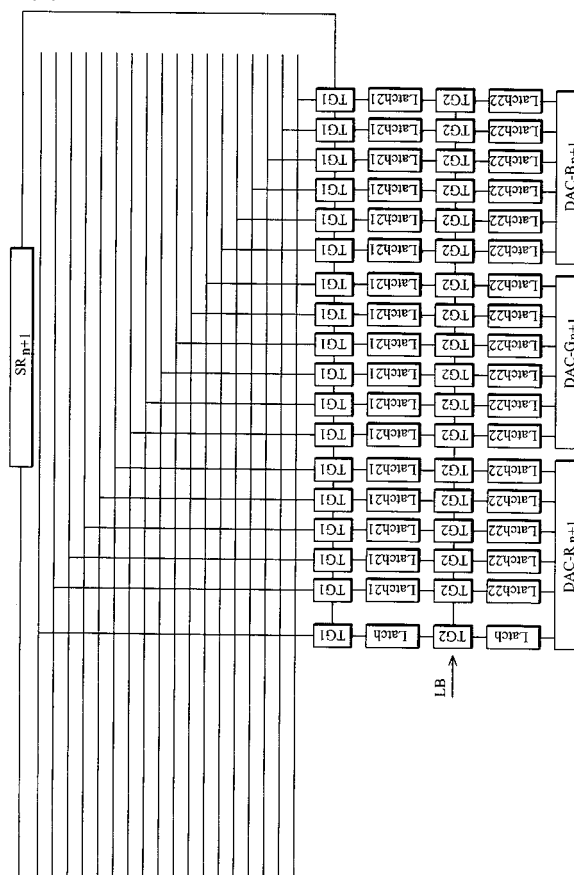
DL データライン

E イネーブル信号

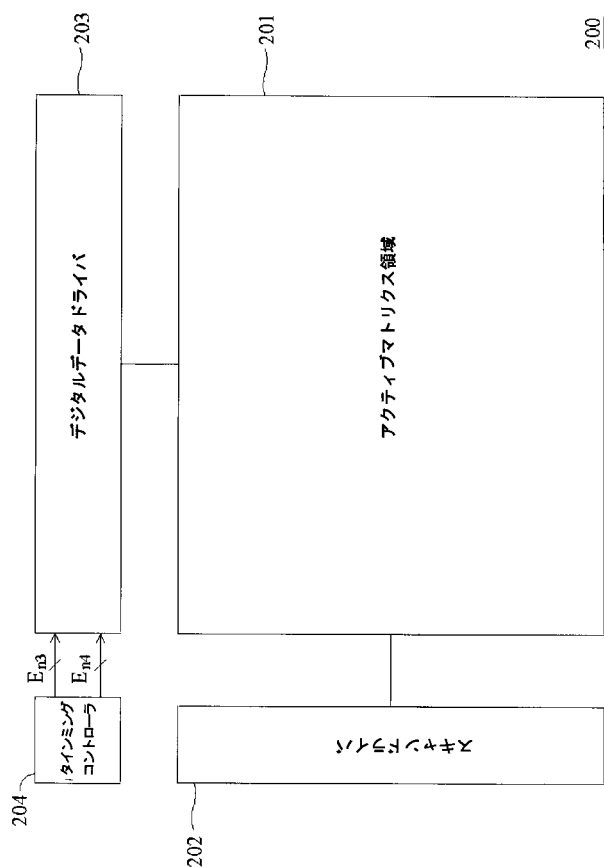
【 圖 1 】



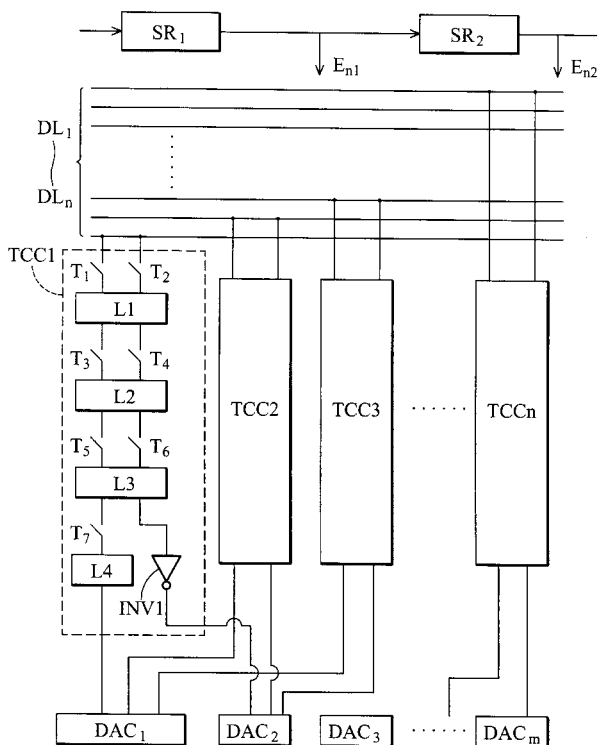
【圖 2】



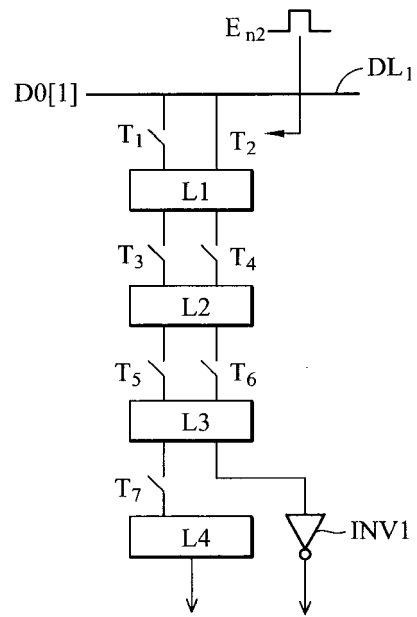
【圖 3】



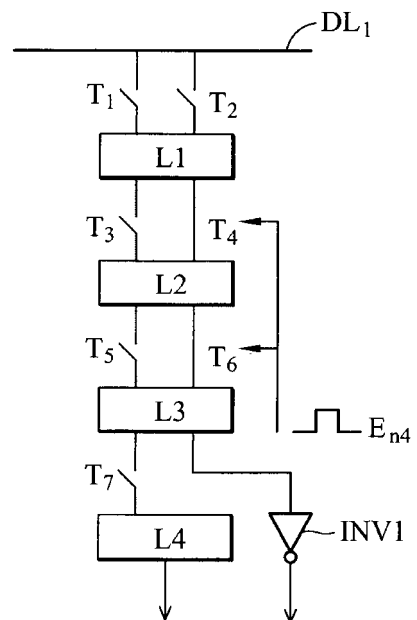
【圖 4】



【 図 6 】



【 図 8 】



フロントページの続き

(51) Int.Cl.⁷

F I

テーマコード (参考)

G 0 9 G 3/20 6 2 3 H

Figure 1 is a block diagram of a system architecture. It includes a central 'システム制御部' (System Control Unit) connected to a 'デジタルカメラ' (Digital Camera) on the left and a 'ディスプレイ装置' (Display Device) on the right. The digital camera is further connected to a 'マイコン' (Microcontroller) and a 'カメラ' (Camera) which are both connected to a 'カメラ' (Camera) block. The display device is connected to a 'ディスプレイ' (Display) block. The entire system is connected to a 'ネットワーク' (Network) block.