

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-219938

(P2004-219938A)

(43) 公開日 平成16年8月5日(2004.8.5)

(51) Int.Cl.⁷

G02F 1/133
G09G 3/20
G09G 3/34
G09G 3/36

F I

G02F 1/133 560
G02F 1/133 525
G02F 1/133 535
G02F 1/133 550
G09G 3/20 611A

テーマコード (参考)

2H093
5C006
5C080

審査請求 未請求 請求項の数 10 O L (全 21 頁) 最終頁に続く

(21) 出願番号

特願2003-9912 (P2003-9912)

(22) 出願日

平成15年1月17日 (2003.1.17)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(74) 代理人 100078868

弁理士 河野 登夫

(72) 発明者 牧野 哲也

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 吉原 敏明

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 別井 圭一

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

最終頁に続く

(54) 【発明の名称】 液晶表示装置の駆動方法及び液晶表示装置

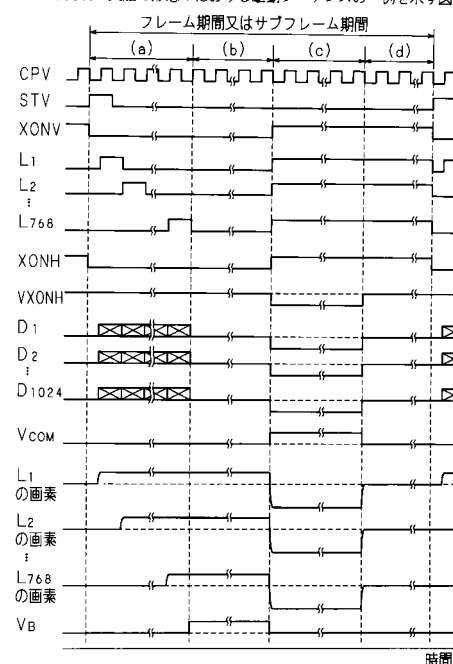
(57) 【要約】 (修正有)

【課題】 所定の光透過率が得られるとともに、バックライトの光利用効率が向上できる強誘電性又は反強誘電性液晶表示装置の駆動方法及び液晶表示装置を提供する。

【解決手段】 データ書込期間では、画素電極5，対向電極2間にデータ電圧を印加させる。また、データ保持期間では、データ電圧を保持させるとともに、バックライト26を点灯させる。また、データ消去期間では、画素電極5，対向電極2間にデータ電圧の絶対値より大きな絶対値を有し、極性の異なる電圧を印加させるとともに、バックライト26を消灯させる。また、リセット期間では、画素電極5，対向電極2間に0Vを印加させる。

【選択図】 図8

本発明の実施の形態1における駆動シーケンスの一例を示す図



【特許請求の範囲】

【請求項 1】

画素電極、及び該画素電極への電圧印加をオン／オフ制御するスイッチング素子をマトリックス状に設けた基板と対向電極を設けた基板との空隙内に自発分極を有する液晶物質が封入され、フレーム期間又はサブフレーム期間に、データ電圧を前記画素電極と前記対向電極との間に印加することにより、前記データ電圧によって決定される前記液晶物質の光透過率を制御する液晶表示装置の駆動方法において、
前記フレーム期間又は前記サブフレーム期間は、前記データ電圧を印加するデータ書込期間と、前記データ電圧を保持するデータ保持期間と、前記データ電圧の絶対値より大きい絶対値を有する電圧を印加するデータ消去期間と、リセット電圧を印加するリセット期間とを有することを特徴とする液晶表示装置の駆動方法。 10

【請求項 2】

画素電極、及び該画素電極への電圧印加をオン／オフ制御するスイッチング素子をマトリックス状に設けた基板と対向電極を設けた基板との空隙内に自発分極を有する液晶物質が封入されたパネルと、該パネルへ光を供給するバックライトとを備え、フレーム期間又はサブフレーム期間に、データ電圧を前記画素電極と前記対向電極との間に印加することにより、前記データ電圧によって決定される前記液晶物質の光透過率を制御する液晶表示装置の駆動方法において、
前記フレーム期間又は前記サブフレーム期間は、前記データ電圧を印加するデータ書込期間と、前記データ電圧を保持するデータ保持期間と、前記データ電圧の絶対値より大きな絶対値を有する電圧を印加するデータ消去期間と、リセット電圧を印加するリセット期間とを有し、前記データ保持期間に、前記バックライトを点灯することを特徴とする液晶表示装置の駆動方法。 20

【請求項 3】

前記データ保持期間は、前記フレーム期間又は前記サブフレーム期間の 1 / 2 を超えることを特徴とする請求項 1 又は請求項 2 に記載の液晶表示装置の駆動方法。

【請求項 4】

前記データ消去期間に、前記データ電圧と異なる極性の電圧を印加することを特徴とする請求項 1 乃至請求項 3 のいずれかに記載の液晶表示装置の駆動方法。

【請求項 5】

前記データ消去期間の内、前半期間には前記データ電圧と異なる極性の電圧を印加し、後半期間には前記データ電圧と同じ極性の電圧を印加することを特徴とする請求項 1 乃至請求項 3 のいずれかに記載の液晶表示装置の駆動方法。 30

【請求項 6】

前記リセット期間に、外部より入力されたリセット電圧を直接印加することを特徴とする請求項 1 乃至請求項 5 のいずれかに記載の液晶表示装置の駆動方法。

【請求項 7】

前記リセット電圧は、0 Vであることを特徴とする請求項 1 乃至請求項 6 のいずれかに記載の液晶表示装置の駆動方法。

【請求項 8】

画素電極、及び該画素電極への電圧印加をオン／オフ制御するスイッチング素子をマトリックス状に設けた基板と対向電極を設けた基板との空隙内に自発分極を有する液晶物質が封入され、フレーム期間又はサブフレーム期間に、データ電圧を前記画素電極と前記対向電極との間に印加することにより、前記データ電圧によって決定される前記液晶物質の光透過率を制御する構成とした液晶表示装置において、
前記フレーム期間又は前記サブフレーム期間に、前記データ電圧を印加する手段と、前記データ電圧を保持する手段と、前記データ電圧の絶対値より大きな絶対値を有する電圧を印加する手段と、リセット電圧を印加する手段とを備えることを特徴とする液晶表示装置。 40

【請求項 9】

画素電極、及び該画素電極への電圧印加をオン/オフ制御するスイッチング素子をマトリックス状に設けた基板と対向電極を設けた基板との空隙内に自発分極を有する液晶物質が封入されたパネルと、該パネルへ光を供給するバックライトとを備え、フレーム期間又はサブフレーム期間に、データ電圧を前記画素電極と前記対向電極との間に印加することにより、前記データ電圧によって決定される前記液晶物質の光透過率を制御する構成とした液晶表示装置において、

前記フレーム期間又は前記サブフレーム期間に、前記データ電圧を印加する手段と、前記データ電圧を保持する手段と、前記データ電圧の絶対値より大きな絶対値を有する電圧を印加する手段と、リセット電圧を印加する手段と、前記データ電圧が保持されている期間に、前記バックライトを点灯する手段とを備えることを特徴とする液晶表示装置。

10

【請求項10】

前記バックライトは、時間分割で発光する複数の発光体を備えることを特徴とする請求項9に記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、液晶表示装置の駆動方法及び液晶表示装置に関し、特に、自発分極を有する強誘電性液晶 (Ferroelectric Liquid Crystal: FLC) 又は反強誘電性液晶 (Anti-Ferroelectric Liquid Crystal: AFLC) を用いた液晶表示装置の駆動方法及び液晶表示装置に関する。

20

【0002】

【従来の技術】

一般的に普及しているTN (Twisted Nematic) 液晶は、印加電圧に対する応答速度が十～数十msであり、印加電圧が低い領域では応答速度が急激に遅くなり百msに近い値となる場合もある。従って、TN液晶を用いた液晶表示装置は、動画 (60画像/秒) 表示する場合に、液晶分子が動作しきれず画像がぼやけてしまうため、マルチメディア等の動画表示用途には不適である。

【0003】

そこで、自発分極を有し、印加電圧に対する応答速度が数十～数百μsと高速であるFLC又はAFLCを用いた液晶表示装置が実用化されている。これら高速応答可能な液晶を用いた液晶表示装置は、液晶分子の分極を短時間で完了させることにより優れた動画表示を行うことができる。

30

【0004】

ところで、液晶表示装置の表示制御方式としては、単純マトリックス方式とアクティブマトリックス方式との二つの方式が一般的である。前者の単純マトリックス方式では、相互に直交させた透明ないわゆる平行電極を液晶層の両面に配置するのみでよく、構成も単純になるとともに製造コストも比較的安価になる。

【0005】

単純マトリックス方式の駆動方法としては、選択期間の内、第1の期間にFLCの一方の安定状態にする電圧を印加し、第2の期間にこの電圧を保持するか、又は他方の安定状態にする電圧を印加し、非選択期間に選択期間で生じた電荷の偏りを補償すべく、補償電圧を印加する駆動方法が提案されている (例えば、特許文献1参照。)。このような駆動方法によれば、各フレームにおける電荷の偏りがなく、表示のちらつき (フリッカ) を抑えて、安定した表示駆動を行なうことができる。

40

【0006】

しかしながら、特許文献1に開示されている駆動方法は、FLCの光学的な双安定性に起因するメモリ性を利用して一方の安定状態で透光状態を、他方の安定状態で遮光状態を実現するため、原理的には2値表示は可能であるが階調 (多階調) 表示は困難である。

【0007】

一方、後者のアクティブマトリックス方式では、TFT (Thin Film Trans

50

sistor)又はMIM(Metal Insulator Metal)等のスイッチング素子を介して各画素に印加する電圧を制御し、印加された電圧に応じた階調表示が可能のためより精細な画像表示を行うことができる。図12は、液晶物質における光透過率-印加電圧特性(以下、T-V特性という)を示すグラフである。図12(a)に示すような光透過率が印加電圧の極性に対して対称となるT-V特性を有する液晶から構成される液晶パネルにおいては、TN液晶パネル用に普及している駆動方法、つまりフレーム(1フレーム=1/60秒)毎に正極性と負極性とを交互に印加する駆動(フレーム反転駆動(ドット反転駆動を含む))方法により、フレーム毎にデータ画像が表示される。

【0008】

しかしながら、図12(b)に示すような光透過率が印加電圧の極性に対して片極性となるT-V特性を有する液晶から構成される液晶パネルにおいて、前述したフレーム反転駆動を実施すると、正極性の電圧を印加したときには、データ画像が表示されるが、負極性の電圧を印加したときには、黒画像が表示される。従って、フレーム毎にデータ画像と黒画像とが交互に表示されるため、人間の眼にはフリッカとして観察されてしまう。

10

【0009】

そこで、各フレームの内、前半期間にデータ電圧を液晶に印加してデータ表示を実施し、後半期間にデータ電圧の極性を反転させた電圧を液晶に印加し、1フレーム内にて交流駆動を完結させる駆動方法を行うことにより、つまりデータ表示の周波数をあげることにより、フリッカを抑えた表示駆動を行なうことができる。また、このような駆動方法によれば、液晶物質に対して印加される電圧の極性が各フレーム内で反転されるため、液晶物質

20

【0010】

【特許文献1】

特開平7-13520号公報

【0011】

【発明が解決しようとする課題】

しかしながら、TF-Tは液晶駆動電圧をドライブする十分なオン電流特性を有しているとは限らず、前述したような各フレームにて交流駆動を行う駆動方法においては、書き込み時間が短時間になれば画素電極への書き込み不足が発生し、所定の電圧を液晶に印加することが困難となる。従って、電圧印加前の画素電圧値によって、画素に印加できる電圧値

30

【0012】

また、液晶パネルの走査方法は線順次方式であるため、データ表示に寄与しない後半期間もバックライトを点灯させなければならず、光利用効率が50%になるという問題があった。この問題は、カラーフィルタ(以下、CF)タイプの液晶表示装置でも、CFレスタイプの液晶表示装置(例えば、時間分割方式(フィールドシーケンシャル方式)の液晶表示装置)でも生じる。

【0013】

例えば、図13に示すように、1フレームが前半期間及び後半期間から構成され、1フレームを16.66ms、前半期間、後半期間を、ともに8.33msと設定した場合について、バックライトの光利用効率について説明する。バックライトは、全期間(前半期間+後半期間)にて点灯されるが、液晶表示装置の表示結果としては、前半期間には、走査線(例えば、768ライン)の走査によってデータ電圧が印加された画素により画像が表示され、後半期間には、走査線の走査によってデータ電圧の極性を反転させた電圧が印加された画素により黒が表示される。従って、各フレーム内で交流駆動を実施すると、バックライトの光利用効率は50%となる。また、1フレーム(16.66ms)の内、画像表示に寄与する時間は8.33msであり、各フレームの50%しか画像表示に寄与しない。

40

【0014】

50

本発明は斯かる事情に鑑みてなされたものであり、データ表示に寄与するデータ電圧を保持し、また保持されたデータ電圧を短期間で消去し、更に、次フレーム又は次サブフレームにて、全画素（全画面）に対し常に一定の状態からデータ電圧を印加することにより、各画素に印加できる電圧値の差異を減少させ、所定の光透過率が得られる液晶表示装置の駆動方法及び液晶表示装置の提供を目的とする。

【0015】

また本発明は、データ電圧を保持している期間にバックライトを点灯させることにより、バックライトの光利用効率を向上させ、またバックライトの消費電力を低減させることができる液晶表示装置の駆動方法及び液晶表示装置の提供を目的とする。

【0016】

また本発明は、データ保持期間をフレーム期間又はサブフレーム期間の1/2を超えるように設定することにより、フレーム（サブフレーム）の内、データ表示に寄与する時間（割合）を増大させて画面の輝度を向上させることができる液晶表示装置の駆動方法の提供を目的とする。

【0017】

また本発明は、データ消去期間に、データ電圧と異なる極性の電圧を印加することにより、又はデータ消去期間の内、前半期間にはデータ電圧と異なる極性の電圧を印加し、後半期間にはデータ電圧と同じ極性の電圧を印加することにより、各フレーム（各サブフレーム）内にて液晶物質にかかる電圧を交流駆動とし、液晶物質内部に存在するイオン成分が、長時間駆動によって一方の電極側へ移動することによる液晶パネルの焼付き及び液晶物質の劣化を防止することができる液晶表示装置の駆動方法の提供を目的とする。

【0018】

また本発明は、リセット期間に、外部より入力されたりセット電圧を直接印加することにより、画素電極と対向電極との間のインピーダンスを低くすることができる液晶表示装置の駆動方法の提供を目的とする。

【0019】

また本発明は、リフレッシュ用のリセット電圧を0Vとすることにより、画素電極と対向電極との間の電圧を0Vの状態にさせ、次のフレーム又はサブフレームにて、全画素（全画面）に対し常に0Vの状態からデータ電圧を印加することができる液晶表示装置の駆動方法の提供を目的とする。

【0020】

また本発明は、時間分割で発光する複数の発光体を備えたバックライトを用いることにより、バックライトの消費電力を低減させることができる液晶表示装置の提供を目的とする。

【0021】

【課題を解決するための手段】

請求項1に係る液晶表示装置の駆動方法は、画素電極、及び該画素電極への電圧印加をオン/オフ制御するスイッチング素子をマトリックス状に設けた基板と対向電極を設けた基板との空隙内に自発分極を有する液晶物質が封入され、フレーム期間又はサブフレーム期間に、データ電圧を前記画素電極と前記対向電極との間に印加することにより、前記データ電圧によって決定される前記液晶物質の光透過率を制御する液晶表示装置の駆動方法において、前記フレーム期間又は前記サブフレーム期間は、前記データ電圧を印加するデータ書込期間と、前記データ電圧を保持するデータ保持期間と、前記データ電圧の絶対値より大きい絶対値を有する電圧を印加するデータ消去期間と、リセット電圧を印加するリセット期間とを有することを特徴とする。

【0022】

請求項2に係る液晶表示装置の駆動方法は、画素電極、及び該画素電極への電圧印加をオン/オフ制御するスイッチング素子をマトリックス状に設けた基板と対向電極を設けた基板との空隙内に自発分極を有する液晶物質が封入されたパネルと、該パネルへ光を供給するバックライトとを備え、フレーム期間又はサブフレーム期間に、データ電圧を前記画素

10

20

30

40

50

電極と前記対向電極との間に印加することにより、前記データ電圧によって決定される前記液晶物質の光透過率を制御する液晶表示装置の駆動方法において、前記フレーム期間又は前記サブフレーム期間は、前記データ電圧を印加するデータ書込期間と、前記データ電圧を保持するデータ保持期間と、前記データ電圧の絶対値より大きな絶対値を有する電圧を印加するデータ消去期間と、リセット電圧を印加するリセット期間とを有し、前記データ保持期間に、前記バックライトを点灯することを特徴とする。

【0023】

請求項3に係る液晶表示装置の駆動方法は、前記データ保持期間が、前記フレーム期間又は前記サブフレーム期間の1/2を超えることを特徴とする。

【0024】

請求項4に係る液晶表示装置の駆動方法は、前記データ消去期間に、前記データ電圧と異なる極性の電圧を印加することを特徴とする。

【0025】

請求項5に係る液晶表示装置の駆動方法は、前記データ消去期間の内、前半期間には前記データ電圧と異なる極性の電圧を印加し、後半期間には前記データ電圧と同じ極性の電圧を印加することを特徴とする。

【0026】

請求項6に係る液晶表示装置の駆動方法は、前記リセット期間に、外部より入力されたりリセット電圧を直接印加することを特徴とする。

【0027】

請求項7に係る液晶表示装置の駆動方法は、前記リセット電圧が、0Vであることを特徴とする。

【0028】

請求項8に係る液晶表示装置は、画素電極、及び該画素電極への電圧印加をオン/オフ制御するスイッチング素子をマトリックス状に設けた基板と対向電極を設けた基板との空隙内に自発分極を有する液晶物質が封入され、フレーム期間又はサブフレーム期間に、データ電圧を前記画素電極と前記対向電極との間に印加することにより、前記データ電圧によって決定される前記液晶物質の光透過率を制御する構成とした液晶表示装置において、前記フレーム期間又は前記サブフレーム期間に、前記データ電圧を印加する手段と、前記データ電圧を保持する手段と、前記データ電圧の絶対値より大きな絶対値を有する電圧を印加する手段と、リセット電圧を印加する手段とを備えることを特徴とする。

【0029】

請求項9に係る液晶表示装置は、画素電極、及び該画素電極への電圧印加をオン/オフ制御するスイッチング素子をマトリックス状に設けた基板と対向電極を設けた基板との空隙内に自発分極を有する液晶物質が封入されたパネルと、該パネルへ光を供給するバックライトとを備え、フレーム期間又はサブフレーム期間に、データ電圧を前記画素電極と前記対向電極との間に印加することにより、前記データ電圧によって決定される前記液晶物質の光透過率を制御する構成とした液晶表示装置において、前記フレーム期間又は前記サブフレーム期間に、前記データ電圧を印加する手段と、前記データ電圧を保持する手段と、前記データ電圧の絶対値より大きな絶対値を有する電圧を印加する手段と、リセット電圧を印加する手段と、前記データ電圧が保持されている期間に、前記バックライトを点灯する手段とを備えることを特徴とする。

【0030】

請求項10に係る液晶表示装置は、前記バックライトが、時間分割で発光する複数の発光体を備えることを特徴とする。

【0031】

請求項1の液晶表示装置の駆動方法及び請求項8の液晶表示装置にあっては、画素電極と対向電極との間にデータ電圧を印加し、印加されたデータ電圧を保持することにより、このデータ電圧が保持されている期間(データ保持期間)のみがデータ表示に寄与するインパルス型駆動となる。また、データ電圧の絶対値より大きい絶対値を有する電圧を印加す

10

20

30

40

50

ることにより、データ保持期間にて保持されたデータ電圧を短期間で消去する。更に、リフレッシュ用のリセット電圧を印加することにより、フレーム又はサブフレームの終了時における画素電極と対向電極との間の電圧を常に一定の状態にさせ、次のフレーム又はサブフレームにて、全画素（全画面）に対し常に一定の状態からデータ電圧を印加する。

【0032】

請求項2の液晶表示装置の駆動方法及び請求項9の液晶表示装置にあっては、データ保持期間にバックライトを点灯させることにより、バックライトの光利用効率を向上させ、またバックライトの消費電力を低減させる。

【0033】

請求項3の液晶表示装置の駆動方法にあっては、データ保持期間をフレーム期間又はサブフレーム期間の1/2を超えるように設定することにより、フレーム（サブフレーム）の内、データ表示に寄与する時間を増大させて画面の輝度を向上させる。

【0034】

請求項4の液晶表示装置の駆動方法にあっては、データ消去期間に、データ電圧と異なる極性の電圧を印加することにより、各フレーム（各サブフレーム）内にて液晶物質にかかる電圧を交流駆動とし、液晶物質内部に存在するイオン成分が、長時間駆動によって一方の電極側へ移動することによる液晶パネルの焼付き及び液晶物質の劣化を防止する。

【0035】

請求項5の液晶表示装置の駆動方法にあっては、データ消去期間の内、前半期間にはデータ電圧と異なる極性の電圧を印加し、後半期間にはデータ電圧と同じ極性の電圧を印加することにより、データ消去期間内にて液晶物質にかかる電圧を交流駆動とし、液晶物質内部に存在するイオン成分が、長時間駆動によって一方の電極側へ移動することによる液晶パネルの焼付き及び液晶物質の劣化を防止する。

【0036】

請求項6の液晶表示装置の駆動方法にあっては、リセット期間に、外部より入力されたりセット電圧を直接印加することにより、画素電極と対向電極との間のインピーダンスを低くする。

【0037】

請求項7の液晶表示装置の駆動方法にあっては、リフレッシュ用のリセット電圧を0Vとすることにより、画素電極と対向電極との間の電圧が0Vの状態にさせ、次のフレーム又はサブフレームにて、全画素（全画面）に対し常に0Vの状態からデータ電圧を印加する。

【0038】

請求項10の液晶表示装置にあっては、時間分割で発光する複数の発光体を備えたバックライトを用いることにより、バックライトの消費電力を低減させる。

【0039】

【発明の実施の形態】

以下、本発明をその実施の形態を示す図面に基づいて詳述する。図1は本発明による液晶パネルの模式的断面図、図2は液晶パネル及びバックライトの構成例を示す模式的斜視図である。なお、本発明はこれらの実施例に限定されるものではない。

【0040】

（実施の形態1）

図1に示すように、液晶パネル1は、マトリックス状に配置されたITO（Indium Tin Oxide）製の光透過率に優れた画素電極5（例えば、0.24mm×0.24mm、画素数1024H×768V、対角12.1インチ）及び画素電極5の夫々に接続されたTFEを有するガラス基板6と対向電極2及びマトリックス状に配置されたCF3を有するガラス基板4とを備えている。なお、時間分割方式の液晶パネル1の場合には、CF3が必要でないことはいうまでもない。

【0041】

画素電極5及びCF3上には夫々配向膜7及び8を備え、ガラス基板6、4はこれらの配

向膜 7, 8 を対向して配置され、配向膜 7, 配向膜 8 間に面内均一のギャップ (例えば、 $1.6 \mu\text{m}$) を保持するための球状スペーサ 10 を散布して形成した空隙内に、FLC を充填して液晶層 9 が形成されている。そして、図 2 に示すように、この液晶パネル 1 は 2 枚の偏光板 11 及び 12 で挟まれ、更にその下方にバックライト 26 が配置される。

【0042】

図 3 は本発明の実施の形態 1 による液晶表示装置の液晶パネルの模式的平面図、図 4 は液晶表示装置の全体構成を示すブロック図である。図 3 に示すように、画素電極 5 及び TFT 21 はガラス基板 6 上にマトリックス ($1024\text{H} \times 768\text{V}$) 配置されており、各画素電極 5 は TFT 21 のドレイン端子と夫々接続されている。

【0043】

TFT 21 のゲート端子は、走査線 L_i ($i = 1, 2, \dots, 768$) に接続され、TFT 21 のソース端子はデータ線 D_j ($j = 1, 2, \dots, 1024$) に接続されている。走査線 L_i はゲートドライバ 24 の出力部に、データ線 D_j はソースドライバ 22 の出力部に順次接続されている。

【0044】

TFT 21 は、ゲートドライバ 24 からライン順次に供給される走査信号を走査線 L_i に入力することによってオン/オフ制御され、オン期間にはソースドライバ 22 から各データ線 D_j に入力される電圧を画素電極 5 に印加し、オフ期間にはそれまでの電圧を保持する。そして TFT 21 を介して画素電極 5 に印加された電圧と、対向電極 2 に印加された電圧とにより、液晶の電気光学特性である T-V 特性によって決定される液晶の光透過率を制御し画像を表示する。

【0045】

本実施形態における液晶表示装置は、上述したようなソースドライバ 22 及びゲートドライバ 24 に加えて、図 4 に示すように、制御回路 31、画像メモリ 32、LCD 電源回路 33、並びにバックライト電源回路 34 の周辺回路を備えている。

【0046】

制御回路 31 は、入力される同期信号 S_{ync} から、メモリ制御信号 R_A と、LCD 電源制御信号 L_P と、バックライト電源制御信号 B_P と、ゲートドライバ制御信号 G_D と、ソースドライバ制御信号 S_D とを生成し、生成された各制御信号を、画像メモリ 32、LCD 電源回路 33、バックライト電源回路 34、ゲートドライバ 24、及びソースドライバ 22 へ夫々出力する。

【0047】

画像メモリ 32 は、入力される表示データ D_{ata} を一旦記憶 (蓄積) し、制御回路 31 から入力されたメモリ制御信号 R_A に同期して液晶パネル 1 に表示すべき画素データ P_D をソースドライバ 22 へ出力する。なお、画像メモリ 32 を制御回路 31 に内蔵し、制御回路 31 にて内部処理されるような構成であってもよいことはいふまでもない。

【0048】

ここで、入力される同期信号 S_{ync} と表示データ D_{ata} とは、例えば、パーソナルコンピュータ (以下、PC) の CRT 出力信号の A/D 変換後の信号、DVI レシーバ IC にて復元された信号、LVDS レシーバ IC にて復元された信号、専用 PCI カードにて生成された信号、PAD 及び携帯電話等に搭載された CPU 又は LCD コントロール IC から出力される LCD 信号、又は PAD 及び PC 等に搭載されたビデオ RAM を制御回路 31 が直接制御して入手した信号等に含まれている。

【0049】

LCD 電源回路 33 は、制御回路 31 から入力された LCD 電源制御信号 L_P に同期して、ソースドライバ 22 用の駆動電圧 V_{DDH} と、ゲートドライバ 24 用の駆動電圧 V_{DDV} と、液晶パネル 1 の対向電極 2 用の対向電圧 V_{COM} とを生成し、生成された各電圧を、ソースドライバ 22、ゲートドライバ 24、及び液晶パネル 1 へ夫々出力する。

【0050】

バックライト電源回路 34 は、制御回路 31 から入力されたバックライト電源制御信号 B

10

20

30

40

50

Pに同期して、バックライト26を点灯/消灯するバックライト電圧 V_B を生成し、生成したバックライト電圧 V_B をバックライト26に出力する。例えば、バックライト電源回路34は、バックライト電圧 V_B として5V/0Vを適宜出力する。これにより、バックライト26は、バックライト電圧 V_B が5V時に点灯し、0V時に消灯するため、バックライト電源回路34より出力されるバックライト電圧 V_B によりバックライト26のオン/オフ制御が可能となる。

【0051】

ゲートドライバ24は、制御回路31から入力されたゲートドライバ制御信号GDに同期して、TF T 21をオン/オフ制御する走査電圧を出力部に順次出力し、出力された走査電圧を液晶パネル1の走査線 L_i に印加する機能と、すべてのTF T 21をオン制御する電圧を出力部に一斉に出力し、出力された電圧を液晶パネル1のすべての走査線 L_i に印加する機能とを有する。 10

【0052】

図5はゲートドライバ24の構成を示すブロック図である。ゲートドライバ24は、シフトレジスタ41、出力選択回路42、及びバッファ回路43を備えている。ゲートドライバ制御信号GDは、ゲートドライバ24の動作周波数を決定する動作クロック信号CPV、走査開始タイミングを決定する走査開始信号STV、ゲートドライバ24の全出力を強制的にオン電圧にする全出力オン信号XONV等から構成されている。

【0053】

シフトレジスタ41は、例えば、複数のフリップフロップ回路(以下、FF回路)等から構成されており、動作クロック信号CPV及び走査開始信号STV等が入力されている。初段のFF回路は、走査開始信号STVをデータ入力し、動作クロック信号CPVの立ち上がりエッジにて、走査開始信号STVをデータとして取得し、動作クロック信号CPVの立ち上がりエッジ以外では取得したデータを保持し、次段以降のFF回路のデータ入力とする。次段以降のFF回路は、動作クロック信号CPVの立ち上がりエッジにて、前段のFF回路から入力されたデータを取得し、動作クロック信号CPVの立ち上がりエッジ以外では取得したデータを保持し、次段以降のFF回路のデータ入力とする。各FF回路の出力は出力選択回路42へも出力される。 20

【0054】

出力選択回路42は、全出力オン信号XONVが" L "レベル時には、シフトレジスタ41から入力されたデータをバッファ回路43へ出力する出力モードAと、全出力オン信号XONVが" H "レベル時には、その全出力オン信号XONV、すなわち" H "データをバッファ回路43へ出力する出力モードBとを有している。 30

【0055】

バッファ回路43は、例えばレベルシフタにより、出力選択回路42から入力されたデータをTF T 21の駆動電圧まで昇圧させる。つまり、" H "データの場合には、TF T 21をオン状態にできる電圧を出力し、" L "データの場合には、TF T 21をオフ状態にできる電圧を出力する。なお、バッファ回路43の出力 X_1 , X_2 , ..., X_{768} は、走査線 L_1 , L_2 , ..., L_{768} に夫々接続されている。 40

【0056】

ソースドライバ22は、制御回路31から入力されたソースドライバ制御信号SDに同期して、画像メモリ32から出力された画素データPDを取り込み、画素データPDに応じた電圧を液晶パネル1のデータ線 D_j に印加する機能と、ソースドライバ制御信号SDと非同期に、外部電源より入力された外部電圧 V_{XONH} を液晶パネル1のすべてのデータ線 D_j に印加する機能とを有する。

【0057】

図6はソースドライバ22の構成を示すブロック図である。ソースドライバ22は、コントロール回路51、データラッチ回路52、D/A変換回路53、出力アンプ回路54、出力選択回路55、及び階調電圧発生回路56を備えており、コントロール回路51は、入力されたソースドライバ制御信号SDに基づいて各回路を制御する。ソースドライバ制 50

御信号 S D は、ソースドライバ 2 2 の動作周波数を決定する動作クロック信号 C L K、データラッチ回路 5 2 のデータ取り込みを制御するラッチ制御信号 E I O、データラッチ回路 5 2 に格納されたデータを D / A 変換回路 5 3 より後段の回路に出力し、ソースドライバ 2 2 より出力電圧を出力するために制御するコントロール信号 C L、及びソースドライバ 2 2 の全出力を強制的に外部電圧 V X O N H にする全出力オン信号 X O N H 等から構成されている。

【 0 0 5 8 】

データラッチ回路 5 2 は、ラッチ制御信号 E I O が " H " レベル時に、動作クロック信号 C L K の立ち上がりエッジにて、画素データ P D を取り込む。また、コントロール信号 C L の立ち上がりエッジにて、データラッチ回路 5 2 に取り込まれた画素データ P D を D / A 変換回路 5 3 へ出力する。

10

【 0 0 5 9 】

階調電圧発生回路 5 6 は、外部から入力された階調基準電圧 (8 ビット時 : R E F 1 , R E F 2 , ... , R E F 8) から階調電圧 (2 5 6 階調) を生成し、これらの階調電圧を D / A 変換回路 5 3 へ夫々出力する。

【 0 0 6 0 】

D / A 変換回路 5 3 は、データラッチ回路 5 2 から入力された画素データ P D に基づいて、そのデータ値に対応した階調電圧となるようにアナログ変換し、出力アンプ回路 5 4 へ出力する。

【 0 0 6 1 】

出力アンプ回路 5 4 は、コントロール信号 C L の立ち下がりエッジにて、D / A 変換回路 5 3 から入力された電圧を出力選択回路 5 5 へ出力する。

20

【 0 0 6 2 】

出力選択回路 5 5 は、全出力オン信号 X O N H が " L " レベル時に、出力アンプ回路 5 4 から入力された電圧を選択して出力する出力モード A (図 7 (a)) と、全出力オン信号 X O N H が " H " レベル時に、外部電源から入力された外部電圧 V X O N H を選択して出力する出力モード B (図 7 (b)) とを有している。なお、出力選択回路 5 5 の出力 Y_1 , Y_2 , ... , Y_{1024} は、データ線 D_1 , D_2 , ... , D_{1024} に夫々接続されている。

【 0 0 6 3 】

図 8 は、本発明の実施の形態 1 における駆動シーケンスの一例を示す図である。前述したゲートドライバ 2 4 とソースドライバ 2 2 とを駆動し、図 8 に示す駆動シーケンスを実施する。なお、説明し易くするために対向電極 2 用の対向電圧 V_{COM} を 0 V として説明するが、T F T 2 1 のオフ時にフィードスルー電圧が生じるため、実際には 0 V 以下の電圧を印加する。

30

【 0 0 6 4 】

フレーム期間又はサブフレーム期間は、データ電圧を印加するデータ書込期間 (同図 (a))、データ電圧を保持するデータ保持期間 (同図 (b))、データ電圧を消去するデータ消去期間 (同図 (c))、及びリフレッシュ用のリセット電圧を印加するリセット期間 (同図 (d)) から構成されている。

40

【 0 0 6 5 】

(データ書込期間)

L C D 電源回路 3 3 は、L C D 電源制御信号 L P に同期して、駆動電圧 V_{DDH} (不図示、以下同じ)、 V_{DDV} (不図示、以下同じ)、及び対向電圧 V_{COM} (0 V) を生成し、ソースドライバ 2 2、ゲートドライバ 2 4、及び液晶パネル 1 へ夫々出力する。

【 0 0 6 6 】

まず、走査線 L_i ($i = 1, 2, \dots, 768$) のタイミングについて詳述する。C P V は T F T 2 1 を走査するゲートドライバ 2 4 の動作クロック信号である。S T V は、ゲートドライバ 2 4 の走査開始信号であり、T F T 2 1 のオン期間を決定する " H " 期間幅は動作クロック信号 C P V の 1 クロックに略等しく、ラッチミスを防ぐために動作クロック

50

信号 C P V の立上がりより略 1 / 2 クロック前に入力されている。また、X O N V は、ゲートドライバ 2 4 の出力モードを決定する全出力オン信号であり、" L " レベルが入力されている（出力モード A）。従って、走査開始信号 S T V が " H " 状態で、動作クロック信号 C P V が立上がったエッジを第 1 番目の立上がりエッジと言うことにすると、ゲートドライバ 2 4 の出力部に接続された走査線 L_i へ出力される電圧は、動作クロック信号 C P V の第 i 番目の立上がりエッジで立上がり、第 $i + 1$ 番目の立上がりエッジで立下がる。つまり、入力される動作クロック信号 C P V 及び走査開始信号 S T V に基づいて、その出力部に T F T 2 1 を順次オンさせる電圧が出力される。例えば、走査線 L_1 へ出力される電圧は動作クロック信号 C P V の第 1 番目の立上がりエッジで立上がり、第 2 番目の立上がりエッジで立下がる。同様に、走査線 L_2 へ出力される電圧は動作クロック信号 C P V の第 2 番目の立上がりエッジで立上がり、第 3 番目の立上がりエッジで立下がり、走査線 L_{768} へ出力される電圧は動作クロック信号 C P V の第 768 番目の立上がりエッジで立上がり、第 769 番目の立上がりエッジで立下がる。

10

【0067】

次に、データ線 D_j ($j = 1, 2, \dots, 1024$) のタイミングについて詳述する。X O N H は、ソースドライバ 2 2 の出力モードを決定する全出力オン信号であり、" L " レベルが入力されている（出力モード A）。従って、データ線 D_j には、入力される画素データ P D に基づいて、その出力部に画素データ P D に対応した電圧が夫々出力される。なお、V X O N H は、ソースドライバ 2 2 の出力モード B 時に出力される外部電圧であり、データ書込期間では、いかなる電圧であってもよいが、本実施形態では、0 V が入力されているとする。そして、ゲートドライバ 2 4 から走査線 L_i に供給される電圧により、T F T 2 1 を順次オン状態に走査させ、走査線 L_i 毎に、ソースドライバ 2 2 からデータ線 D_j に供給される電圧を画素電極 5 に印加する。このようにすることにより、走査線 L_i 毎に、表示したい階調データに対応したデータ電圧が画素電極 5、対向電極 2 間に印加される。

20

【0068】

また、バックライト電源回路 3 4 は、バックライト電源制御信号 B P に同期して、バックライト電圧 V_B として 0 V をバックライト 2 6 に出力する。つまり、バックライト 2 6 はデータ書込期間では消灯しているため、この期間では黒の画像が表示される。

【0069】

30

（データ保持期間）

L C D 電源回路 3 3 は、データ書込期間と同様、L C D 電源制御信号 L P に同期して、駆動電圧 V_{DDH} 、 V_{DDV} 、及び対向電圧 V_{COM} (0 V) を生成し、ソースドライバ 2 2、ゲートドライバ 2 4、及び液晶パネル 1 へ夫々出力する。すなわち、データ書込期間の状態を継続させる。

【0070】

ゲートドライバ 2 4 に入力される走査開始信号 S T V を " L " レベルにすることにより、ゲートドライバ 2 4 の出力部に接続された走査線 $L_1 \sim L_{768}$ へ出力される電圧は " L " レベルとなる。従って、ゲートドライバ 2 4 から走査線 $L_1 \sim L_{768}$ に供給される電圧により、すべての T F T 2 1 はオフ状態を維持する。このようにすることにより、データ書込期間にて、画素電極 5、対向電極 2 間に印加されたデータ電圧を保持することができる。

40

【0071】

また、バックライト電源回路 3 4 は、バックライト電源制御信号 B P に同期して、バックライト電圧 V_B としてバックライトを発光させるのに必要な電圧（例えば、5 V）をバックライト 2 6 に出力する。つまり、バックライト 2 6 はデータ保持期間では点灯するため、この期間では、データ書込期間にて印加されたデータ電圧に基づいて、所定の画像が表示される。

【0072】

（データ消去期間）

50

L C D 電源回路 3 3 は、L C D 電源制御信号 L P に同期して、駆動電圧 V_{DDH} 、 V_{DDV} 、及び対向電圧 V_{COM} （例えば、5 V）を生成し、ソースドライバ 2 2、ゲートドライバ 2 4、及び液晶パネル 1 へ夫々出力する。

【0073】

ゲートドライバ 2 4 に、全出力オン信号 X O N V として " H " レベルを入力することにより、ゲートドライバ 2 4 の出力部に接続された走査線 $L_1 \sim L_{768}$ へ出力される電圧は " H " レベルとなる。また、ソースドライバ 2 2 に、全出力オン信号 X O N H として " H " レベルを入力し、外部電圧 V_{XONH} として - 5 V を入力することにより、ソースドライバ 2 2 の出力部に接続されたデータ線 $D_1 \sim D_{1024}$ へ出力される電圧は - 5 V となる。そして、ゲートドライバ 2 4 から走査線 $L_1 \sim L_{768}$ に供給される電圧により、すべての T F T 2 1 をオン状態にさせ、ソースドライバ 2 2 からデータ線 $D_1 \sim D_{1024}$ に供給される電圧（- 5 V）を画素電極 5 に印加する。このようにすることにより、画素電極 5、対向電極 2 間には - 10 V が印加され、データ書込期間にて印加され、データ保持期間にて保持した電圧を消去することができる。

【0074】

また、バックライト電源回路 3 4 は、バックライト電源制御信号 B P に同期して、バックライト電圧 V_B として 0 V をバックライト 2 6 に出力する。つまり、バックライト 2 6 はデータ消去期間では消灯しているため、この期間では黒の画像が表示される。

【0075】

（リセット期間）

L C D 電源回路 3 3 は、L C D 電源制御信号 L P に同期して、駆動電圧 V_{DDH} 、 V_{DDV} 、及び対向電圧 V_{COM} （0 V）を生成し、ソースドライバ 2 2、ゲートドライバ 2 4、及び液晶パネル 1 へ夫々出力する。

【0076】

ゲートドライバ 2 4 に、全出力オン信号 X O N V として " H " レベルを入力することにより、ゲートドライバ 2 4 の出力部に接続された走査線 $L_1 \sim L_{768}$ へ出力される電圧を " H " レベルとする。また、ソースドライバ 2 2 に、全出力オン信号 X O N H として " H " レベルを入力し、外部電圧 V_{XONH} として 0 V を入力することにより、ソースドライバ 2 2 の出力部に接続されたデータ線 $D_1 \sim D_{1024}$ へ出力される電圧を 0 V とする。そして、ゲートドライバ 2 4 から走査線 $L_1 \sim L_{768}$ に供給される電圧により、すべての T F T 2 1 をオン状態にさせ、ソースドライバ 2 2 からデータ線 $D_1 \sim D_{1024}$ に供給される電圧（0 V）を画素電極 5 に印加する。このようにすることにより、画素電極 5、対向電極 2 間には 0 V が印加される。すなわち、画素電極 5 と対向電極 2 とを同電位、かつ低インピーダンスにすることで、次フレーム期間又は次サブフレーム期間にて常に一定の状態に駆動させることができる。

【0077】

また、バックライト電源回路 3 4 は、バックライト電源制御信号 B P に同期して、バックライト電圧 V_B として 0 V をバックライト 2 6 に出力する。つまり、バックライト 2 6 はリセット期間では消灯しているため、この期間では黒の画像が表示される。

【0078】

上述した一連の動作により、液晶に対して電荷の偏りを解消することにより、液晶物質の劣化及び液晶パネルの焼付きを防止することができ、また、1 フレーム内の一部期間が表示に寄与するインパルス型駆動となるため、従来の 1 フレーム内の全期間が表示に寄与するホールド型駆動に比較して動画特性が向上する。

【0079】

図 9 は、本発明の実施の形態 1 における駆動シーケンスの他の一例を示す図である。図 9 に示すように、データ書込期間にて走査線 L_{768} のオン信号がオフ信号となり、時間 t_1 を経過した後にバックライト 2 6 を点灯させるようにすれば、走査線 L_{768} に接続された T F T 2 1 の電圧降下（フィードスルー電圧）により液晶が応答する時間を考慮することで、表示品質を高めることができるため好ましい。

10

20

30

40

50

【0080】

また、データ消去期間の開始シーケンスとして、ソースドライバ22に、外部電圧 V_{XONH} ($-5V$)を入力し、時間 t_2 が経過した後に、全出力オン信号 $XONH$ として“H”レベルを入力し、時間 t_3 が経過した後に、ゲートドライバ24に、全出力オン信号 $XONV$ として“H”レベルを入力し、かつLCD電源回路33から対向電圧 V_{COM} ($0V$)を液晶パネル1へ出力するようにすることが好ましい。このようなシーケンスによれば、ソースドライバ22の出力モード切替え時に発生するノイズを画素電極5に印加されるのを避けることができる。

【0081】

また、データ消去期間の終了時及びリセット期間の開始時のシーケンスとして、ゲートドライバ24に、全出力オン信号 $XONV$ として“L”レベルを入力してすべてのTFT21をオフ状態にし、時間 t_4 が経過した後に、ソースドライバ22に、外部電圧 V_{XONH} ($0V$)を入力し、時間 t_5 が経過した後に、ゲートドライバ24に、全出力オン信号 $XONV$ として“H”レベルを入力し、かつLCD電源回路33から対向電圧 V_{COM} ($0V$)を液晶パネル1へ出力するようにすることが好ましい。このようなシーケンスによれば、ソースドライバ22から出力される外部電圧 V_{XONH} の変更時に発生するノイズを画素電極5に印加されるのを避けることができる。

【0082】

図10は、本発明による液晶表示装置におけるバックライト26の光利用効率の一例を示す図である。例えば、図10に示すように、1フレームを $16.66ms$ とし、データ書込期間、データ保持期間、データ消去期間、及びリセット期間を、夫々 $1.92ms$ 、 $14.05ms$ 、 $0.50ms$ 、 $0.13ms$ と設定した場合について、バックライト26の光利用効率について説明する。前述したように、バックライト26が点灯されるのは、データ保持期間のみであり、データ書込期間、データ消去期間、及びリセット期間には、バックライト26を消灯する。従って、液晶表示装置の表示結果としては、データ保持期間には画像が表示され、データ書込期間、データ消去期間、及びリセット期間には、黒が表示される。つまり、データ書込期間では、走査線 L_1 から走査線 L_{768} へ順次走査され、すべての画素電極5に表示すべき電圧が印加されるのはデータ書込期間の終了時となるため、バックライト26を消灯させる。また、データ消去期間、リセット期間では、表示すべきデータ電圧が印加されているのではなく、データ電圧を消去するための電圧 ($-10V$)、次フレームにて常に一定の状態からデータ電圧が印加できるようにするためのリセット電圧 ($0V$) が印加されているため、バックライト26を消灯させる。従って、本発明におけるバックライト26の光利用効率は 100% となり、従来の液晶表示装置に比較して光利用効率が向上する。

【0083】

また、図10に示した例では、1フレーム ($16.66ms$) の内、画像表示に関わる時間が $14.05ms$ であり、各フレームの 85% が画像表示に寄与するため、従来の液晶表示装置に比較して画面の輝度が向上する。

【0084】

(実施の形態2)

実施の形態1では、データ消去期間にて、データ電圧と極性が異なる電圧 (負極性) を印加するようにしたが、データ消去期間を2分割にし、前半期間に負極性の電圧を、後半期間に正極性の電圧を印加するようにしてもよく、このようにしたものが実施の形態2である。なお、液晶表示装置の構成については、実施の形態1と同様であるため省略する。

【0085】

図11は、本発明の実施の形態2における駆動シーケンスの一例を示す図である。フレーム期間又はサブフレーム期間は、実施の形態1と同様、データ書込期間 (同図 (a))、データ保持期間 (同図 (b))、データ消去期間 (同図 (c))、及びリセット期間 (同図 (d)) から構成されており、データ書込期間、データ保持期間、及びリセット期間の駆動シーケンスについては、実施の形態1と同様であるため説明を省略し、本実施形態に

10

20

30

40

50

において特徴的であるデータ消去期間の動作について詳述する。

【0086】

本実施形態では、データ消去期間を前半データ消去期間（同図（c1））及び後半データ消去期間（同図（c2））に2分割にして2種類の駆動を実施する。

【0087】

（前半データ消去期間）

LCD電源回路33は、LCD電源制御信号LPに同期して、駆動電圧 V_{DDH} 、 V_{DDV} 、及び対向電圧 V_{COM} （例えば、5V）を生成し、ソースドライバ22、ゲートドライバ24、及び液晶パネル1へ夫々出力する。

【0088】

ゲートドライバ24に、全出力オン信号XONVとして“H”レベルを入力することにより、ゲートドライバ24の出力部に接続された走査線 $L_1 \sim L_{768}$ へ出力される電圧は“H”レベルとなる。また、ソースドライバ22に、全出力オン信号XONHとして“H”レベルを入力し、外部電圧 V_{XONH} として-5Vを入力することにより、ソースドライバ22の出力部に接続されたデータ線 $D_1 \sim D_{1024}$ へ出力される電圧を-5Vとする。そして、ゲートドライバ24から走査線 $L_1 \sim L_{768}$ に供給される電圧により、すべてのTFT21をオン状態にさせ、ソースドライバ22からデータ線 $D_1 \sim D_{1024}$ に供給される電圧（-5V）を画素電極5に印加する。このようにすることにより、画素電極5，対向電極2間には-10Vが印加され、データ書込期間にて印加され、データ保持期間にて保持した電圧を消去することができる。

10

20

【0089】

また、バックライト電源回路34は、バックライト電源制御信号BPに同期して、バックライト電圧 V_B として0Vをバックライト26に出力する。つまり、バックライト26は前半データ消去期間では消灯しているため、この期間では黒の画像が表示される。

【0090】

（後半データ消去期間）

LCD電源回路33は、LCD電源制御信号LPに同期して、駆動電圧 V_{DDH} 、 V_{DDV} 、及び対向電圧 V_{COM} （例えば、-5V）を生成し、ソースドライバ22、ゲートドライバ24、及び液晶パネル1へ夫々出力する。

【0091】

ゲートドライバ24に、全出力オン信号XONVとして“H”レベルを入力することにより、ゲートドライバ24の出力部に接続された走査線 $L_1 \sim L_{768}$ へ出力される電圧は“H”レベルとなる。また、ソースドライバ22に、全出力オン信号XONHとして“H”レベルを入力し、外部電圧 V_{XONH} として+5Vを入力することにより、ソースドライバ22の出力部に接続されたデータ線 $D_1 \sim D_{1024}$ へ出力される電圧は+5Vとなる。そして、ゲートドライバ24から走査線 $L_1 \sim L_{768}$ に供給される電圧により、すべてのTFT21をオン状態にさせ、ソースドライバ22からデータ線 $D_1 \sim D_{1024}$ に供給される電圧（+5V）を画素電極5に印加する。このようにすることにより、画素電極5，対向電極2間には+10Vが印加され、前半データ消去期間にて印加された電圧を消去することができる。

30

40

【0092】

また、バックライト電源回路34は、バックライト電源制御信号BPに同期して、バックライト電圧 V_B として0Vをバックライト26に出力する。つまり、バックライト26は後半データ消去期間では消灯しているため、この期間では黒の画像が表示される。

【0093】

データ消去期間内で交流駆動を実施する目的は、長時間駆動している間に液晶パネル1の内部のイオン成分が徐々に一方の電極（画素電極5，対向電極2）側へ移動するため、この期間に交流駆動することでイオン成分の移動を防止することにある。

【0094】

なお、前半データ消去期間から後半データ消去期間へ移行する際のシーケンスとして、ゲ

50

ートドライバ24に、全出力オン信号XONVとして" L "レベルを入力してすべてのTFT21をオフ状態にし、所定時間が経過した後に、ソースドライバ22に、外部電圧VXONH(+5V)を入力し、更に所定時間が経過した後に、ゲートドライバ24に、全出力オン信号XONVとして" H "レベルを入力し、かつLCD電源回路33から対向電圧VCOM(-5V)を液晶パネル1へ出力するようにすることが好ましい。

【0095】

実施の形態1及び2のように構成され、表示特性が良好となった液晶表示装置は、デスクトップ型PC、ノート型PC、PAD、携帯電話、及びゲーム機等に搭載された液晶ディスプレイ、家庭用及び携帯用の液晶テレビ、並びに、ビデオカメラ及びデジタルカメラに搭載された液晶ビューファインダー等の液晶表示装置への適用が可能である。

10

【0096】

なお、実施の形態1及び2にて、画素電極5と対向電極2とに印加される電圧の極性が逆転している場合においても同様の効果が得られる。すなわち、実施の形態1及び2では、対向電極2に対して正極性の電圧を画素電極5に印加する場合に説明したが、対向電極2に対して負極性の電圧を画素電極5に印加するような形態であってもよい。

【0097】

また、実施の形態1及び2にて、外部電圧VXONHとして、一定値(例えば、0V)をすべての期間において印加しておき、対向電圧VCOMを変化させて、データ消去期間及びリセット期間における画素電極5、対向電極2間に印加される電圧を制御しても同様の効果が得られる。

20

【0098】

また、各フレーム(16.66ms)が、赤色用サブフレーム(5.55ms)、緑色用サブフレーム(5.55ms)、及び青色用サブフレーム(5.55ms)から構成され、図10中、データ書込期間、データ保持期間、データ消去期間、及びリセット期間を、夫々1.92ms、3.00ms、0.50ms、0.13msと設定し、各色の発光体が、夫々のデータ保持期間に点灯することで、CFを用いずにカラー表示できる時間分割方式の液晶表示装置に適用することもできる。このような時間分割方式の液晶表示装置においても、バックライト26の光利用効率は100%となり、従来の液晶表示装置に比較して光利用効率が向上する。

【0099】

30

【発明の効果】

以上詳述した如く本発明によれば、リフレッシュ機能により、夫々の画素は表示用のデータ電圧を画素電極に印加する前に一旦定電圧となるため、表示用のデータ電圧を全画素(全画面)に対し常に一定の状態から書き込むことになるので、印加前の画素電圧値によって印加できる電圧値の差異を減少することができ、所定の光透過率が得られ優れた階調表示特性が得られる。

【0100】

また、データ保持期間をフレーム期間又はサブフレーム期間の1/2を超えるように設定することにより、フレーム(サブフレーム)の内、データ表示に寄与する時間を増大させて画面の輝度を向上させることができる。

40

【0101】

また、データ保持期間にバックライトを点灯させ、データ書込期間、データ保持期間、及びリセット期間にバックライトを消灯させることにより、バックライトの光利用効率を向上させ、また消費電力を低減させることができる。

【0102】

また、各フレーム又は各サブフレーム内にて液晶物質にかかる電圧を交流駆動とすることにより、液晶物質の劣化及び液晶パネルの焼付きを防止することができ、液晶表示装置の寿命を延ばすことができる。特に、高電圧が液晶物質に印加されるデータ消去期間内にて液晶物質にかかる電圧を交流駆動とすることにより、効率的にデータ電圧を消去するとともに、液晶物質の劣化及び液晶パネルの焼付きを防止

50

することができ、液晶表示装置の寿命を延ばすことができる等、優れた効果を奏する。

【図面の簡単な説明】

【図 1】本発明による液晶パネルの模式的断面図である。

【図 2】本発明による液晶パネル及びバックライトの構成例を示す模式的斜視図である。

【図 3】本発明の実施の形態 1 による液晶表示装置の液晶パネルの模式的平面図である。

【図 4】本発明の実施の形態 1 による液晶表示装置の全体構成を示すブロック図である。

【図 5】ゲートドライバの構成を示すブロック図である。

【図 6】ソースドライバの構成を示すブロック図である。

【図 7】ソースドライバが備える出力選択回路のモード選択の概要を示す模式図である。

【図 8】本発明の実施の形態 1 における駆動シーケンスの一例を示す図である。

10

【図 9】本発明の実施の形態 1 における駆動シーケンスの他の一例を示す図である。

【図 10】本発明による液晶表示装置におけるバックライトの光利用効率の一例を示す図である。

【図 11】本発明の実施の形態 2 における駆動シーケンスの一例を示す図である。

【図 12】液晶物質における T - V 特性を示すグラフである。

【図 13】従来の液晶表示装置におけるバックライトの光利用効率の一例を示す図である。

。

【符号の説明】

1 液晶パネル

2 対向電極

20

4 ガラス基板

5 画素電極

6 ガラス基板

9 液晶層

2 1 T F T

2 2 ソースドライバ

2 4 ゲートドライバ

2 6 バックライト

3 1 制御回路

3 2 画像メモリ

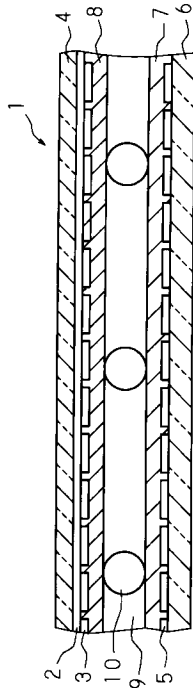
30

3 3 L C D 電源回路

3 4 バックライト電源回路

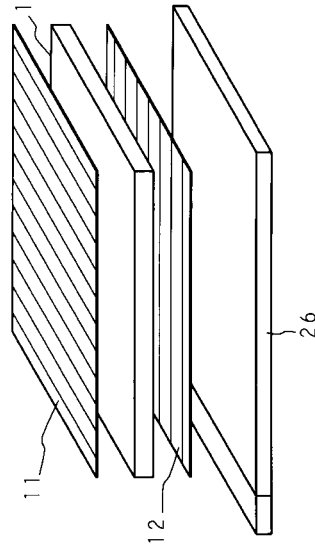
【図 1】

本発明による液晶パネルの模式的断面図



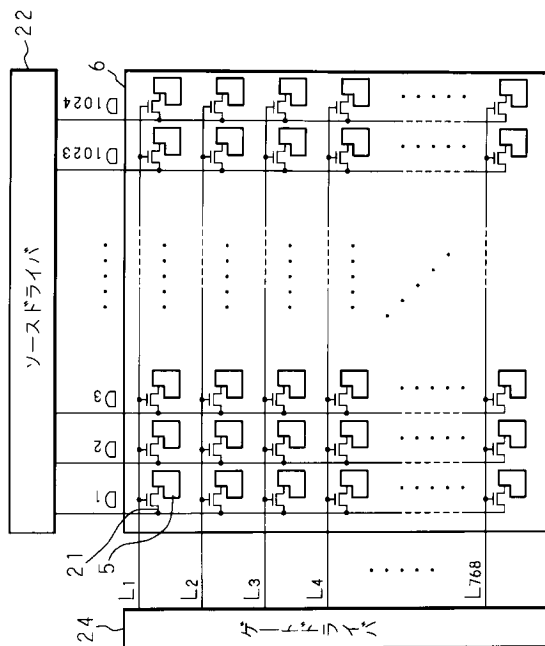
【図 2】

本発明による液晶パネル及びバックライトの構成例を示す模式的斜視図



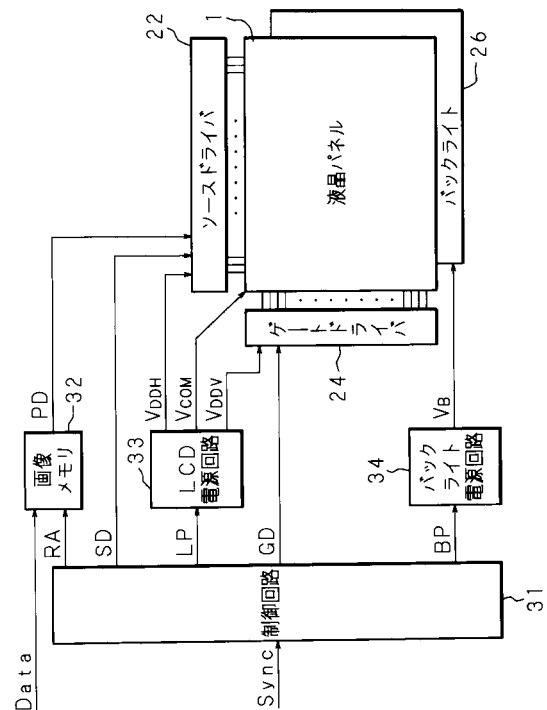
【図 3】

本発明の実施の形態 1 による液晶表示装置の液晶パネルの模式的平面図



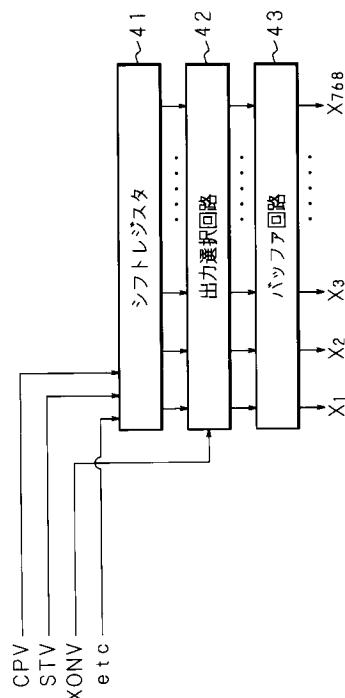
【図 4】

本発明の実施の形態 1 による液晶表示装置の全体構成を示すブロック図



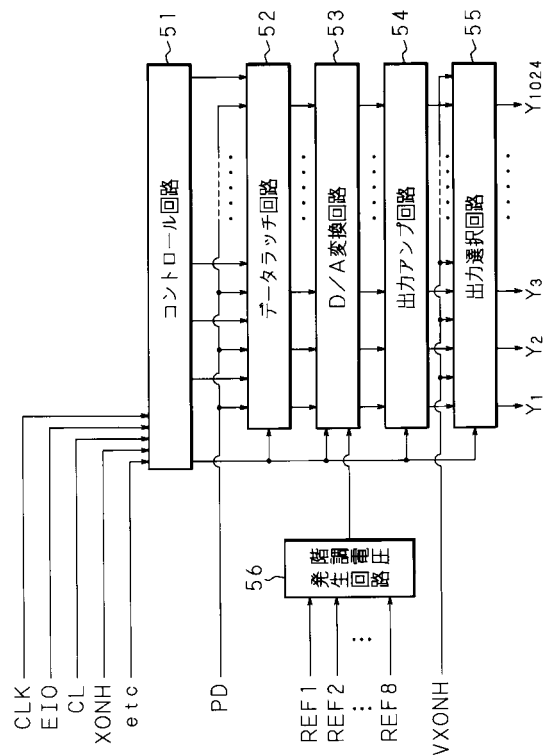
【図 5】

ゲートドライバの構成を示すブロック図



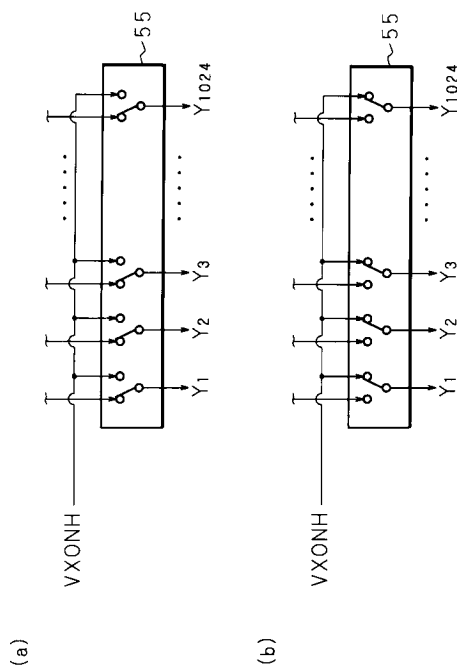
【図 6】

ソースドライバの構成を示すブロック図



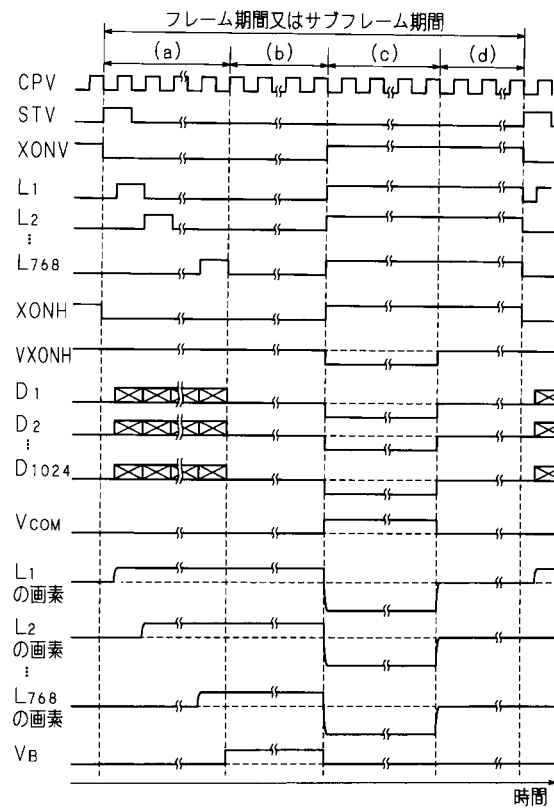
【図 7】

ソースドライバが備える出力選択回路のモード選択の概要を示す模式図



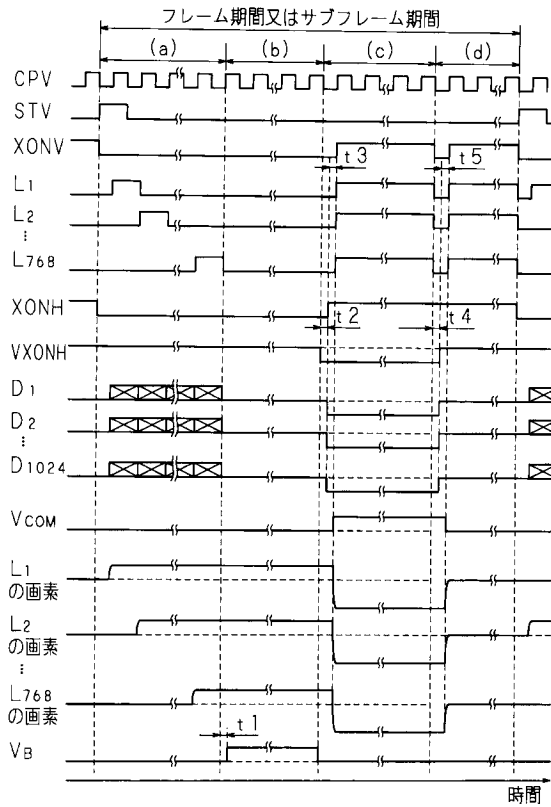
【図 8】

本発明の実施形態 1 における駆動シーケンスの一例を示す図



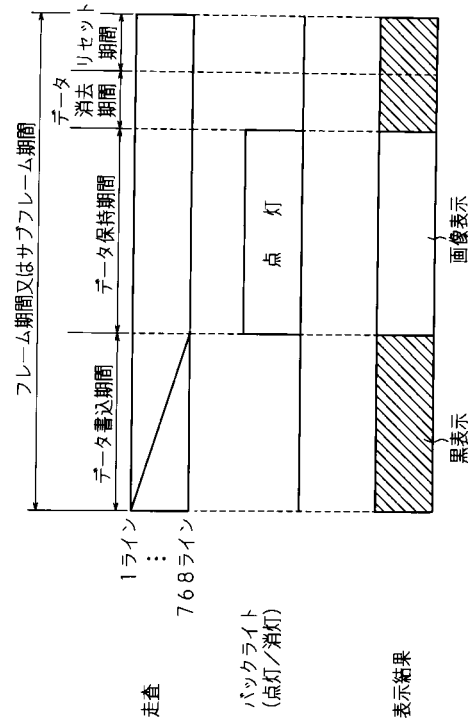
【図 9】

本発明の実施の形態 1 における駆動シーケンスの他の一例を示す図



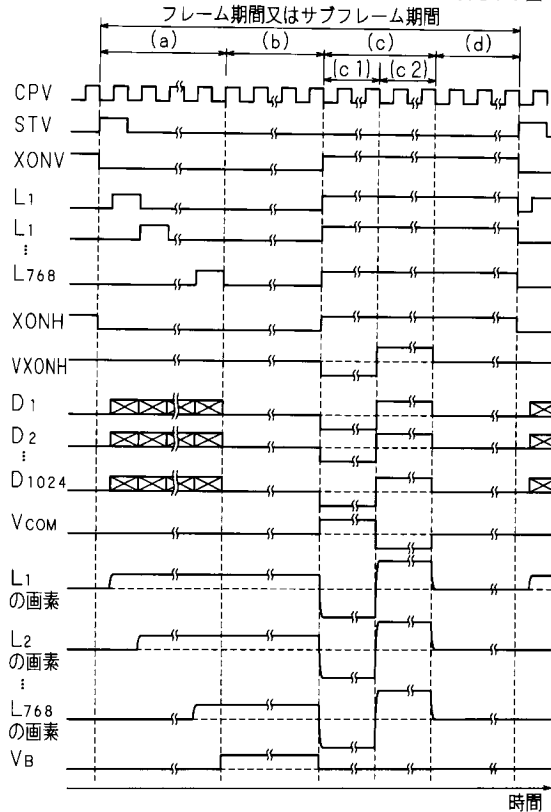
【図 10】

本発明による液晶表示装置におけるバックライトの光利用効率の一例を示す図



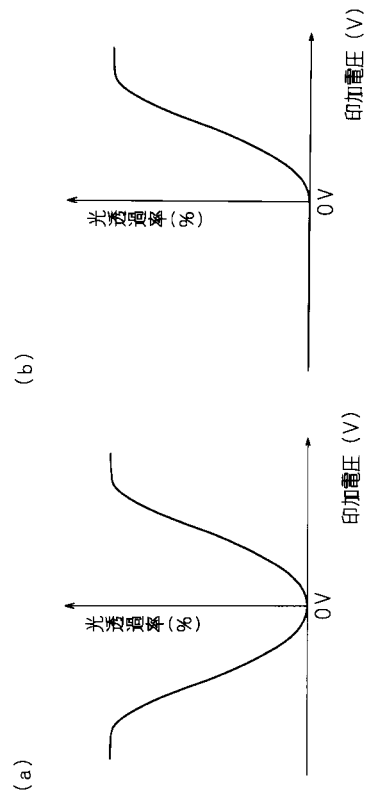
【図 11】

本発明の実施の形態 2 における駆動シーケンスの一例を示す図



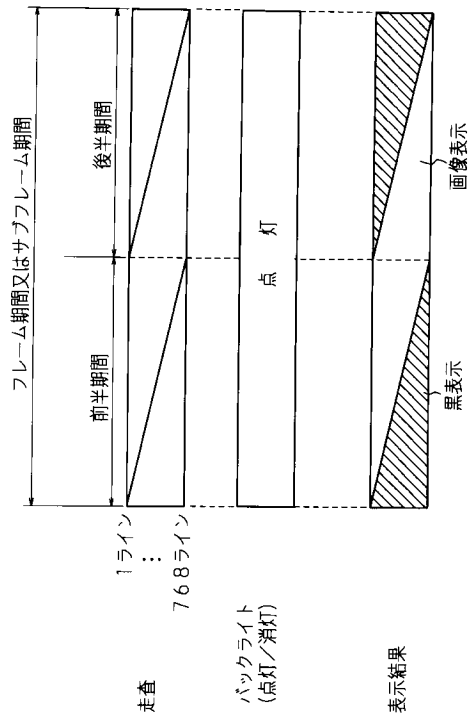
【図 12】

液晶物質における T-V 特性を示すグラフ



【図 13】

従来の液晶表示装置におけるバックライトの
光利用効率の一例を示す図



フロントページの続き

(51) Int.Cl.⁷

F I

テーマコード(参考)

G 0 9 G	3/20	6 2 1 A
G 0 9 G	3/20	6 2 1 B
G 0 9 G	3/20	6 2 3 C
G 0 9 G	3/20	6 4 1 C
G 0 9 G	3/20	6 4 1 E
G 0 9 G	3/20	6 4 1 K
G 0 9 G	3/20	6 4 2 D
G 0 9 G	3/20	6 7 0 K
G 0 9 G	3/34	J
G 0 9 G	3/36	

F ターム(参考)	2H093	NA33	NA34	NA43	NA65	NB12	NB22	NC13	NC18	NC22	NC24
		NC26	NC29	NC34	NC42	ND08	ND10	ND12	ND39	ND60	NF17
		NF20	NH14								
5C006	AA14	AA16	AA17	AA22	AC11	AC15	AC25	AC26	AF03	AF04	
	AF42	AF43	AF44	AF69	AF73	AF83	BA12	BA13	BB16	BB29	
	BC03	BC12	BF02	BF03	BF04	BF16	BF24	BF25	BF27	BF42	
	EA01	FA14	FA23	FA26	FA34	FA37	FA47	FA54	FA56		
5C080	AA10	BB05	CC03	DD03	DD08	DD26	DD29	EE29	EE30	FF11	
	GG15	GG17	JJ02	JJ03	JJ04	JJ06	KK07				

专利名称(译)	驱动液晶显示装置的方法和液晶显示装置		
公开(公告)号	JP2004219938A	公开(公告)日	2004-08-05
申请号	JP2003009912	申请日	2003-01-17
[标]申请(专利权)人(译)	富士通株式会社		
申请(专利权)人(译)	富士通株式会社		
[标]发明人	牧野哲也 吉原敏明 别井圭一		
发明人	牧野 哲也 吉原 敏明 别井 圭一		
IPC分类号	G02F1/133 G09G3/20 G09G3/34 G09G3/36		
FI分类号	G02F1/133.560 G02F1/133.525 G02F1/133.535 G02F1/133.550 G09G3/20.611.A G09G3/20.621.A G09G3/20.621.B G09G3/20.623.C G09G3/20.641.C G09G3/20.641.E G09G3/20.641.K G09G3/20.642.D G09G3/20.670.K G09G3/34.J G09G3/36		
F-TERM分类号	2H093/NA33 2H093/NA34 2H093/NA43 2H093/NA65 2H093/NB12 2H093/NB22 2H093/NC13 2H093/NC18 2H093/NC22 2H093/NC24 2H093/NC26 2H093/NC29 2H093/NC34 2H093/NC42 2H093/ND08 2H093/ND10 2H093/ND12 2H093/ND39 2H093/ND60 2H093/NF17 2H093/NF20 2H093/NH14 5C006/AA14 5C006/AA16 5C006/AA17 5C006/AA22 5C006/AC11 5C006/AC15 5C006/AC25 5C006/AC26 5C006/AF03 5C006/AF04 5C006/AF42 5C006/AF43 5C006/AF44 5C006/AF69 5C006/AF73 5C006/AF83 5C006/BA12 5C006/BA13 5C006/BB16 5C006/BB29 5C006/BC03 5C006/BC12 5C006/BF02 5C006/BF03 5C006/BF04 5C006/BF16 5C006/BF24 5C006/BF25 5C006/BF27 5C006/BF42 5C006/EA01 5C006/FA14 5C006/FA23 5C006/FA26 5C006/FA34 5C006/FA37 5C006/FA47 5C006/FA54 5C006/FA56 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD03 5C080/DD08 5C080/DD26 5C080/DD29 5C080/EE29 5C080/EE30 5C080/FF11 5C080/GG15 5C080/GG17 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C080/KK07 2H193/ZA04 2H193/ZC15 2H193/ZC20 2H193/ZF59 2H193/ZG04 2H193/ZG34 2H193/ZG45 2H193/ZQ25 2H193/ZQ26		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种铁电或反铁电液晶显示装置的驱动方法以及能够获得预定的透光率并提高背光源的光利用效率的液晶显示装置。在数据写入周期中，在像素电极和对电极之间施加数据电压。在数据保持时段中，保持数据电压并且打开背光26。在数据擦除期间，在像素电极5与对电极2之间施加具有比数据电压的绝对值大的绝对值且极性不同的电压，背光源26被熄灭。此外，在重置时段中，在像素电极5和对电极2之间施加0V。[选择图]图8

