

【特許請求の範囲】

【請求項 1】

スイッチング素子を有する副画素部がマトリックス状に配置されたアレイ基板と、前記アレイ基板と対向する対向基板と、を有する表示装置であって、

前記アレイ基板は、

前記副画素部に信号を送る、複数のデータ信号線及び複数の走査信号線と、

前記複数のデータ信号線のそれぞれに接続された、検査トランジスタと、

検査信号を入力する複数の入力端子と、

を有し、

前記検査トランジスタのドレインもしくはソースは、前記データ信号線に接続され、

複数の前記検査トランジスタのゲートは、前記複数の入力端子の内の第 1 の入力端子に接続され、

複数の前記検査トランジスタのソースもしくはドレインは、前記複数の入力端子の内の第 2 の入力端子に接続され、

前記検査トランジスタは、前記副画素部への検査信号の入力を制御する、

アクティブ・マトリックス表示装置。

【請求項 2】

スイッチング素子を有する副画素部がマトリックス状に配置されたアレイ基板と、前記アレイ基板と対向する対向基板と、を有する表示装置であって、

前記アレイ基板は、

前記副画素部に信号を送る、複数のデータ信号線及び複数の走査信号線と、

前記複数の走査信号線のそれぞれに接続された、検査トランジスタと、

検査信号を入力する複数の入力端子と、

を有し、

前記検査トランジスタのドレインもしくはソースは、前記走査信号線に接続され、

複数の前記検査トランジスタのゲートは、前記複数の入力端子の内の第 1 の入力端子に接続され、

複数の前記検査トランジスタのソースもしくはドレインは、前記複数の入力端子の内の第 2 の入力端子に接続され、

前記検査トランジスタは、前記副画素部への検査信号の入力を制御する、

アクティブ・マトリックス表示装置。

【請求項 3】

前記副画素部のスイッチング素子と前記検査トランジスタとは、アモルファス・シリコンによって形成された TFT である、請求項 1 又は 2 に記載のアクティブ・マトリックス表示装置。

【請求項 4】

前記副画素部のそれぞれは、1 つの色を表示することが可能であり、

前記第 2 の入力端子に接続された前記複数の検査トランジスタの全ては、同一色の副画素部に接続されている、請求項 1 又は 2 に記載のアクティブ・マトリックス表示装置。

【請求項 5】

スイッチング素子を有する副画素部がマトリックス状に配置されたアレイ基板と、前記アレイ基板と対向する対向基板と、を有するアクティブ・マトリックス表示装置の、画質検査方法であって、

第 1 の入力端子から検査信号を入力する、第 1 のステップと、

第 2 の入力端子から検査信号を入力する、第 2 のステップと、

前記入力された検査信号を、前記第 1 入力端子に接続された第 1 の複数の検査トランジスタのソース電極へ送る、第 3 のステップと、

前記入力された検査信号を、前記第 2 入力端子に接続された前記第 1 の複数の検査トランジスタのゲート電極へ送る、第 4 のステップと、

前記検査信号を、前記複数の検査トランジスタから、前記複数の検査トランジスタのそ

10

20

30

40

50

れぞれに接続されたデータ信号線を介して、前記副画素部に送る第5のステップと、
を有し、

前記複数の検査用トランジスタにより、前記検査信号の副画素への入力を制御することにより、所望の表示画面を表示する、画質検査方法。

【請求項6】

スイッチング素子を有する副画素部がマトリックス状に配置されたアレイ基板と、前記アレイ基板と対向する対向基板と、を有するアクティブ・マトリックス表示装置の、画質検査方法であって、

入力端子から検査信号を入力する、第1のステップと、

前記入力された検査信号を、前記入力端子に接続された複数の検査トランジスタへ送る、第2のステップと、

前記検査信号を、前記複数の検査TFTから、前記複数の検査トランジスタのそれぞれに接続された走査信号線を介して、前記副画素部に送る第3のステップと、

を有し、

前記検査トランジスタにより、前記検査信号の副画素への入力を制御することにより、所望の表示画面を表示する、画質検査方法。

【請求項7】

前記第5のステップは、同一色を表示する副画素部に検査信号が送られる、請求項14に記載の、画質検査方法。

20

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、アクティブ・マトリックス表示装置及びその検査方法に関するものであり、特に、表示装置の検査用回路を有する、アクティブ・マトリックス表示装置及びその検査方法に関する。

【背景技術】

【0002】

現在広く普及しているTFTカラー液晶表示装置の製造工程は、大きく分けて、液晶セルの製造工程、液晶モジュールの製造工程、そして、液晶モニターの製造工程に分けることができる。液晶モジュールは、液晶セルにドライバICと、それに入力する制御信号を生成する駆動回路とを接続し、バックライトと機構部品を装着することにより完成される。又、この液晶モジュールに、さらに、入力する画像情報を含む信号を生成するグラフィックアダプタを接続し、機構部品を装着することで、液晶モニターが完成する。

30

【0003】

液晶表示装置の製造においては、製造効率を上げるために、製造工程におけるごみの混入や寸法誤差から生ずる欠陥を早期に発見することが必要とされる。このことから、液晶表示装置の製造工程の各段階において、ギャップ検査や点灯検査等の各種検査が行われる。

40

【0004】

例えば、特開昭60-2989号公報は、TFTアレイのデータ/走査線の断線・短絡検出を行う方法が開示している。X駆動回路が1系統しかない液晶表示装置において、データ/走査線の断線検出を可能としたものであり、X駆動回路の反対側に検査用トランジスタ群を設けることにより、データ/走査線の断線・短絡を検出している。具体的には、駆動回路から入力された特定の検査信号を、検査用トランジスタから出力させることにより、検査を行っている。

【0005】

このほかにも、特開平3-18891、3-20721、5-5897、5-11000号公報において、駆動回路の反対側で、検査用の信号線、もしくはスイッチング回路を

50

アクティブ・マトリックス・アレイに接続して、アレイの検査を行うことが開示されている。又、駆動ＩＣを接続する前に、アクティブ・マトリックス・アレイの断線検査を、アナログ・スイッチ機能をもつ選択回路を利用して行うことが、特開平２－１５４２９２号公報に記載されている。

【０００６】

これらの検査の一つとして、ＴＦＴ液晶セルが完成した後に行われる画質検査がある。ＴＦＴ液晶セルの画質検査方法は種々のものが知られているが、主に行われているのは、多ピンプローブ方式と呼ばれる検査方法である。

【０００７】

これは、液晶セル製造の最終工程において、液晶セルの全ての信号入力端子の各端子にそれぞれ独立にプローブで接触し、液晶モジュールにおけるドライバＩＣからの入力信号と等価な電気信号を入力することにより行われる。これにより、最終製品における液晶セルの駆動を完全に再現することができるので、最終製品の表示画面を視覚的にチェックすることにより、検査を行うことができる。この場合、入力信号を準備することで、あらゆる種類の画面を表示することが可能となる。しかし、この多ピンプローブ方式による検査には、次に述べるいくつかの問題点がある。

【０００８】

まず、多ピンプローブは高コストであり、その製造に多くの時間が必要とされる。例えば画素数１０２４画素（×３副画素）×７６８行を有する液晶セルにおいては、少なくとも３８４０本の信号を入力すべき配線を持つため、画質検査を行うためには４０００箇所近い信号入力端子に接触できるプローブを準備しなければならない。

【０００９】

また、検査の安定性にも問題がある。近年の液晶セルの大型高精細化にともなって、プローブ箇所が増大、高密度化してきているため、プローブの電氣的接触の不安定性が問題になってきている。電氣的接触が不安定になると、入力すべき信号が与えられない配線に沿って検査画面が表示されず、そのため検査効率が著しく低下してしまう。これは、画像処理などによる自動検査を行う場合は致命的となる。さらに、液晶セルの高精細化にともなって、互いに隣接するプローブ間の間隔が小さくなるため、検査安定性の低下のみならず、プローブの作成そのものが限界にきている。

【００１０】

加えて、多ピンプローブは多品種に対応できないために、コスト増大と検査効率の低下を招いている。これは、液晶セルを多品種製造する場合、各品種の仕様の違いによりプローブ配置についての品種間の共通化が困難なため、品種毎にプローブセットを用意し、検査装置に付け替える必要があるためである。

【００１１】

以上のことから、表示できる検査用画面の種類が限られたとしても、多ピンプローブを使わずにすむような検査方法が求められている。

【特許文献１】特開昭６０－２９８９号公報

【特許文献２】特開平３－１８８９１号公報

【特許文献３】特開平３－２０７２１号公報

【特許文献４】特開平５－５８９７号公報

【特許文献５】特開平５－１１０００号公報

【特許文献６】特開平２－１５４２９２号公報

【発明の開示】

【発明が解決しようとする課題】

【００１２】

本発明の１つの目的は、画質検査を効率的に行うことができる、表示装置及びそのの検査方法を提供することである。

本発明の他の目的は、多くの画質検査に対応出来る検査回路を備えた表示装置、及び、その検査方法を提供することである。

10

20

30

40

50

本発明の他の目的は、表示装置を確実に検査することを可能とする、表示装置及びその検査方法を提供することである。

本発明の他の目的は、大型高精細化された表示装置の検査を、安定的に行うことができる、装置及びその検査方法を提供することである。

本発明の他の目的は、ドライバＩＣが接続される前の表示装置の画質検査を、効率的に行うことができる、表示装置及びその検査方法を提供することである。

【課題を解決するための手段】

【００１３】

本発明に係るアクティブ・マトリックス表示装置は、画質検査を行うための検査回路を有する。この検査回路は、検査信号を入力するための複数の入力端子と、各入力端子に接続された複数の検査用トランジスタとを備える。入力端子から副画素部へ送られる入力検査信号を、検査トランジスタで入力制御することにより、所望の検査画面表示を行う。検査トランジスタは、好ましくは、アモルファス・シリコンＴＦＴである。

【００１４】

一つの入力端子には、複数の検査トランジスタが接続されている。好ましくは、検査トランジスタの全てのゲート電極は、一つの入力端子に接続される。他の入力端子は、検査トランジスタのソース電極に接続される。好ましくは、隣接する副画素部列へ接続される検査トランジスタは、異なる入力端子に接続される。又、異なる色の副画素部列に接続される検査トランジスタは、異なる入力端子に接続される。

【００１５】

検査回路は、データ信号配線側と走査信号配線側の双方に形成されていることが好ましい。さらに好ましくは、一方側の検査回路は、少なくとも入力端子を３つ備える。その一つには全ての検査トランジスタのゲート電極が接続され、他の２つの端子には、隣接する副画素部列に接続された検査ＴＦＴが、交互に別の端子に接続されるように接続される。もう一方の検査回路は、少なくとも７つの入力端子を備える。全ての検査ＴＦＴのゲートが一つの端子に接続されている。他の端子については、ＲＧＢの異なる色を有する副画素列に接続された検査ＴＦＴは、異なる端子に接続される。又、隣り合う副画素部列に接続された検査ＴＦＴを異なる端子に接続する。つまり、奇数番目の副画素列であって、さらに、ＲＧＢの各色用の３端子と、偶数番目の副画素列であって、さらに、ＲＧＢの各色用の３端子との計６端子である。

【発明を実施するための最良の形態】

【００１６】

スイッチング素子を有する副画素部がマトリックス状に配置されたアレイ基板と、前記アレイ基板と対向する対向基板と、を有する表示装置であって、

前記アレイ基板は、

前記副画素部に信号を送る、複数のデータ信号線及び複数の走査信号線と、

前記複数のデータ信号線のそれぞれに接続された、検査トランジスタと、

検査信号を入力する複数の入力端子と、

を有し、

前記検査トランジスタのドレインもしくはソースは、前記データ信号線に接続され、

複数の前記検査トランジスタのゲートは、前記複数の入力端子の内の第１の入力端子に接続され、

複数の前記検査トランジスタのソースもしくはドレインは、前記複数の入力端子の内の第２の入力端子に接続され、

前記検査トランジスタは、前記副画素部への検査信号の入力を制御する。

【実施例１】

【００１７】

液晶セル、

図１は、本実施形態における液晶セルの全体構造を示した概略図である。図において、１は液晶セル、２はＴＦＴアレイ基板、３はＴＦＴアレイ基板２と互いに平行に配置され

10

20

30

40

50

た対向基板である。ここには図示しないが、T F Tアレイ基板2と対向基板3との間には、シール材と封止樹脂とで液晶が封入されている。又、液晶セルには、配向膜、トランスファ、偏光フィルムなどが形成され、両基板の距離は、その間に設けられたスペーサボールによって保たれている。本形態において、対向基板3は、R G Bのカラーフィルタが形成されたカラーフィルタ基板である。

【0018】

配向膜は、液晶の初期配向を決めるために、2つの基板のそれぞれの向かい合う面に形成される。シール材は、2つの基板を接着し、液晶を基板間に閉じ込めておくために、表示画素領域7の外側に形成される。又、封止樹脂は、注入口と呼ばれるあらかじめ設けたシール材の非形成領域から、2つの基板の間に液晶を注入した後に、そこを密閉するために形成される。スペーサボールは、2つの基板間の間隙を決めるための球状の絶縁物で、基板の一方に散布される。表示画素領域7の外側に形成されるトランスファは、T F Tアレイ基板2上の端子から入力された共通電極電位を、対向基板3上の共通電極に与えるための電導性物質である。偏光フィルムは、貼り合わされた2つの基板の外側各面に形成され、液晶セルに入る光の偏光を制御する。

10

【0019】

図1において、4、5は液晶セルの画質検査を行うための検査用回路である。これらはT F Tアレイ基板2上に形成されている。7は液晶セルにおいて実際に表示を行う表示領域である。6は表示領域の外周領域であり、表示領域に画面表示信号を入力するドライバICが接続される、表示信号入力端子16が形成される。

20

【0020】

T F Tアレイ回路。

図2は、T F Tアレイ基板2の回路構造を示す概略図である。図において、11は一方向に互いに平行に延在し、走査信号が供給される複数の走査信号配線、12は走査信号配線11と交差する方向に互いに平行に延在し、映像信号が供給される複数のデータ信号配線12である。T F Tアレイ基板2は、表示画素領域7内に、マトリクス状に配列された複数の副画素13を備え、各副画素13は、走査信号配線11とデータ信号配線12とによって囲まれている。各副画素13は、液晶に電界を加える加える画素電極15（ITO膜）、画素電極の保持能力を補完する付加容量（Cs）18、さらに、走査信号配線11および信号配線12と画素電極15とを接続し、スイッチング機能を有する薄膜トランジスタ（T F T）14とを有している。表示領域7の外側には、液晶セルの画質検査用回路4、5や、配線11、12に電気信号を入力するための表示信号入力端子16、などが形成されている。尚、画質検査用回路4、5の構造は後に詳細する。

30

【0021】

カラーフィルタ基板3（不図示）上には、R G B三原色を分離するためのカラーフィルタと、T F Tアレイ基板2上の画素電極15との間の電界により液晶の配向を制御するための共通電極17などが形成されている。各副画素は、R G Bいずれか1色のカラーフィルタを有する。液晶セルの表示は、各画素電極15と共通電極17との電位差により封入された液晶の配向を制御することで行うことができ、この電位差制御は、T F T 14によって入力される信号を操作されることで行われる。液晶の配向により、液晶セルを透過する光の量が制御される。尚、R G B 3つの副画素が、1つの画素を形成する。

40

【0022】

本実施の形態において、T F T 14はアモルファス・シリコンにより形成され、検査用回路4、5も同様にアモルファス・シリコンT F Tを備える。従って、フォトマスク上にパターンを追加することにより、検査用回路4、5は、T F T 14と同時に形成することができる。又、検査用回路4、5の配線、及び検査用端子も、液晶表示回路の配線や表示信号入力端子16と同時に形成することが可能である。この結果、この検査用回路4、5の形成のために、付加的な製造工程を必要としない。尚、T F Tアレイ基板の製造工程は、フォトレジストを用いた、堆積、エッチング・プロセスを用いて行われるが、これらは広く知られた技術であり、ここでは詳細な説明を行わない。

50

【0023】

検査用回路。

検査用回路4、5について説明する。図2は、本実施形態におけるTF Tアレイ基板2上に形成する回路の概略を示す回路図である。尚、図は説明の便宜上、回路の部分的構造のみを示し、全体構造は記載されていない。図において、22は各走査信号配線、もしくは、各信号配線に接続された検査用TF Tであり、ソース電極23、ドレイン電極24、及び、ゲート電極25を有している。31～35は走査信号配線11に接続される検査用端子であり、41～53は信号配線12に接続される検査用端子である。この回路に加える検査用入力信号は、走査信号配線側に5種、信号配線側に13種の、計18種類である。

10

【0024】

表示領域は複数のブロックに分けられ、各ブロック毎に1セットの走査側検査用端子と、1セットの信号側検査用端子が接続されている。各ブロック毎に、特定の領域の走査信号配線と信号配線が割り当てられている。検査用端子31と32、33と34とで、それぞれ1つのセットを構成し、検査用TF Tのソース23に接続されている。検査用端子35は、全ての走査側検査用TF Tのゲート25に接続されている。又、検査用端子41～46と47～52とが、それぞれ、1つのセットを構成し、検査用TF Tのソース23に、共通ソース配線を介して接続されている。検査用端子53は、全ての信号側検査用TF Tのゲート25に、共通ゲート配線に接続されている。尚、このソースとドレインは反対にすることもできることは、言うまでもない。

20

【0025】

走査信号配線側の検査用端子31～35は次のように接続されている。検査用端子31および32は、それぞれ、あるブロックに対応する領域61の走査信号配線11に、検査用TF T22を介して、交互に接続されている。つまり、検査用端子31は領域61の($2m+1$)本目に接続され、検査用端子32は領域61の($2m+2$)本目(m は整数)に接続されている。

【0026】

同様に、検査用端子33および34は、上の領域61とは別の領域62の走査信号配線11に、検査用TF T22を介して、交互に接続されている。つまり、検査用端子33は領域62の($2n+1$)本目に接続され、検査用端子34は領域61の($2n+2$)本目(n は整数)に接続されている。尚、図において、各領域には4行の副画素列しか含まれていないが、実際は、もっと多くの副画素行が一つの領域に含まれている。

30

【0027】

走査線側検査回路5を、上記のように構成することにより、各ブロックの走査信号配線の奇数本目と偶数本目を別のタイミングで選択して、検査用信号を入力することができる。この結果、信号配線に入力する電位によって、液晶に印加される電圧をフレーム毎に極性反転して交流駆動する方法の一種である、行反転(ロウ反転)駆動や、画素反転(ドット反転)駆動にも対応可能となる。なお、走査信号配線の奇数本目と偶数本目を同時に選択しても、信号配線に入力する電位をフレーム毎に反転することによって、フレーム反転駆動は可能である。

40

【0028】

また、このような接続方法により、領域61と領域62の走査信号配線を異なるタイミングで選択することができる。この結果、信号配線に入力する電位によって、表示画面に領域61と領域62とで、異なるパターンを表示することが可能となる。

【0029】

信号配線側の1セットの検査用端子41～53は、次のように接続されている。検査用端子41および42は、それぞれ、ある領域63の信号配線12の($6p+1$)本目と($6p+4$)本目(p は整数)に、検査用TF T22を介して接続されている。このとき検査用端子41および42は、検査用TF T22のソース電極23と接続され、信号配線12は、ドレイン電極24に接続されている。尚、このソースとドレインは反対にすること

50

もできることは、言うまでもない。

【0030】

検査用端子43および44は、それぞれ、領域63の信号配線12の $(6p+5)$ 本目と $(6p+2)$ 本目(p は整数)に、検査用TF T 22を介して接続されている。このとき検査用端子43および44とは検査用TF T 22のソース電極23に接続され、信号配線12は、ドレイン電極24に接続されている。又、検査用端子45および46は、それぞれ、領域63の信号配線12の $(6p+3)$ 本目と $(6p+6)$ 本目(p は整数)に、検査用TF T 22を介して接続されている。このとき検査用端子45および46とは、検査用TF T 22のソース電極23に接続され、信号配線12は、ドレイン電極24に接続されている。

10

【0031】

信号配線側の別の1セットの検査用端子47~52は、上の領域63とは異なる領域64の信号配線12に接続されている。検査用端子47および48は、それぞれ、領域64の信号配線12の $(6q+4)$ 本目と $(6q+1)$ 本目(q は整数)に、検査用TF T 22を介して接続されている。このとき検査用端子47と48とは、検査用TF T 22のソース電極23に接続され、信号配線12は、ドレイン電極24に接続されている。

【0032】

検査用端子49および50は、それぞれ、領域64の信号配線12の $(6q+2)$ 本目と $(6q+5)$ 本目(q は整数)に、検査用TF T 22を介して接続されている。このとき検査用端子49および50とは、検査用TF T 22のソース電極23に接続され、信号配線12は、ドレイン電極24に接続されている。又、検査用端子51および52は、それぞれ、領域64の信号配線12の $(6q+6)$ 本目と $(6q+3)$ 本目(q は整数)に、検査用TF T 22を介して接続されている。このとき検査用端子51および52とは、検査用TF T 22のソース電極23に接続され、信号配線12は、ドレイン電極24に接続されている。尚、図において、各領域は4つの副画素列しか有していないが、実際は、もっと多くの連続する副画素列を有している。

20

【0033】

本実施形態の液晶セル1は、縦ストライプ状に配列されたRGBの副画素を持っている。すなわち、信号線によって画定される副画素列(図2における縦方向の列)が、順番に、RGBのカラーフィルタを有している。上記のように信号線側検査回路4を構成することによって、隣接する副画素列の間で、互いに逆極性になる電圧を液晶に印加することが可能となる。また、RGBの各副画素列に、R、G、B独立に電圧を与えることができるため、表示領域全体で、任意の色を表示することができる。さらに、領域63と領域64の信号配線に印加する電位を変えることで、表示画面上の領域63と領域64とに、異なるパターンを表示することが可能となる。

30

【0034】

画質検査。

本形態における、液晶セル1の画質検査方法を説明する。この画質検査は、走査信号および映像データ信号(映像信号)を与えるプローブを、液晶セル1の電極端子16に接触することで出画検査を行う従来の方法にかえて、検査用信号を与えるプローブを、検査用端子31~35および41~53に接触することで出画検査を行う。検査用端子から副画素部へ送られる信号を、検査TF Tを操作することにより、制御することができる。

40

【0035】

この本実施形態における検査用回路4、5に加える検査用駆動波形の例を図3にあげる。本例は画素反転(ドット反転)駆動により、検査用のウィンドウ表示を出画するときの例である。このウィンドウ表示は、図4に示されている。図3は、加えられる検査駆動信号の一部を示したものにすぎない。実際は、この信号と同形の信号が連続して液晶セル1に入力される。図3において、横軸は時間軸をあらわす。期間 $T(1)$ と $T(2)$ とで1フレームの期間をあらわし、期間 $T(1)$ および $T(2)$ と、期間 $T(3)$ および $T(4)$ との違いは、信号 $S(k)$ および $S(k+1)$ がそれぞれ逆位相になっている点である。これらの期間 $T(1)$ から $T(4)$ を1周期

50

として、1つの検査画面を表示している間、これらの信号が繰り返し連続して液晶セル1に入力される。

【0036】

この他の駆動例は、行反転（ロウ反転）駆動、列反転（カラム反転）駆動等がある。入力信号波形の変更によって、これらの必要な駆動方法を容易に実現できる。さらに、入力信号電圧を可変とすることで、任意の階調表示が可能となる。また、本例では、R、G、Bの信号を独立に入力できるので、任意の色表示が可能である。

【0037】

図4は、検査用表示画面の一例としての、検査用のウィンドウ表示を示す図である。表示画面は、複数のブロックによって構成されている。ここで、図4の検査用画面表示得るために、図2の回路に図3の信号をどのように入力するかを説明する。尚、この液晶セルは1は、ノーマリ・ホワイト・モードである。 10

【0038】

まず、本例における、図2と図4の各領域の対応を説明する。図2の領域61は、図4の領域72に対応し、また、領域62は、領域71および領域73に対応する。同様に図2の領域63は、図4の領域74および領域76に対応し、領域64は、領域75に対応する。これらの領域によって、表示画面におけるブロックが特定される。

【0039】

図3の信号 $G(i)$ 、 $G(i+1)$ を、端子34、33にそれぞれ入力する。同様に、信号 $G(j)$ 、 $G(j+1)$ を、端子32、31にそれぞれ入力する。また、信号 $S(k)$ を、端子47、49、51に入力し、同様に、信号 $S(k+1)$ を、端子48、50、52に入力する。端子41、43、45には、期間 $T(1)$ および $T(3)$ の間は図3の信号 $S(k)$ の信号を入力し、期間 $T(2)$ および $T(4)$ の間にも、それぞれ期間 $T(1)$ および $T(3)$ と同じ電圧振幅になるような波形を入力する。同様に、端子42、44、46には、期間 $T(1)$ および $T(3)$ の間は図3の信号 $S(k+1)$ の信号を入力し、期間 $T(2)$ および $T(4)$ の間にもそれぞれ、期間 $T(1)$ および $T(3)$ と同じ電圧振幅になるように、信号波形を入力する。 20

【0040】

液晶セルの表示検査を行う際に、検査用TFTが常にオンとされるように、端子35と53には、十分に高い電位を連続して入力しておく。すると、表示画面は図4のように、領域72と領域75とによって特定されるブロックでは、ノーマリ・ホワイトモードの液晶セルにおいては黒表示になり、その他のブロックでは灰色表示となるような、ウィンドウ表示が実現される。 30

【0041】

他の検査表示画面例として、例えば全面青色（B）表示を行うことが考えられる。図2において、左から、R、G、Bの順序で副画素列が続いている。従って、 $(3r)$ 本目（ r は整数）の信号配線12に明表示をあらわす駆動信号を印加し、その他の信号配線12に黒表示をあらわす駆動信号を印加することによって、全面青色（B）表示を行うことができる。具体的には、端子45、46、51、52に、図3の $S(k)$ 、 $S(k+1)$ の期間 $T(1)$ および $T(3)$ よりもさらに小さい振幅の電圧（振幅0でもよい）を印加し、端子41～44と47～50には、 $S(k)$ 、 $S(k+1)$ の期間 $T(2)$ および $T(4)$ と同じ振幅の電圧を印加することで実現できる。同様に、赤（R）、緑（G）の単色表示もできるし、印加電圧振幅によっては、RGBの組み合わせにより、あらゆる中間色を表示することができる。 40

【0042】

液晶セルの表示画面検査に際しては、上のような方法をとれば、非常に少ない信号入力端子数で、検査に必要な表示パターンを表示することができ、安定して低コストな検査を実現することができる。

【0043】

上記の画質検査が行われたあと、この液晶セルにドライバICと、それに入力する制御信号を生成する駆動回路とを接続し、バックライトと機構部品を装着することにより、液晶モジュールが完成される。検査用TFTは、最終製品の駆動時はオフになるようされる 50

。これは、検査時に束ねた入力を安定的に切り離すことを目的とする。

【0044】

以上のように、本実施の形態は、上記のような構成の検査回路を有するので、画質検査に必要な信号を多ピンプローブを用いることなく、液晶セルに入力することができるので、液晶セルの画質検査を効率的に行うことが可能となる。

【0045】

尚、本実施の形態においては、走査信号配線と信号配線との双方に検査回路を形成したが、その一方のみに検査回路を設け、他方には従来の多ピンプローブを検査信号を入力することも可能である。例えば、走査信号配線側の検査回路の代わりに、多ピンプローブを接続する。

10

【0046】

又、表示画面種類や駆動条件の必要に応じて、入力端子数を増減させることも可能である。具体的には、本実施形態においては、信号配線12に接続された接続端子は2セットであるが、これをさらに増加させることにより、より細かいブロック表示を行うことが可能となる。尚、本形態においては、全ての検査用TFTのゲートを一つの共通ゲート配線に接続したが、これを複数に分けることももちろん可能である。

【0047】

反対に入力端子数を減少させることも考えられる。例えば、画質検査として、全画面の色表示検査のみを行う場合は、走査信号配線側の検査回路には、1つの共通ゲート端子と1つの共通ソース端子のみを設ける。信号配線側の検査回路には、R、G、Bのそれぞれの副画素用のそれぞれ一つずつの共通ソース端子と、全ての検査用TFTに共通の1つのゲート端子のみを形成する。この検査回路により、印加電圧を制御することにより、少なくとも、全色の全画面表示を行うことができる。

20

【0048】

又、本形態では、表示領域を9つのブロックに分割したが、各領域に含まれる副画素を少なくし、各領域を接続端子の本実施形態における各セットに交互に接続することにより、さらに多くのブロックに分割することができる。ブロック数を多くすることで、より詳細な検査が可能となる。また、上の実施例では、検査用TFT22のソース電極23が、複数種類の検査用端子(端子31~34または端子41~52)のうちの一つと接続され、ゲート電極は、共通の検査用端子(端子35または53)に接続されている。しかし、これと反対に、検査用TFTのゲート電極を、表示パターンから決まる複数種類の検査用端子のうちの一つに接続し、ソース電極を一の共通な検査用端子に接続するような構成にしてもよい。又、一部の信号配線のみに検査TFTを接続してもよい。

30

【0049】

さらに、本発明の検査回路は、液晶セルのみならず、他のアクティブ素子を用いた表示装置や、カラーフィルタを使用しない液晶表示装置にも適用可能である。他の表示装置の例としては、有機高分子膜に印加する電圧をアクティブ素子で操作することにより、その発光を制御するAM-PLED(アクティブマトリクス-ポリマー発光ダイオード)、または、AM-OLED(アクティブマトリクス-有機発光ダイオード)を用いた、自発光型ディスプレイ等がある。

40

【0050】

尚、本発明のまとめとして、以下に開示する。

(1) スイッチング素子を有する副画素部がマトリックス状に配置されたアレイ基板と、前記アレイ基板と対向する対向基板と、を有する表示装置であって、

前記アレイ基板は、

前記副画素部に信号を送る、複数のデータ信号線及び複数の走査信号線と、

前記複数のデータ信号線のそれぞれに接続された、検査トランジスタと、

検査信号を入力する複数の入力端子と、

を有し、

前記検査トランジスタのドレインもしくはソースは、前記データ信号線に接続され、

50

複数の前記検査トランジスタのゲートは、前記複数の入力端子の内の第1の入力端子に接続され、

複数の前記検査トランジスタのソースもしくはドレインは、前記複数の入力端子の内の第2の入力端子に接続され、

前記検査トランジスタは、前記副画素部への検査信号の入力を制御する、
アクティブ・マトリックス表示装置。

(2) スイッチング素子を有する副画素部がマトリックス状に配置されたアレイ基板と、前記アレイ基板と対向する対向基板と、を有する表示装置であって、

前記アレイ基板は、

前記副画素部に信号を送る、複数のデータ信号線及び複数の走査信号線と、

前記複数の走査信号線のそれぞれに接続された、検査トランジスタと、

検査信号を入力する複数の入力端子と、

10

を有し、

前記検査トランジスタのドレインもしくはソースは、前記走査信号線に接続され、

複数の前記検査トランジスタのゲートは、前記複数の入力端子の内の第1の入力端子に接続され、

複数の前記検査トランジスタのソースもしくはドレインは、前記複数の入力端子の内の第2の入力端子に接続され、

前記検査トランジスタは、前記副画素部への検査信号の入力を制御する、
アクティブ・マトリックス表示装置。

20

(3) 前記副画素部のスイッチング素子と前記検査トランジスタとは、アモルファス・シリコンによって形成されたTFTである、(1)又は(2)に記載のアクティブ・マトリックス表示装置。

(4) 前記副画素部のそれぞれは、1つの色を表示することが可能であり、

前記第2の入力端子に接続された前記複数の検査トランジスタの全ては、同一色の副画素部に接続されている、(1)又は(2)に記載のアクティブ・マトリックス表示装置。

(5) 前記副画素部のそれぞれは、1つの色を表示することが可能であり、

前記第1の入力端子に接続された前記複数の検査トランジスタの全ては、同一色の副画素部に接続されている、(1)又は(2)に記載のアクティブ・マトリックス表示装置。

(6) 隣接する前記データ信号線に接続された前記検査トランジスタのソース又はドレインは、前記複数の入力端子の内の異なる入力端子に接続される、(1)又は(4)に記載のアクティブ・マトリックス表示装置。

30

(7) 隣接する前記走査信号線に接続された前記検査トランジスタのソース又はドレインは、前記複数の入力端子の内の異なる入力端子に接続される、(2)又は(4)に記載のアクティブ・マトリックス表示装置。

(8) 前記アレイ基板上の前記データ信号線に接続された全ての前記検査トランジスタのゲートは、前記第1の入力端子に接続されている、(1)に記載のアクティブ・マトリックス表示装置。

(9) 前記アレイ基板上の前記走査信号線に接続された全ての前記検査トランジスタのゲートは、前記第1の入力端子に接続されている、(2)に記載のアクティブ・マトリックス表示装置。

40

(10) 前記副画素部のそれぞれは、1つの色を表示することが可能であり、

前記第2の入力端子に接続された前記複数の検査トランジスタの全ては、同一色の副画素部に接続され、

前記アレイ基板上の前記データ信号線に接続された全ての前記検査トランジスタのゲートは、前記第1の入力端子に接続され、

隣接する前記データ信号線に接続された前記検査トランジスタのソース又はドレインは、前記複数の入力端子の内の異なる入力端子に接続される、(1)に記載のアクティブ・マトリックス表示装置。

(11) 前記アレイ基板は、さらに、

50

前記複数の走査信号線のそれぞれに接続された、走査線検査トランジスタと、
前記走査線へ検査信号を入力するための複数の走査線入力端子と、
を有し、

前記走査線検査トランジスタのドレイン又はソースは、前記走査信号線に接続され、
複数の前記走査線検査トランジスタのゲートは、前記複数の走査線入力端子の内の第1
の走査線入力端子に接続され、

複数の前記走査線検査トランジスタのソース又はドレインは、前記複数の走査線入力端
子の内の第2の走査線入力端子に接続され、

前記走査線検査トランジスタは、前記副画素部への検査信号の入力を制御する、(1)
に記載のアクティブ・マトリックス表示装置。

10

(12) 隣接する前記走査信号線に接続された前記走査線検査トランジスタのソース又
はドレインは、前記複数の走査線入力端子の内の異なる走査線入力端子に接続される、(10)
に記載のアクティブ・マトリックス表示装置。

(13) 前記アクティブ・マトリックス表示装置は、さらに、前記複数のデータ信号線
と前記複数の走査信号線とに接続された、駆動回路とを有し、

前記駆動回路が画面表示信号の入力を制御するとき、全ての前記検査トランジスタはO
FF状態に維持されている、(1)又は(2)に記載のアクティブ・マトリックス表示装
置。

(14) スイッチング素子を有する副画素部がマトリックス状に配置されたアレイ基板と
、前記アレイ基板と対向する対向基板と、を有するアクティブ・マトリックス表示装置の
、画質検査方法であって、

20

第1の入力端子から検査信号を入力する、第1のステップと、

第2の入力端子から検査信号を入力する、第2のステップと、

前記入力された検査信号を、前記第1入力端子に接続された第1の複数の検査トランジ
スタのソース電極へ送る、第3のステップと、

前記入力された検査信号を、前記第2入力端子に接続された前記第1の複数の検査トラ
ンジスタのゲート電極へ送る、第4のステップと、

前記検査信号を、前記複数の検査トランジスタから、前記複数の検査トランジスタのそ
れぞれに接続されたデータ信号線を介して、前記副画素部に送る第5のステップと、

を有し、

30

前記複数の検査用トランジスタにより、前記検査信号の副画素への入力を制御すること
により、所望の表示画面を表示する、画質検査方法。

(15) スイッチング素子を有する副画素部がマトリックス状に配置されたアレイ基板と
、前記アレイ基板と対向する対向基板と、を有するアクティブ・マトリックス表示装置の
、画質検査方法であって、

入力端子から検査信号を入力する、第1のステップと、

前記入力された検査信号を、前記入力端子に接続された複数の検査トランジスタへ送る
、第2のステップと、

前記検査信号を、前記複数の検査TFTから、前記複数の検査トランジスタのそれぞれ
に接続された走査信号線を介して、前記副画素部に送る第3のステップと、

40

を有し、

前記検査トランジスタにより、前記検査信号の副画素への入力を制御することにより、
所望の表示画面を表示する、画質検査方法。

【図面の簡単な説明】

【0051】

【図1】本実施の形態における液晶セルの構成を示す、概略図である。

【図2】本実施の形態における液晶セルの回路構造を示す、該略図である。

【図3】本実施の形態における、画質検査信号を示す概略図である。

【図4】本実施の形態における、検査画面を示す概略図である。

【符号の説明】

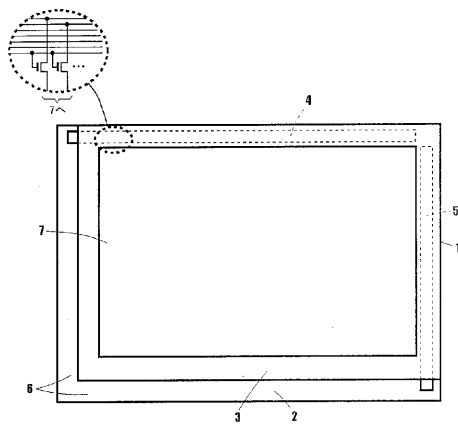
50

【 0 0 5 2 】

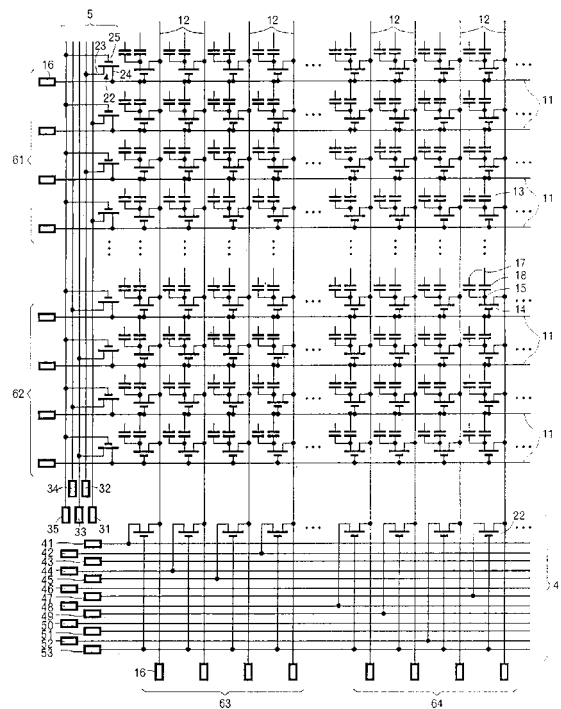
- 1 液晶セル
- 2 TFTアレイ基板
- 3 カラーフィルタ基板
- 4、5 検査回路
- 6 外周領域
- 7 表示領域
- 11 走査信号配線
- 12 データ信号配線
- 13 副画素
- 15 画素電極 (ITO膜)
- 18 付加容量 (Cs)
- 22 検査用TFT
- 23 ソース電極
- 24 ドレイン電極
- 25 ゲート電極
- 31 ~ 35 検査用端子
- 41 ~ 53 検査用端子

10

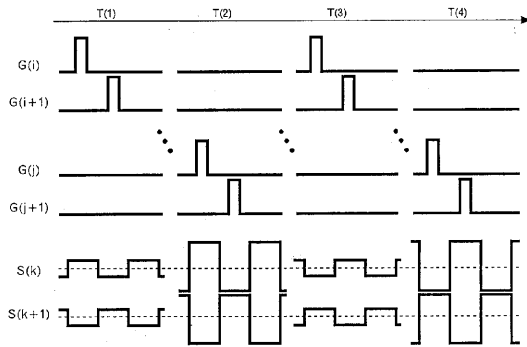
【 図 1 】



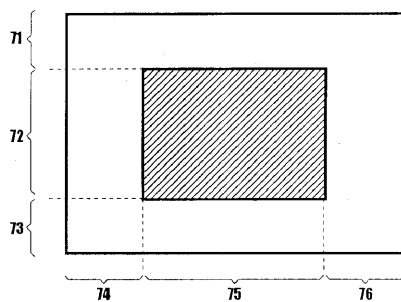
【 図 2 】



【図 3】



【図 4】



【手続補正書】

【提出日】平成15年8月7日(2003.8.7)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

(イ) 列方向に延びる複数のデータ信号線及び該データ信号線に直交するように行方向に延びる複数の走査信号線を有し、前記データ信号線と前記走査信号線との交点に、スイッチング素子を有する副画素が設けられており、前記走査信号線に沿った複数の副画素は、R画素、G画素及びB画素の順番を繰り返すように並べられており、前記走査信号線及び前記データ信号線に沿った互いに隣接する副画素は反転駆動される表示領域と、

前記表示領域外に設けられた走査線側検査回路であって、

前記複数の走査信号線のうち奇数番目の走査信号線のそれぞれが検査用トランジスタを介して奇数番目走査信号線用端子に接続されており、

前記複数の走査信号線のうち偶数番目の走査信号線のそれぞれが検査用トランジスタを介して偶数番目走査信号線用端子に接続されている前記走査線側検査回路と、

前記表示領域外に設けられた信号線側検査回路であって、

前記複数のデータ信号線のうち $6p + 1$ 番目の (p は整数) データ信号線のそれぞれに検査用トランジスタを介して接続されている第1端子と、

前記複数のデータ信号線のうち $6p + 4$ 番目のデータ信号線のそれぞれに検査用トランジスタを介して接続されている第2端子と、

前記複数のデータ信号線のうち $6p + 5$ 番目のデータ信号線のそれぞれに検査用トラン

ジスタを介して接続されている第 3 端子と、

前記複数のデータ信号線のうち $6p + 2$ 番目のデータ信号線のそれぞれに検査用トランジスタを介して接続されている第 4 端子と、

前記複数のデータ信号線のうち $6p + 3$ 番目のデータ信号線のそれぞれに検査用トランジスタを介して接続されている第 5 端子と、

前記複数のデータ信号線のうち $6p + 6$ 番目のデータ信号線のそれぞれに検査用トランジスタを介して接続されている第 6 端子とを有する前記信号線側検査回路とを有するアレ基板と、

(ロ) 該アレ基板と対向する対向基板と

を有するアクティブ・マトリックス表示装置をテストする方法であって、

(ハ) 第 1 時刻に、前記奇数番目走査信号線用端子及び該奇数番目走査信号線用端子に接続された前記検査用トランジスタを介して、前記奇数番目の走査信号線に信号 $G(i)$ を印加して、前記奇数番目の走査信号線に沿った前記副画素のスイッチング素子を導通させ、前記信号 $G(i)$ の印加時に、前記第 1 端子、前記第 3 端子及び前記第 5 端子に一方の極性のデータ信号 $S(k)$ を印加し、前記第 2 端子、前記第 4 端子及び前記第 6 端子に前記一方の極性のデータ信号 $S(k)$ の極性を反転した他方の極性のデータ信号 $S(k + 1)$ を印加するステップと、

(ニ) 第 2 時刻に、前記偶数番目走査信号線用端子及び該偶数番目走査信号線用端子に接続された前記検査用トランジスタを介して、前記偶数番目の走査信号線に信号 $G(i + 1)$ を印加して、前記偶数番目の走査信号線に沿った前記副画素のスイッチング素子を導通させ、前記信号 $G(i + 1)$ の印加時に、前記第 1 端子、前記第 3 端子及び前記第 5 端子に他方の極性のデータ信号 $S(k)$ を印加し、前記第 2 端子、前記第 4 端子及び前記第 6 端子に前記他方の極性のデータ信号 $S(k)$ の極性を反転した一方の極性のデータ信号 $S(k + 1)$ を印加するステップとを含むアクティブ・マトリックス表示装置の検査方法。

【請求項 2】

前記走査線側検査回路の前記検査用トランジスタは薄膜トランジスタであり、前記走査線側検査回路は前記薄膜トランジスタのゲートにゲート電圧を印加するように接続された第 1 ゲート電圧印加用端子を有し、

前記奇数番目の走査信号線のそれぞれが前記薄膜トランジスタのドレイン若しくはソースに接続され、前記薄膜トランジスタのソース若しくはドレインが前記奇数番目走査信号線用端子に接続されており、

前記偶数番目の走査信号線のそれぞれが前記薄膜トランジスタのドレイン若しくはソースに接続され、前記薄膜トランジスタのソース若しくはドレインが前記偶数番目走査信号線用端子に接続されていることを特徴とする、請求項 1 に記載のアクティブ・マトリックス表示装置の検査方法。

【請求項 3】

前記信号線側検査回路の前記検査用トランジスタは薄膜トランジスタであり、前記信号線側検査回路は前記薄膜トランジスタのゲートにゲート電圧を印加するように接続された第 2 ゲート電圧印加用端子を有し、

前記 $6p + 1$ 番目のデータ信号線のそれぞれが前記薄膜トランジスタのドレイン若しくはソースに接続され、前記薄膜トランジスタのソース若しくはドレインが前記第 1 端子に接続され、

前記 $6p + 4$ 番目のデータ信号線のそれぞれが前記薄膜トランジスタのドレイン若しくはソースに接続され、前記薄膜トランジスタのソース若しくはドレインが前記第 2 端子に接続され、

前記 $6p + 5$ 番目のデータ信号線のそれぞれが前記薄膜トランジスタのドレイン若しくはソースに接続され、前記薄膜トランジスタのソース若しくはドレインが前記第 3 端子に接続され、

前記 $6p + 2$ 番目のデータ信号線のそれぞれが前記薄膜トランジスタのドレイン若しく

はソースに接続され、前記薄膜トランジスタのソース若しくはドレインが前記第4端子に接続され、

前記 $6p + 3$ 番目のデータ信号線のそれぞれが前記薄膜トランジスタのドレイン若しくはソースに接続され、前記薄膜トランジスタのソース若しくはドレインが前記第5端子に接続され、

前記 $6p + 6$ 番目のデータ信号線のそれぞれが前記薄膜トランジスタのドレイン若しくはソースに接続され、前記薄膜トランジスタのソース若しくはドレインが前記第6端子に接続されていることを特徴とする、請求項1又は請求項2に記載のアクティブ・マトリックス表示装置の検査方法。

【請求項4】

(イ) 列方向に延びる複数のデータ信号線及び該データ信号線に直交するように行方向に延びる複数の走査信号線を有し、前記データ信号線と前記走査信号線との交点に、スイッチング素子を有する副画素が設けられており、前記走査信号線に沿った複数の副画素は、R画素、G画素及びB画素の順番を繰り返すように並べられており、前記走査信号線及び前記データ信号線に沿った互いに隣接する副画素は反転駆動され、前記複数のデータ信号線は、第1群のデータ信号線及び第2群のデータ信号線に分けられている表示領域と、

前記表示領域外に設けられた走査線側検査回路であって、

前記複数の走査信号線のうち奇数番目の走査信号線のそれぞれが検査用トランジスタを介して奇数番目走査信号線用端子に接続されており、

前記複数の走査信号線のうち偶数番目の走査信号線のそれぞれが検査用トランジスタを介して偶数番目走査信号線用端子に接続されている前記走査線側検査回路と、

前記表示領域外に設けられた信号線側検査回路であって、

前記第1群のデータ信号線のうち $6p + 1$ 番目の (p は整数) データ信号線のそれぞれに検査用トランジスタを介して接続されている第1端子と、

前記第1群のデータ信号線のうち $6p + 4$ 番目のデータ信号線のそれぞれに検査用トランジスタを介して接続されている第2端子と、

前記第1群のデータ信号線のうち $6p + 5$ 番目のデータ信号線のそれぞれに検査用トランジスタを介して接続されている第3端子と、

前記第1群のデータ信号線のうち $6p + 2$ 番目のデータ信号線のそれぞれに検査用トランジスタを介して接続されている第4端子と、

前記第1群のデータ信号線のうち $6p + 3$ 番目のデータ信号線のそれぞれに検査用トランジスタを介して接続されている第5端子と、

前記第1群のデータ信号線のうち $6p + 6$ 番目のデータ信号線のそれぞれに検査用トランジスタを介して接続されている第6端子と、

前記第2群のデータ信号線のうち $6q + 4$ 番目の (q は整数) データ信号線のそれぞれに検査用トランジスタを介して接続されている第7端子と、

前記第2群のデータ信号線のうち $6q + 1$ 番目のデータ信号線のそれぞれに検査用トランジスタを介して接続されている第8端子と、

前記第2群のデータ信号線のうち $6q + 2$ 番目のデータ信号線のそれぞれに検査用トランジスタを介して接続されている第9端子と、

前記第2群のデータ信号線のうち $6q + 5$ 番目のデータ信号線のそれぞれに検査用トランジスタを介して接続されている第10端子と、

前記第2群のデータ信号線のうち $6q + 6$ 番目のデータ信号線のそれぞれに検査用トランジスタを介して接続されている第11端子と、

前記第2群のデータ信号線のうち $6q + 3$ 番目のデータ信号線のそれぞれに検査用トランジスタを介して接続されている第12端子とを有する前記信号線側検査回路とを有するアレイ基板と、

(ロ) 該アレイ基板と対向する対向基板と

を有するアクティブ・マトリックス表示装置をテストする方法であって、

(ハ) 第1時刻に、前記奇数番目走査信号線用端子及び該奇数番目走査信号線用端子に

接続された前記検査用トランジスタを介して、前記奇数番目の走査信号線に信号 $G(i)$ を印加して、前記奇数番目の走査信号線に沿った前記副画素のスイッチング素子を導通させ、前記信号 $G(i)$ の印加時に、前記第1端子、前記第3端子、前記第5端子、前記第7端子、前記第9端子及び前記第11端子に一方の極性のデータ信号 $S(k)$ を印加し、前記第2端子、前記第4端子、前記第6端子、前記第8端子、前記第10端子及び前記第12端子に前記一方の極性のデータ信号 $S(k)$ の極性を反転した他方の極性のデータ信号 $S(k+1)$ を印加するステップと、

(二) 第2時刻に、前記偶数番目走査信号線用端子及び該偶数番目走査信号線用端子に接続された前記検査用トランジスタを介して、前記偶数番目の走査信号線に沿った前記副画素のスイッチング素子を導通させ、前記信号 $G(i+1)$ の印加時に、前記第1端子、前記第3端子、前記第5端子、前記第7端子、前記第9端子及び前記第11端子に他方の極性のデータ信号 $S(k)$ を印加し、前記第2端子、前記第4端子、前記第6端子、前記第8端子、前記第10端子及び前記第12端子に前記他方の極性のデータ信号 $S(k)$ の極性を反転した一方の極性のデータ信号 $S(k+1)$ を印加するステップとを含むアクティブ・マトリックス表示装置の検査方法。

【請求項5】

前記走査線側検査回路の前記検査用トランジスタは薄膜トランジスタであり、前記走査線側検査回路は前記薄膜トランジスタのゲートにゲート電圧を印加するように接続された第1ゲート電圧印加用端子を有し、

前記奇数番目の走査信号線のそれぞれが前記薄膜トランジスタのドレイン若しくはソースに接続され、前記薄膜トランジスタのソース若しくはドレインが前記奇数番目走査信号線用端子に接続されており、

前記偶数番目の走査信号線のそれぞれが前記薄膜トランジスタのドレイン若しくはソースに接続され、前記薄膜トランジスタのソース若しくはドレインが前記偶数番目走査信号線用端子に接続されていることを特徴とする、請求項4に記載のアクティブ・マトリックス表示装置の検査方法。

【請求項6】

前記信号線側検査回路の前記検査用トランジスタは薄膜トランジスタであり、前記信号線側検査回路は前記薄膜トランジスタのゲートにゲート電圧を印加するように接続された第2ゲート電圧印加用端子を有し、

前記 $6p+1$ 番目のデータ信号線のそれぞれが前記薄膜トランジスタのドレイン若しくはソースに接続され、前記薄膜トランジスタのソース若しくはドレインが前記第1端子に接続され、

前記 $6p+4$ 番目のデータ信号線のそれぞれが前記薄膜トランジスタのドレイン若しくはソースに接続され、前記薄膜トランジスタのソース若しくはドレインが前記第2端子に接続され、

前記 $6p+5$ 番目のデータ信号線のそれぞれが前記薄膜トランジスタのドレイン若しくはソースに接続され、前記薄膜トランジスタのソース若しくはドレインが前記第3端子に接続され、

前記 $6p+2$ 番目のデータ信号線のそれぞれが前記薄膜トランジスタのドレイン若しくはソースに接続され、前記薄膜トランジスタのソース若しくはドレインが前記第4端子に接続され、

前記 $6p+3$ 番目のデータ信号線のそれぞれが前記薄膜トランジスタのドレイン若しくはソースに接続され、前記薄膜トランジスタのソース若しくはドレインが前記第5端子に接続され、

前記 $6p+6$ 番目のデータ信号線のそれぞれが前記薄膜トランジスタのドレイン若しくはソースに接続され、前記薄膜トランジスタのソース若しくはドレインが前記第6端子に接続され、

前記 $6q+4$ 番目のデータ信号線のそれぞれが前記薄膜トランジスタのドレイン若しく

はソースに接続され、前記薄膜トランジスタのソース若しくはドレインが前記第 7 端子に接続され、

前記 $6q + 1$ 番目のデータ信号線のそれぞれが前記薄膜トランジスタのドレイン若しくはソースに接続され、前記薄膜トランジスタのソース若しくはドレインが前記第 8 端子に接続され、

前記 $6q + 2$ 番目のデータ信号線のそれぞれが前記薄膜トランジスタのドレイン若しくはソースに接続され、前記薄膜トランジスタのソース若しくはドレインが前記第 9 端子に接続され、

前記 $6q + 5$ 番目のデータ信号線のそれぞれが前記薄膜トランジスタのドレイン若しくはソースに接続され、前記薄膜トランジスタのソース若しくはドレインが前記第 10 端子に接続され、

前記 $6q + 6$ 番目のデータ信号線のそれぞれが前記薄膜トランジスタのドレイン若しくはソースに接続され、前記薄膜トランジスタのソース若しくはドレインが前記第 11 端子に接続され、

前記 $6q + 3$ 番目のデータ信号線のそれぞれが前記薄膜トランジスタのドレイン若しくはソースに接続され、前記薄膜トランジスタのソース若しくはドレインが前記第 12 端子に接続されていることを特徴とする、請求項 4 又は請求項 5 に記載のアクティブ・マトリクス表示装置の検査方法。

【請求項 7】

前記第 1 端子乃至第 6 端子に印加されるデータ信号 $S(k)$ 及び $S(k+1)$ が、前記第 7 端子乃至第 12 端子に印加されるデータ信号 $S(k)$ 及び $S(k+1)$ と異なることを特徴とする、請求項 4、請求項 5 又は請求項 6 に記載のアクティブ・マトリクス表示装置の検査方法。

フロントページの続き

(51)Int.Cl. ⁷	F I	テーマコード(参考)
G 0 9 G 3/36	G 0 9 G 3/20	6 2 3 R
H 0 5 B 33/14	G 0 9 G 3/20	6 2 3 U
	G 0 9 G 3/20	6 4 2 J
	G 0 9 G 3/20	6 8 0 G
	G 0 2 F 1/13	1 0 1
	G 0 2 F 1/133	5 5 0
	G 0 2 F 1/1368	
	G 0 9 G 3/36	
	H 0 5 B 33/14	A

(72)発明者 古立 学

神奈川県大和市下鶴間 1 6 2 3 番地 1 4 日本アイ・ビー・エム株式会社 大和事業所内

(72)発明者 池田 真人

神奈川県大和市下鶴間 1 6 2 3 番地 1 4 日本アイ・ビー・エム株式会社 大和事業所内

F ターム(参考) 2H088 FA13 HA06 HA08 HA12 MA20
 2H092 JA24 JB61 JB77 MA57 MA58 NA30 PA06 PA08
 2H093 NA16 NA21 NC34 NC35 NC90 ND56 NE07
 3K007 AB18 BA06 DB03 FA00
 5C006 AA16 AA22 AC11 AC27 AC28 AF42 AF43 AF51 AF53 BB16
 BC02 BC03 BC13 BC20 BF24 BF27 BF34 BF42 EB01 FA11
 FA42 FA52 FA56
 5C080 AA06 AA10 BB06 CC03 DD15 DD23 DD28 EE29 EE30 FF11
 JJ01 JJ03 JJ04 JJ06

专利名称(译)	检查有源矩阵显示装置的方法		
公开(公告)号	JP2004102260A	公开(公告)日	2004-04-02
申请号	JP2003288556	申请日	2003-08-07
[标]申请(专利权)人(译)	国际商业机器公司		
申请(专利权)人(译)	国际商业机器公司		
[标]发明人	古立学 池田真人		
发明人	古立 学 池田 真人		
IPC分类号	G02F1/13 G02F1/133 G02F1/1368 G09G3/20 G09G3/36 H01L51/50 H05B33/14		
FI分类号	G09G3/20.670.Q G09G3/20.621.B G09G3/20.621.M G09G3/20.622.G G09G3/20.622.M G09G3/20.623.R G09G3/20.623.U G09G3/20.642.J G09G3/20.680.G G02F1/13.101 G02F1/133.550 G02F1/1368 G09G3/36 H05B33/14.A		
F-TERM分类号	2H088/FA13 2H088/HA06 2H088/HA08 2H088/HA12 2H088/MA20 2H092/JA24 2H092/JB61 2H092/JB77 2H092/MA57 2H092/MA58 2H092/NA30 2H092/PA06 2H092/PA08 2H093/NA16 2H093/NA21 2H093/NC34 2H093/NC35 2H093/NC90 2H093/ND56 2H093/NE07 3K007/AB18 3K007/BA06 3K007/DB03 3K007/FA00 5C006/AA16 5C006/AA22 5C006/AC11 5C006/AC27 5C006/AC28 5C006/AF42 5C006/AF43 5C006/AF51 5C006/AF53 5C006/BB16 5C006/BC02 5C006/BC03 5C006/BC13 5C006/BC20 5C006/BF24 5C006/BF27 5C006/BF34 5C006/BF42 5C006/EB01 5C006/FA11 5C006/FA42 5C006/FA52 5C006/FA56 5C080/AA06 5C080/AA10 5C080/BB06 5C080/CC03 5C080/DD15 5C080/DD23 5C080/DD28 5C080/EE29 5C080/EE30 5C080/FF11 5C080/JJ01 5C080/JJ03 5C080/JJ04 5C080/JJ06 2H192/AA24 2H192/DA02 2H192/EA43 2H192/HB03 2H192/HB13 2H192/HB14 2H192/HB23 2H193/ZA04 2H193/ZC36 2H193/ZK01 3K107/AA01 3K107/BB01 3K107/CC35 3K107/CC42 3K107/CC45 3K107/GG56		
代理人(译)	坂口 博 上野武		
其他公开文献	JP3909526B2		
外部链接	Espacenet		

摘要(译)

解决的问题：获得能够在连接驱动器IC之前有效地执行液晶单元的图像质量检查的液晶单元及其检查方法。液晶单元具有检查电路（4、5）。检查电路连接至扫描信号布线11或连接至各数据信号布线12的检查TFT 22，连接至扫描信号布线11的检查端子31至35以及数据信号布线12。提供检查端子41至53。多个检查TFT 22连接到每个检查端子。显示区域被划分为多个块，并且每个块与一组扫描侧检查端子和一组数据信号侧检查端子连接。将特定区域中的扫描信号布线和数据信号布线分配给每个块。由于检查TFT和检查端子适当地组合了多条信号线，因此可以在不使用多针探针的情况下进行必要的图像质量检查。[选择图]图2

