

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-4875

(P2004-4875A)

(43) 公開日 平成16年1月8日(2004.1.8)

(51) Int.Cl.⁷

G02F 1/1343

F I

G02F 1/1343

テーマコード (参考)

2H092

審査請求 有 請求項の数 4 O L (全 13 頁)

(21) 出願番号	特願2003-158491 (P2003-158491)	(71) 出願人	000005049
(22) 出願日	平成15年6月3日 (2003.6.3)		シャープ株式会社
(62) 分割の表示	特願平8-285560の分割		大阪府大阪市阿倍野区長池町22番22号
原出願日	平成8年10月28日 (1996.10.28)	(74) 代理人	100080034
			弁理士 原 謙三
		(74) 代理人	100113701
			弁理士 木島 隆一
		(74) 代理人	100116241
			弁理士 金子 一郎
		(72) 発明者	和泉 良弘
			大阪府大阪市阿倍野区長池町22番22号
			シャープ株式会社内
		Fターム(参考)	2H092 GA24 GA28 HA06 JA24 JB21
			JB22 JB31 MA46 NA11 NA12
			NA15 NA25 NA27

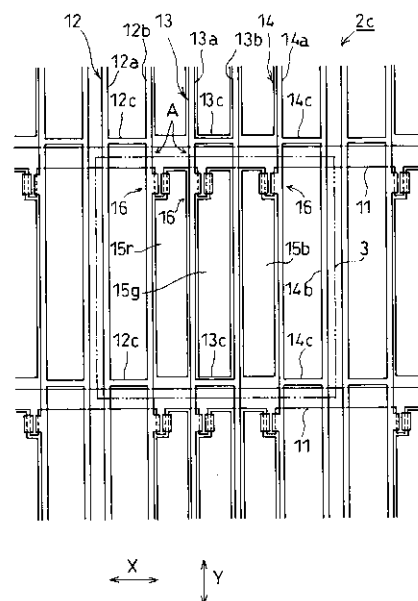
(54) 【発明の名称】 液晶表示パネル

(57) 【要約】

【課題】 液晶表示パネルの大型化や高精細化に伴って増大する配線不良発生率を低減し、製造時の歩留りの向上を図る。

【解決手段】 ソース配線12～14を梯子形状に形成することにより、各画素電極15r、15g、15bに対して、複数の経路を介してデータ信号を伝送する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

画素電極および該画素電極に対して画像信号を供給する T F T 素子を、該 T F T 素子のソース電極にデータ信号を与えるソース配線と、該 T F T 素子の O N / O F F を制御するゲート配線とを格子状に組み合わせた配線交差部付近に配置するアクティブマトリクス型の液晶表示パネルにおいて、
上記ソース配線が、任意の T F T 素子に対するデータ信号の供給を行うべく、複数の経路を取り得るように形成されるとともに、
複数の画素電極からなる表示画素の少なくとも一つの画素電極の左右いずれか一方の側に配置されていることを特徴とする液晶表示パネル。

10

【請求項 2】

画素電極および該画素電極に対して画像信号を供給する T F T 素子を、該 T F T 素子のソース電極にデータ信号を与えるソース配線と、該 T F T 素子の O N / O F F を制御するゲート配線とを格子状に組み合わせた配線交差部付近に配置するアクティブマトリクス型の液晶表示パネルにおいて、
上記ソース配線が、任意の T F T 素子に対するデータ信号の供給を行うべく、複数の経路を取り得るように形成されるとともに、
R, G, B の各色を表示する 3 つの画素電極からなる表示画素の各色毎に用意される上記ソース配線のうち少なくとも一つのソース配線は、上記画素電極の左右いずれか一方の側に配置されていることを特徴とする液晶表示パネル。

20

【請求項 3】

画素電極および該画素電極に対して画像信号を供給する T F T 素子を、該 T F T 素子のソース電極にデータ信号を与えるソース配線と、該 T F T 素子の O N / O F F を制御するゲート配線とを格子状に組み合わせた配線交差部付近に配置するアクティブマトリクス型の液晶表示パネルにおいて、
上記ソース配線が、任意の T F T 素子に対するデータ信号の供給を行うべく、複数の経路を取り得るように形成されるとともに、
上記ソース配線のうちの少なくとも一つのソース配線は、隣接するソース配線と画素ピッチ離れて配置されていることを特徴とする液晶表示パネル。

【請求項 4】

画素電極および該画素電極に対して画像信号を供給する T F T 素子を、該 T F T 素子のソース電極にデータ信号を与えるソース配線と、該 T F T 素子の O N / O F F を制御するゲート配線とを格子状に組み合わせた配線交差部付近に配置するアクティブマトリクス型の液晶表示パネルにおいて、
上記ソース配線が、任意の T F T 素子に対するデータ信号の供給を行うべく、複数の経路を取り得るように形成されるとともに、
上記画素電極のうち、少なくとも一つの隣接する画素電極間には、上記隣接する画素電極の一方の画素電極に対応するソース配線のみが配置されていることを特徴とする液晶表示パネル。

30

【発明の詳細な説明】

40

【0001】

【発明の属する技術分野】

本発明は、A V (A u d i o - V i s u a l) 機器や O A (O f f i c e A u t o m a t i o n) 機器の表示装置として用いられる液晶表示パネルに関するものである。

【0002】

【従来の技術】

昨今の情報化時代への移行とともに、A V 機器用の例えばテレビや、O A 機器用のモニター等に用いられる表示装置に対しても、高精細化および画面の大型化が要求されており、C R T (C a t h o d e - R a y T u b e) ディスプレイ、L C D (L i q u i d C r y s t a l D i s p l a y) 、プラズマ・ディスプレイ、E L (E l e c t r o L

50

uminescent) ディスプレイ、LED (Light Emitting Diode) ディスプレイ等の表示装置においても大画面化の開発・実用化が進められているが、大型化に伴って、重量、寸法、消費電力の増加が見込まれるため、同時に、軽量化、薄型化、低消費電力化が求められている。

【0003】

なかでもLCDは、近年においては種々の分野で用いられつつあるが、他の表示装置に比べ、奥行き方向の寸法、すなわち、厚さを格段に薄くできることから、軽量で狭いスペースにも容易に設置できると同時に、消費電力が小さいといった上記の要求を満たし、さらに、フルカラー化が容易なことから、大型モニターや壁掛表示装置といった大画面表示装置に適しており、他の表示装置以上に大画面化への期待が大きくなっている。

10

【0004】

しかし、上記LCDでは、大画面化や高解像度化に伴って、製造工程上の信号線の断線、画素欠陥等による不良率が急激に上昇するため、高価になるとともに、応答性に優れたアクティブマトリクス駆動方式のLCDにおいてもゲート信号の遅延が顕著となり、表示性能の大幅な低下が避けられないという問題がある。

【0005】

前者の問題に関しては、複数のLCDパネルをつなぎ合せて1台のLCDパネルを構成することにより画面を大型化する手法が種々考案されており、例えば、本願発明者等は、「液晶表示装置」(特開平8-122769号公報)において、つなぎ目が目立たない新規なマルチパネル方式の液晶表示パネルを提案し、低コストで、自然な大画面画像を表示可能な液晶表示装置を得ることに成功している。一方、後者の問題に関しては、例えば、ノートPC用の液晶表示パネルで言えば、従来約0.3 μm であったゲート配線の膜厚を0.5 μm 以上にするというように、ゲート配線の膜厚を厚くしてゲート配線の抵抗を下げることににより、信号の遅延を低減させることが考えられている。

20

【0006】

【発明が解決しようとする課題】

例えば、図8に示すように、カラーの液晶表示パネル20の各表示画素21は赤画素22、緑画素23、青画素24の3つの副画素により構成されているが、副画素は、後述のTFT基板に形成された画素電極と、カラーフィルタ基板に各色毎の画素電極の形状に合わせて形成したカラーフィルタとを重ねて形成したものであり、間に封入された液晶による透過光をそれぞれ制御することにより表示画素21の色が決定される。そして、各副画素の周囲をブラックマトリクス25によって囲むことにより、副画素以外の領域からは光が透過されないようになっている。また、透過光を阻害しないように、このブラックマトリクス25下に上記画素電極を駆動するTFT素子に対するゲート配線やソース配線が配置されている。

30

【0007】

したがって、図8に示す液晶表示パネル20における表示画素21は、通常、図9に示すTFT基板26の配線パターンによって構成されている。すなわち、各色毎に設けられた画素電極27…は、画素電極27にデータ信号を供給するソース配線28…と、ゲート配線29とで形成する格子内に配置され、またソース配線28…とゲート配線29との配線交差部A付近に設けられるTFT素子30によって、画素電極27が駆動制御されている。

40

【0008】

上記配線交差部Aにおいて、ソース配線28…とゲート配線29とは、後述のゲート絶縁膜31を介して交差するように形成されているが、図10に示すように表示画素21のTFT素子30が逆スタガ構造を有している液晶表示パネル20'では、ゲート配線29上にゲート絶縁膜31が形成され、さらにその上にソース配線28が交差する構造になっている。つまり、上記配線交差部Aにおいても同様のゲート配線29上にゲート絶縁膜31が形成され、その上にソース配線28が交差して形成されると言う構造になっているため、前記したようにデータ信号の遅延対策としてゲート配線29の膜厚を増加させた場合、

50

配線交差部 A におけるソース配線 28 の段差が大きくなり、配線交差部 A におけるソース配線 28 の断線不良発生率が上昇する。

【0009】

ここでのゲート配線 29 の膜厚の増加は、最終的なパネル全体の大きさに依存するものであるから、上記の断線不良発生率の上昇は、一枚のパネル構成による大画面液晶表示パネルだけでなく、マルチパネル方式で大画面化を実現しようとする場合においても同様に生じるため、液晶表示パネルを大型化する上で避けられない問題となっている。

【0010】

また、大画面の液晶表示パネルに限らず、多くの液晶表示パネルでは、上記のようなソース配線 28 の断線不良に対して、レーザー照射により修正できる冗長設計が採用されたりしてはいるが、設計上修正できるソース配線数に限りがあったり、レーザー修正箇所が増加するとコスト上昇につながるなど、表示画素数の格段に多い大型液晶表示パネルで発生するソース配線 28 の断線不良に対しては、根本的な解決手段とは成り得なかった。

【0011】

本発明は、上記の問題点を解決するためになされたもので、その目的は、大型化に伴う構成によって生じ易くなるソース配線の断線不良を低減可能な液晶表示パネルを提供することにある。

【0012】

【課題を解決するための手段】

本願発明に係る液晶表示パネルは、画素電極および該画素電極に対して画像信号を供給する TFT 素子を、該 TFT 素子のソース電極にデータ信号を与えるソース配線と、該 TFT 素子の ON/OFF を制御するゲート配線とを格子状に組み合わせた配線交差部付近に配置するアクティブマトリクス型の液晶表示パネルにおいて、上記ソース配線が、任意の TFT 素子に対するデータ信号の供給を行うべく、複数の経路を取り得るように形成されるときともに、複数の画素電極からなる表示画素の少なくとも一つの画素電極の左右いずれか一方の側に配置されていることを特徴としている。

【0013】

本願発明に係る液晶表示パネルは、画素電極および該画素電極に対して画像信号を供給する TFT 素子を、該 TFT 素子のソース電極にデータ信号を与えるソース配線と、該 TFT 素子の ON/OFF を制御するゲート配線とを格子状に組み合わせた配線交差部付近に配置するアクティブマトリクス型の液晶表示パネルにおいて、上記ソース配線が、任意の TFT 素子に対するデータ信号の供給を行うべく、複数の経路を取り得るように形成されるときともに、R、G、B の各色を表示する 3 つの画素電極からなる表示画素の各色毎に用意される上記ソース配線のうち少なくとも一つのソース配線は、上記画素電極の左右いずれか一方の側に配置されていることを特徴としている。

【0014】

本願発明に係る液晶表示パネルは、画素電極および該画素電極に対して画像信号を供給する TFT 素子を、該 TFT 素子のソース電極にデータ信号を与えるソース配線と、該 TFT 素子の ON/OFF を制御するゲート配線とを格子状に組み合わせた配線交差部付近に配置するアクティブマトリクス型の液晶表示パネルにおいて、上記ソース配線が、任意の TFT 素子に対するデータ信号の供給を行うべく、複数の経路を取り得るように形成されるときともに、上記ソース配線のうちの少なくとも一つのソース配線は、隣接するソース配線と画素ピッチ離れて配置されていることを特徴としている。

【0015】

本願発明に係る液晶表示パネルは、画素電極および該画素電極に対して画像信号を供給する TFT 素子を、該 TFT 素子のソース電極にデータ信号を与えるソース配線と、該 TFT 素子の ON/OFF を制御するゲート配線とを格子状に組み合わせた配線交差部付近に配置するアクティブマトリクス型の液晶表示パネルにおいて、上記ソース配線が、任意の TFT 素子に対するデータ信号の供給を行うべく、複数の経路を取り得るように形成されるときともに、上記画素電極のうち、少なくとも一つの隣接する画素電極間には、上記隣接

10

20

30

40

50

する画素電極の一方の画素電極に対応するソース配線のみが配置されていることを特徴としている。

【0016】

本願発明に係る液晶表示パネルは、上記の課題を解決するために、TFT素子を、該TFT素子のソース電極にデータ信号を与えるソース配線と、該TFT素子のON/OFFを制御するゲート配線とを格子状に組み合わせた配線交差部付近に配置するアクティブマトリクス型の液晶表示パネルにおいて、上記ソース配線が、任意のTFT素子に対するデータ信号の供給を行うべく、複数の経路を取り得るように形成されるとともに、開口部以外の領域に配置されていることを特徴としている。

【0017】

上記の構成において、TFT素子に対して、複数の経路によりデータ信号が供給されることにより、配線の冗長性が高くなっているから、ソース配線の断線不良発生率を大幅に低減させることが可能になるとともに、ソース配線が開口部に重ならないように形成されているから、開口率を低下させることがない。

【0018】

例えば、液晶表示パネルの大型化に伴う信号遅延を防止するためにソース配線の断面積を厚み方向に増大させると、配線交差部における断線が生じやすくなったり、解像度を向上させると、断線不良による表示パネル全体としての歩留りの悪化が生じたりする。そこで、上記冗長性を高くすることによってソース配線の断線不良発生率を低減することができる。大型の継ぎ合わせ方式の液晶表示パネルでは、継ぎ合わせのために開口部以外の領域が比較的大きく形成され、ソース配線の形態の自由度が高いので、上記構成を採用しやすく、特に上記のような大型の液晶表示パネルを製造する際の歩留りの向上に寄与できる。具体的には、上記ソース配線を梯子形状に形成すればよい。

【0019】

液晶表示装置は、上記の課題を解決するために、上記構成に加えて、上記ソース配線が、複数の導電膜の積層によって形成されていることを特徴としている。

【0020】

上記の構成により、どちらか一方の導電膜が断線しても他方の導電膜で電気的導通が得られる。すなわち、複数経路による冗長性と積層配線による冗長性を実現できるから、更に断線不良発生率を低減することが可能になる。

【0021】

液晶表示装置は、上記の課題を解決するために、上記構成に加えて、上記のソース配線あるいはゲート配線の少なくともどちらか一方が、配線交差部において幅細化されていることを特徴としている。

【0022】

上記の構成により、ソース配線とゲート配線の交差部面積の増大を抑制できる。つまり、ソース配線とゲート配線の短絡不良や、配線交差部で発生する寄生容量の増大を抑制できるから、上記構成に伴って生じる表示性能の低下を防止することができる。

【0023】

【発明の実施の形態】

本発明の実施の一形態について図1ないし図7に基づいて説明すれば、以下の通りである。

【0024】

なお、本実施の形態は、液晶パネルを2枚つなぎ合わせることで、2倍の面積の液晶表示パネルを実現する例であり、例えば、図2(a)(b)に示すように、分断ライン2aで分断した20インチのアクティブマトリクス型液晶パネル2・2(図2(a)、以下、液晶パネルと称する)を、大型基板の同一平面上に隣接配置してつなぎ合わせることにより(図2(b))、1枚の28インチのアクティブマトリクス型液晶表示パネル1(以下、液晶表示パネルと称する)が形成されるものである。

【0025】

上記、液晶パネル2の外観上、各表示画素3…は、液晶パネル2・2内に付設されるブラックマトリクス4によって区分されるとともに、それぞれR（赤）、G（緑）、B（青）の各色の窓に区切られている。そして、液晶パネル2・2を隣接配置させる際の接続部5の間隔は、液晶パネル2における表示画素3間の間隔と等しくされている。

【0026】

図3に示すように、上記液晶表示パネル1は、継ぎ合わせた液晶パネル2・2を透明な接着剤10によって補強基板9に固着し、偏光板6a・6bが液晶表示パネル1のほぼ全面を覆うように、液晶表示パネル1の表裏にそれぞれ設けられて構成されているが、上記偏光板6a・6bは互いの偏光軸が直交する方向（クロスニコル状態）に配置されている。したがって、もし、液晶パネル2・2間の接続部5において、光の漏れ得る隙間があったとしても、上記偏光板6a・6bがクロスニコル状態にあるため、接続部5を透過しようとする光が阻止され、上記接続部5が目立ちにくくなっている。 10

【0027】

また、液晶パネル2上のブラックマトリクス4に黒色材料を使用しているため、ブラックマトリクス4による表面反射はほとんどなくなり、さらに接続部5が目立たなくなっている。

【0028】

また、液晶パネル2は、各色の窓に設けられるカラーフィルタ7R、7G、7Bおよび上記ブラックマトリクス4、対抗電極等を配置したカラーフィルタ基板2bと、アモルファスSiによって形成されている電界効果型のTFT素子や、透明で導電性の優れた酸化インジウム錫（ITO：indium tin oxide）で形成されている画素電極、ソース配線、ゲート配線等を形成したTFT基板2cとを対向配置し、その間隙に液晶8を封入する構成となっている。 20

【0029】

上記カラーフィルタ基板2bにおいては、図4に示すように、各色のカラーフィルタ7R、7G、7Bがほぼ後述する画素電極の形状に形成され、表示画素3中の前記TFT基板2cにおける画素電極以外の部分がブラックマトリクス4で覆われるようになっている。

【0030】

一方、上記液晶表示パネル1を構成するTFT基板2cには、図1に示すように、矢印X方向と平行に形成される複数のゲート配線11・11と、矢印Y方向と平行に形成されるとともに、各色（R、G、B）ごとにそれぞれ用意されるソース配線12、13、14が設けられている。上記ゲート配線11およびソース配線12、13、14の材料としてはα-Taが使用され、それぞれ、およそ0.5μmおよび0.3μmの厚みで形成されている。 30

【0031】

上記ゲート配線11とソース配線12、13、14との配線交差部A付近には、それぞれ、TFT素子16と画素電極15（15r、15g、15b）が形成されており、該TFT素子16は画素電極15に対して、各色の画像信号の供給を制御している。

【0032】

上記のような液晶表示パネル1が、大型の、具体的には20インチ以上のサイズの場合、表示画素3が比較的大きいので、もともと画素電極15周辺部のブラックマトリクス4（図4）を幅広く設けることが可能で、TFT基板2c上の配線レイアウトの自由度は比較的高くなっている。特に上記した継ぎ合わせ方式の液晶表示パネル1では、前記接続部5における画素ピッチを液晶パネル2内部の画素ピッチと揃える必要から、さらに幅広のブラックマトリクス4が形成されるようになっており、より配線レイアウトの自由度が高くなっている。 40

【0033】

したがって、上記液晶表示パネル1における配線の内、ソース配線、具体的には、画素電極15rに信号を供給するソース配線12は、各画素電極15rの左側にY方向に平行に形成されたソース配線部12a、12bと、ソース配線部12a・12b間を互いに接合 50

する架橋部 1 2 c … が設けられた梯子形状に形成されている。また、画素電極 1 5 g に信号を供給するソース配線 1 3 は、画素電極 1 5 g の両側に平行に形成されたソース配線部 1 3 a ・ 1 3 b に、ソース配線部 1 3 a ・ 1 3 b 間を互いに接合する架橋部 1 3 c … が設けられた構造であり、さらに、各画素電極 1 5 b に信号を供給するソース配線 1 4 は、画素電極 1 5 b の右側に Y 方向に平行に形成されたソース配線部 1 4 a ・ 1 4 b に、ソース配線部 1 4 a ・ 1 4 b 間を互いに接合する架橋部 1 4 c … が設けられた構造であり、いずれも、ソース配線 1 2 と同様の梯子形状とされている。

【0034】

上記ソース配線 1 2 ～ 1 4 の構造において、例えば、図 5 に示すように、画素電極 1 5 r … にデータ信号を供給するソース配線部 1 2 b の 1 箇所（参照符 α ）に断線が生じたとしても、断線した部分以降に位置する画素電極 1 5 r に対しても、ソース配線部 1 2 a を介してデータ信号が供給されるので、入力側から出力側への全体の導通に影響を与えることがない。もちろんソース配線 1 2 上に複数の断線が生じていても、同じ架橋部 1 2 c ・ 1 2 c 間に挟まれた他方のソース配線部 1 2 a（参照符 β ）に同時に断線が生じない限り全体の導通に影響を与えることはない。画素電極 1 5 g、1 5 b のいずれの場合でもソース配線 1 3、1 4 は梯子形状のパターンに形成されているため、同様のことが言える。上記のように、ソース配線 1 2、1 3、1 4 が梯子形状を採用することによりソース配線 1 2、1 3、1 4 における断線不良発生率を大幅に低減することができる。

10

【0035】

特に、本実施の形態のように大型の液晶表示パネル 1 を作製する場合、信号の遅延対策として、ゲート配線 1 1 の厚みを増すことがあるが、その際、段差の増大によってソース配線 1 2 ～ 1 4 における断線不良発生率が上昇することが予想される。しかし、上記構成によって、断線不良発生率を下げるができるから、全体として、断線不良発生率の上昇を抑制できることになる。

20

【0036】

また、本実施の形態における液晶パネル 2 では、従来と同様、梯子形状のソース配線 1 2 ～ 1 4 がブラックマトリクス 4 に隠れるように形成されており、ソース配線 1 2 ～ 1 4 の形状が表示性能に悪影響を与える恐れはない。

【0037】

なお、上記ゲート配線 1 1 および各ソース配線 1 2 ～ 1 4 の材料としては α -T a 以外に、A l、C u 等を使用してもよいが、例えば、ソース配線を金属膜のみではなく、金属膜とそれ以外の導電膜（例えば、I T O 等）との積層膜により形成することにより、さらに断線不良発生率を低減することができる。これは、金属膜と他の導電膜とのどちらか一方が断線しても他方の導電膜で電氣的導通が得られるからである。つまり、梯子形状による配線の冗長性に、積層構造による配線の冗長性が加わることによって、冗長性がさらに高まるからである。

30

【0038】

また、上記では、金属膜に積層する他の導電膜として、I T O を用いているが、画素電極 1 5 と同じ組成の I T O を用いることにより、工程を増加させることなく画素電極 1 5 と同時に形成することができるといったメリットを有しているからであり、効果的には、その他の組成を有する導電膜の使用を否定するものではない。

40

【0039】

実際に、従来のソース配線パターン▲1▼および本実施の形態における梯子形状のソース配線パターン▲2▼、梯子形状の配線+2層配線（厚さ 0.3 μ m の α -T a 層と厚さ 0.15 μ m の I T O との積層膜）を用いたソース配線パターン▲3▼のそれぞれにおいて、28 インチの液晶表示パネル 1 を作製した結果、表 1 および図 6 に示すように、従来のソース配線パターンを採用した場合に比べて、ソース配線の断線不良発生率が 1/10 以下となることが確認できた。特に▲3▼の場合には、ソース配線の断線不良が全く見られなかった。

【0040】

50

【表 1】

1 基板当たりのソース配線の断線不良発生数

	最大値	最小値	平均値
従来の配線 ①	5	1	1.2
梯子形状配線 ②	1	0	0.1
梯子形状+2層配線 ③	0	0	0

(サンプル数：20枚)

10

【0041】

なお、このときの画素サイズや開口率（全面積に対する開口部〔カラーフィルタの形成領域〕の面積比）、解像度は以下の表2に示す通りである。

【0042】

【表 2】

28インチ液晶表示パネルの仕様

画素サイズ	0.88 (mm) × 0.88 (mm)
開口率	35%
解像度	VGA (640*RGB*480)

20

【0043】

また、ゲート配線11もしくはソース配線12～14の配線交差部Aにおける形状に関してであるが、図7に示すように、配線交差部Aにおけるソース配線側の幅を細くしてもよい。これは、大画面の液晶表示パネルでは、ソース配線12～14の断線不良以外にもゲート配線11と各ソース配線12～14の間の短絡不良も増加する傾向にあるため、上記構造を採用することにより、配線交差部Aにおいてゲート配線11とソース配線12～14とが互いに重なる面積が小さくなる。その結果、ソース配線12を梯子形状とすることにより増加したゲート配線11との配線交差部Aにおける上記面積の総和の増大を、配線交差部Aの数の増加に比べて小さくすることができるので、短絡不良を低減可能な有効な手段となる。

30

【0044】

さらに、上記構成では同時に、配線交差部Aで発生する寄生容量を小さくすることができる。寄生容量は上記配線交差部Aにおいてゲート配線11とソース配線12～14とが重なる面積が大きい程大きくなるが、この寄生容量が表示データに影響を与え、表示性能が悪化するという問題がある。液晶表示パネルが大画面になるほど、すなわち、配線交差部Aの面積が大きくなるほど、寄生容量の影響を受けやすいといえるが、上記のように配線交差部Aの面積を小さくすることができれば、寄生容量も小さくなるので、大画面化に伴う表示性能の低下を抑制することができる。もちろん、配線交差部Aにおいて、ゲート配線11側を細くするようにしても同様の効果が得られることは言うまでもない。

40

【0045】

なお、上述した実施の形態においては、ソース配線12～14を梯子形状に配置しているため、必然的にソース配線12～14の専有する面積が大きくなるが、継ぎ合わせ方式の液晶表示パネルでは、接続部5における画素ピッチを他の部分の画素ピッチと揃えるため、意図的に幅広いブラックマトリクス4が設けられていることが多いので、ブラックマトリクス4に覆われるように梯子形状のソース配線を形成することが容易である。したがっ

50

て、本願発明の液晶表示パネルの構造は、継ぎ合わせ方式でなければ作製が困難となるような大型の液晶表示パネル1に対して、より適した構造と言える。

【0046】

もちろん、継ぎ合わせ方式や大型であるという構成は、必要条件ではなく、比較的画素が大きく、梯子形状のソース配線を覆える程度の幅広いブラックマトリクスを設けられているといった条件を満たす液晶表示パネルであれば、同様に、上記実施の形態のソース配線パターンを適用できることは言うまでもない。

【0047】

【発明の効果】

以上のように、上記ソース配線が、任意のTFT素子に対するデータ信号の供給を行うべく、複数の経路を取り得るように形成されるとともに、複数の画素電極からなる表示画素の少なくとも一つの画素電極の左右いずれか一方の側に配置されている構成である。 10

【0048】

本願発明に係る液晶表示パネルは、上記ソース配線が、任意のTFT素子に対するデータ信号の供給を行うべく、複数の経路を取り得るように形成されるとともに、R、G、Bの各色を表示する3つの画素電極からなる表示画素の各色毎に用意される上記ソース配線のうち少なくとも一つのソース配線は、上記画素電極の左右いずれか一方の側に配置されている構成である。

【0049】

本願発明に係る液晶表示パネルは、上記ソース配線が、任意のTFT素子に対するデータ信号の供給を行うべく、複数の経路を取り得るように形成されるとともに、上記ソース配線のうちの少なくとも一つのソース配線は、隣接するソース配線と画素ピッチ離れて配置されている構成である。 20

【0050】

本願発明に係る液晶表示パネルは、上記ソース配線が、任意のTFT素子に対するデータ信号の供給を行うべく、複数の経路を取り得るように形成されるとともに、上記画素電極のうち、少なくとも一つの隣接する画素電極間には、上記隣接する画素電極の一方の画素電極に対応するソース配線のみが配置されている構成である。

【0051】

発明の液晶表示パネルは、以上のように、上記ソース配線が、任意のTFT素子に対するデータ信号の供給を行うべく、複数の経路を取り得るように形成されるとともに、開口部以外の領域に配置されている構成である。 30

【0052】

それゆえ、一つの経路が断線しても、他の経路によりTFT素子にデータ信号を供給することができるから、液晶表示パネルの大画面化に伴うソース配線の断線不良発生率の増大を抑制し、液晶表示パネル製造時の歩留りを向上させることが可能となるという効果を奏する。しかも、開口部にはソース配線が配置されないから開口率を無駄に低下させることがなくなる。具体的には、ソース配線を梯子形状に形成するとよい。

【0053】

液晶表示パネルは、以上のように、上記構成に加えて、上記ソース配線が、複数の導電膜の積層によって形成されている構成である。 40

【0054】

それゆえ、上記構成による効果に加えて、どちらか一方の導電膜が断線しても他方の導電膜で電氣的導通が得られる。すなわち、梯子形状の配線による冗長性と積層配線による冗長性とによって冗長性が高まり、さらに断線不良発生率が低減するので、液晶表示パネル製造時の歩留りを向上させることができるという効果を奏する。

【0055】

液晶表示パネルは、以上のように、上記構成に加えて、上記のソース配線あるいはゲート配線の少なくともどちらか一方が、配線交差部において、幅細化されている構成である。

【0056】

それゆえ、上記構成による効果に加えて、ソース配線とゲート配線の短絡不良や、配線交差部で発生する寄生容量の増大を低減できるから、上記構成、つまり、複数のデータ信号伝送経路を取るために、ゲート配線を跨ぐソース配線の数が増大するような場合でも、表示性能の低下を防止することができるという効果を奏する。

【図面の簡単な説明】

【図 1】本発明の実施の一形態に係る液晶パネルの T F T 基板の配線パターンを示す概略図である。

【図 2】2 枚の液晶パネルを 1 枚の液晶表示パネルに組み合わせる際の、液晶パネル配置の説明図である。

【図 3】図 2 における液晶表示パネルの接続部における断面概略図である。

10

【図 4】図 2 における液晶表示パネルのカラーフィルタ基板を示す部分拡大図である。

【図 5】梯子形状のソース配線が断線したときの状態を示す部分拡大図である。

【図 6】本発明に係るソース配線パターンと従来のソース配線パターンとにおける断線不良発生数を示すグラフである。

【図 7】ソース配線を幅細化した配線交差部を示す概略図である。

【図 8】従来の液晶パネルのカラーフィルタ基板を示す部分拡大図である。

【図 9】図 7 における液晶表示パネルの形状に基づく、従来の T F T 基板の配線パターンを示す概略図である。

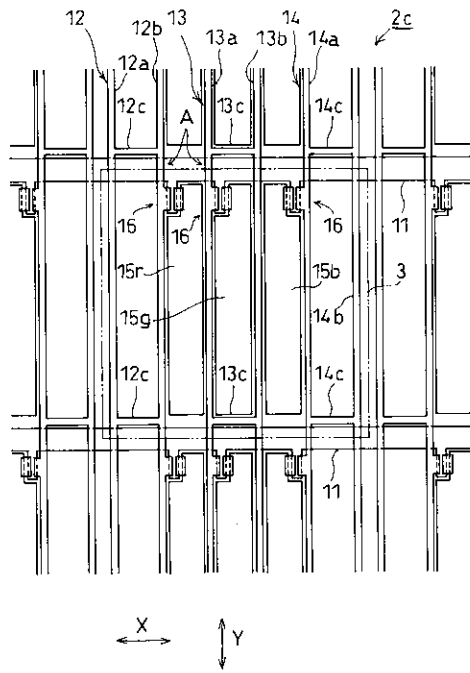
【図 10】上記従来の液晶パネルにおいて表示画素の構造を示す断面概略図である。

【符号の説明】

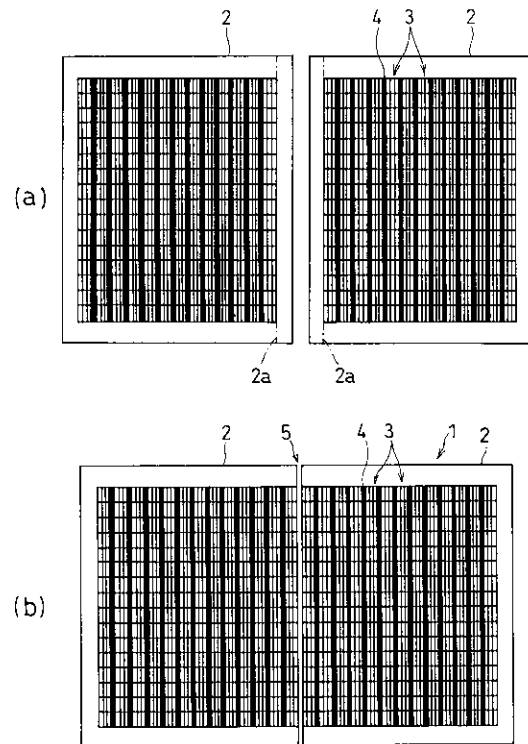
20

- 1 液晶表示パネル（液晶表示パネル）
- 2 液晶パネル（液晶表示パネル）
- 1 1 ゲート配線
- 1 2 ソース配線
- 1 3 ソース配線
- 1 4 ソース配線
- 1 6 T F T 素子
- A 配線交差部

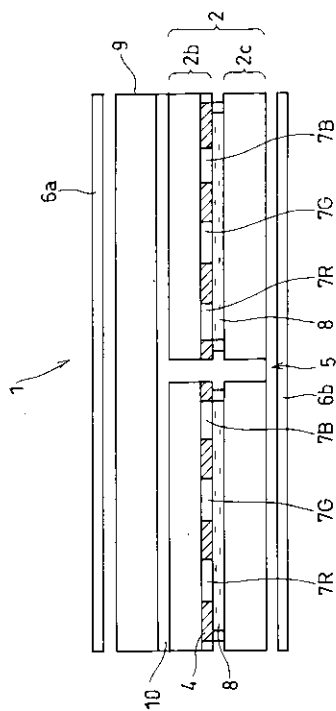
【図 1】



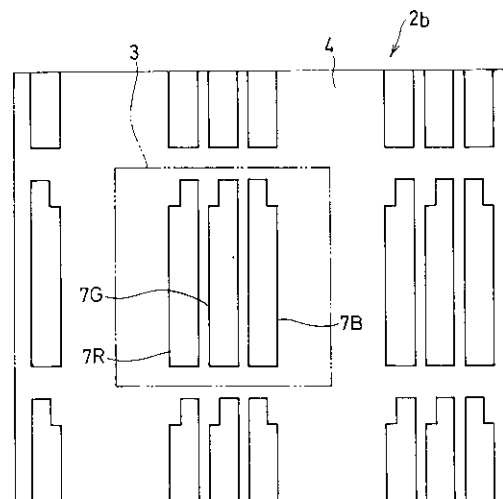
【図 2】



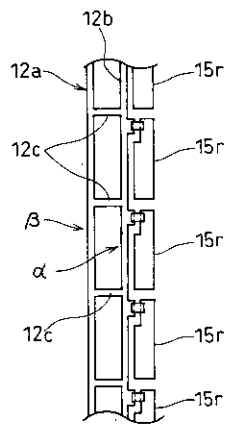
【図 3】



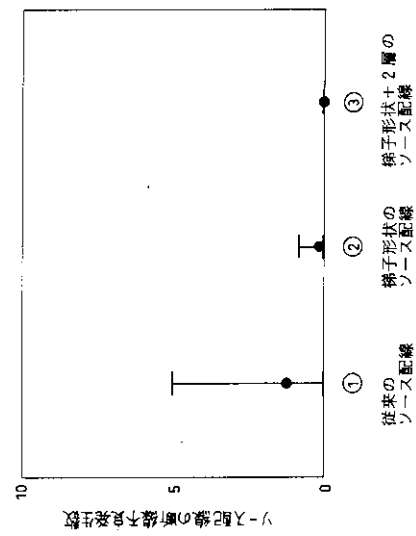
【図 4】



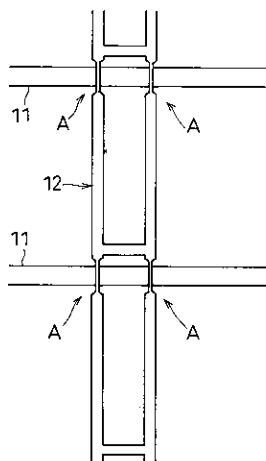
【図 5】



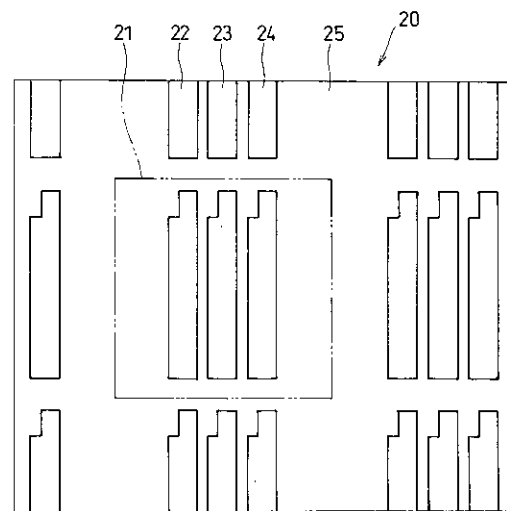
【図 6】



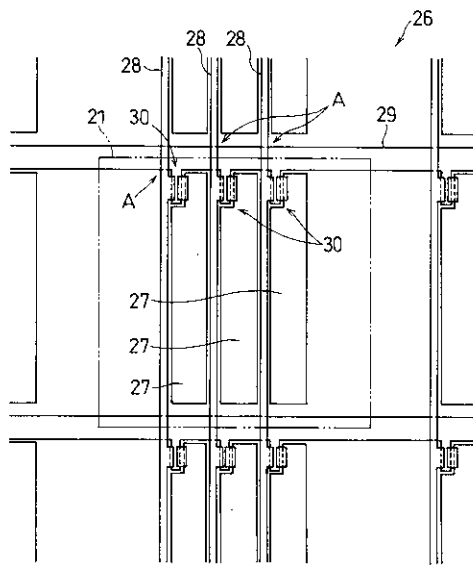
【図 7】



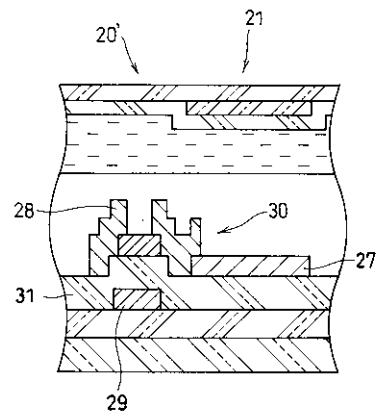
【図 8】



【図 9】



【図 10】



专利名称(译)	液晶显示面板		
公开(公告)号	JP2004004875A	公开(公告)日	2004-01-08
申请号	JP2003158491	申请日	2003-06-03
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	和泉良弘		
发明人	和泉 良弘		
IPC分类号	G02F1/1343		
FI分类号	G02F1/1343		
F-TERM分类号	2H092/GA24 2H092/GA28 2H092/HA06 2H092/JA24 2H092/JB21 2H092/JB22 2H092/JB31 2H092/MA46 2H092/NA11 2H092/NA12 2H092/NA15 2H092/NA25 2H092/NA27 2H092/JB71		
代理人(译)	木岛隆一 金子 一郎		
其他公开文献	JP3694007B2		
外部链接	Espacenet		

摘要(译)

解决的问题：减少随着液晶显示面板的尺寸和清晰度的增加而增加的布线缺陷的发生率，并提高制造的成品率。通过将源极布线12至14形成为梯形，数据信号经由多条路径传输至每个像素电极15r，15g，15b。[选型图]图1

