

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A) (11)特許出願公開番号

特開2003-207796

(P2003-207796A)

(43)公開日 平成15年7月25日(2003.7.25)

(51) Int.Cl ⁷	識別記号	F I	テ-マコード ⁸ (参考)
G 0 2 F 1/1343		G 0 2 F 1/1343	2 H 0 9 0
	1/1333 505	1/1333 505	2 H 0 9 2
	1/1368	1/1368	5 C 0 9 4
G 0 9 F 9/30	339	G 0 9 F 9/30 339 A	5 F 1 1 0
	9/35	9/35	

審査請求 未請求 請求項の数 19 O L (全 19数) 最終頁に続く

(21)出願番号 特願2002-6101(P2002-6101)

(71)出願人 000005108

株式会社日立製作所

(22)出願日 平成14年1月15日(2002.1.15)

東京都千代田区神田駿河台四丁目6番地

(72)発明者 小野 記久雄

千葉県茂原市早野3300番地 株式会社日立
製作所ディスプレイグループ内

(72)発明者 桶隆 太郎

千葉県茂原市早野3300番地 株式会社日立
製作所ディスプレイグループ内

(74)代理人 100093506

弁理士 小野寺 洋二

最終頁に続く

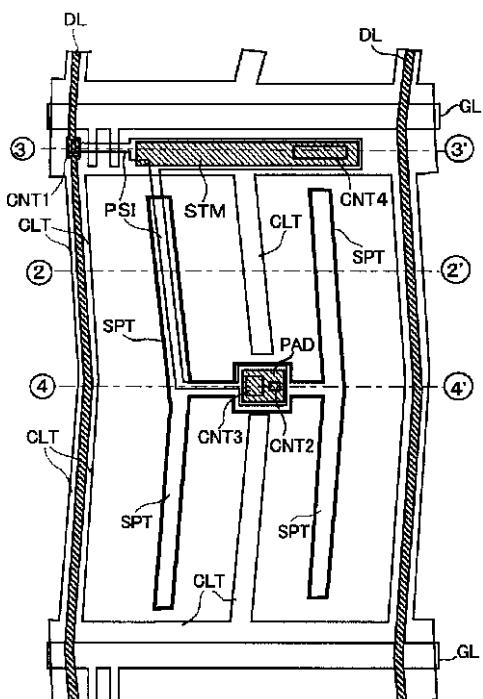
(54)【発明の名称】 液晶表示装置

(57)【要約】

【課題】低温ポリシリコン TFT を用いて広視野角、明るいIPS方式液晶表示装置を提供する。

【解決手段】アクティブマトリックス型液晶表示装置において、第1の基板に形成された薄膜トランジスタの半導体層と、該半導体層上に形成された第1の絶縁膜と、第1の絶縁膜上に形成された第2の絶縁膜と、第2の絶縁膜上に形成された共通配線を設け、前記第2の絶縁膜は前記半導体層形成領域に位置づけられた除去領域を設け、該除去領域で前記共通配線から供給される共通電位と、前記半導体層から形成される画素電位により保持容量を形成する。

図1



【特許請求の範囲】

【請求項1】第1の基板と第2の基板に挟まれた液晶層とカラーフィルタ層とを有し、

前記第1の基板上には複数のゲート配線と、前記複数のゲート配線とマトリクス状に交差する複数のドレイン配線と、前記ゲート配線とドレイン配線のそれぞれの交点に対応して形成された薄膜トランジスタを有し、隣接するゲート配線とドレイン配線とで囲まれる領域で画素が構成された液晶表示装置において、

前記第1の基板は前記薄膜トランジスタの半導体層と、該半導体層上に形成された第1の絶縁膜と、第1の絶縁膜上に形成された第2の絶縁膜と、第2の絶縁膜上に形成された共通配線を有し、

前記第2の絶縁膜は前記半導体層形成領域に位置づけられた除去領域を有し、該除去領域で前記共通配線から供給される共通電位と、前記半導体層から形成される画素電位により形成される保持容量を有することを特徴とするアクティブマトリックス型液晶表示装置。

【請求項2】前記共通配線が上下方向に隣接する画素間および左右方向に隣接する画素間で共有されマトリックス状に形成されていることを特徴とする請求項1記載のアクティブマトリックス型液晶表示装置。

【請求項3】前記アクティブマトリックス型液晶表示装置は横電界型であり、前記第1の基板上に前記共通配線との間に横電界を形成する画素電極を有することを特徴とする請求項2記載のアクティブマトリックス型液晶表示装置。

【請求項4】前記第2の絶縁膜が有機膜であることを特徴とする請求項3記載のアクティブマトリックス型液晶表示装置。

【請求項5】前記共通配線と前記画素電極が前記有機膜上の同一層として形成されていることを特徴とする請求項4記載のアクティブマトリックス型液晶表示装置。

【請求項6】前記第2の絶縁膜の前記半導体層形成領域に位置づけられた除去領域に位置づけて前記第1の絶縁膜上に形成された金属電極を有し、該金属電極に前記共通配線からの共通電位が供給されることを特徴とする請求項4記載のアクティブマトリックス型液晶表示装置。

【請求項7】前記金属電極はドレイン配線と同一工程、材料で形成されたことを特徴とする請求項6に記載のアクティブマトリックス型液晶表示装置。

【請求項8】前記共通配線は、前記ゲート配線および前記保持容量を絶縁膜を介して被覆していることを特徴とする請求項4記載のアクティブマトリックス型液晶表示装置。

【請求項9】前記共通配線は、透明共通配線であることを特徴とする請求項4記載のアクティブマトリックス型液晶表示装置。

【請求項10】前記共通配線は、透明共通配線であることを特徴とする請求項5記載のアクティブマトリックス

型液晶表示装置。

【請求項11】前記保持容量を構成する電極に挟まれた絶縁膜は、前記薄膜トランジスタのゲート絶縁膜と前記ゲート配線とドレイン配線を分離する層間絶縁膜の積層膜であることを特徴とする請求項1記載のアクティブマトリックス型液晶表示装置。

【請求項12】第1の基板と第2の基板に挟まれた液晶層とカラーフィルタ層とを有し、

前記第1の基板上には複数のゲート配線と、前記複数のゲート配線とマトリクス状に交差する複数のドレイン配線と、前記ゲート配線とドレイン配線のそれぞれの交点に対応して形成された薄膜トランジスタを有し、隣接するゲート配線とドレイン配線とで囲まれる領域で画素が構成された液晶表示装置において、

前記第1の基板上に同層で形成された共通電極と画素電極を有し、該共通電極と画素電極が前記ゲート配線上で絶縁膜を介して相互に離間してかつ対向して配置されていることを特徴とするアクティブマトリックス型液晶表示装置。

【請求項13】前記ゲート配線上で離間した共通電極と画素電極間に、第2の該離間部の少なくとも一部に画素電極電位が供給された金属電極が形成されていることを特徴とする請求項12記載のアクティブマトリックス型液晶表示装置。

【請求項14】前記ゲート配線上で離間した共通電極と画素電極間に透明電極で形成されていることを特徴とする請求項13記載のアクティブマトリックス型液晶表示装置。

【請求項15】前記アクティブマトリックス型液晶表示装置が横電界型であることを特徴とする請求項12記載のアクティブマトリックス型液晶表示装置。

【請求項16】前記金属電極が前記共通電極と前記画素電極と共に前記ゲート配線上の離間部を覆うまで延在されていることを特徴とする請求項13記載のアクティブマトリックス型液晶表示装置。

【請求項17】第1の基板と第2の基板に挟まれた液晶層とカラーフィルタ層とを有し、

前記第1の基板上には複数のゲート配線と、前記複数のゲート配線とマトリクス状に交差する複数のドレイン配線と、前記ゲート配線とドレイン配線のそれぞれの交点に対応して形成された薄膜トランジスタを有し、隣接するゲート配線とドレイン配線とで囲まれる領域で画素が構成され、それぞれの画素は前記第1の基板上に形成された共通電極と画素電極とを有する横電界型の液晶表示装置において、

前記薄膜トランジスタのソース電極は前記共通電極あるいは共通電極配線をまたぐことなく該薄膜トランジスタが形成されたゲート配線とは異なる隣接するゲート配線上まで延在され、一方の電極を前段のゲート配線、他方の電極をソース電極として保持容量が構成されているこ

とを特徴とするアクティブマトリックス型液晶表示装置。

【請求項18】前記画素電極と共通電極は透明電極であり、前記ソース配線より上層に絶縁膜を介して形成されることを特徴とする請求項17記載のアクティブマトリックス型液晶表示装置。

【請求項19】前記薄膜トランジスタの半導体層はポリシリコンで構成されていることを特徴とする請求項1ないし18のいずれかに記載のアクティブマトリックス型液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は液晶表示装置に係り、特に薄膜トランジスタ(TFT)方式等のアクティブマトリックス型液晶表示装置及びその製造方法に関するものである。

【0002】

【従来の技術】液晶表示装置は薄型、軽量、低消費電力といった特長を生かして、パソコン用コンピュータに代表される情報機器や携帯型の情報端末や携帯電話、デジタルカメラやカメラ一体型VTR機器等のビジュアル機器の画像情報、文字情報の表示機器として広く用いられている。近年、DVDの登場、大容量磁気ドライブの急速な進化による大容量メディアの普及やBSデジタル放送の開始に伴い、パソコン用コンピュータと映像デジタルメディアの融合が進んでおり、このような用途に対応できる高画質の画像表示装置への要求が強くなっている。液晶の上下基板間の液晶間隙(ギャップ)に横電界を印加するインプレーンスイッチング(IPS)モードの液晶ディスプレイは、このような高い画質に対する要求を満たすことが可能な表示方式であることが認められており、その画質の更なる改善に向けてさまざまな改良がなされてきた。

【0003】一方、携帯電話、携帯情報端末の普及に伴い、消費電力の極めて小さな中小型の液晶表示装置に対する要求から、壁掛けテレビも含めた大型ディスプレイまでの多様な要求が強くなっている。

【0004】IPSモードの液晶表示装置では、特開平7-36058号に開示されているような、絶縁膜を挟んだ2層の金属電極間に発生する横電界により液晶をスイッチングする方式がもっとも一般的であるが、このような構造の欠点として、通常のTN方式の表示装置に比べ、画素開口率を大きくすることが困難で、光利用効率が低いという欠点がある。これを補うために、バックライト輝度を増大させねばならないため、LCDモジュール全体としてノートブックタイプのパソコン用コンピュータや携帯端末に要求されるような低消費電力化は困難であった。

【0005】このような問題を解決するため、特開平9-230378号では、有機系の樹脂上に画素電極及び

共通電極を前記樹脂に開口したスルーホールを介して配置させる方式が提案されている。

【0006】またスイッチングさせるためのアクティブ素子として、アモルファスシリコンを用いたTFT以外に、ポリシリコンを用いたTFTが知られている。

【0007】

【発明が解決しようとする課題】IPS型液晶表示装置では開口率が低く、高開口率化すなわち高透過率化が必要という課題がある。本願はその解決を目的とするもので、その目的のいくつかを詳細に示すと、第1の目的は低温ポリシリコンTFTを画素TFTに用いたIPS方式の液晶表示装置において、従来、ゲート配線と平行して1画素領域に配置されていた金属の共通電極配線を削除し、開口率(透過率)向上させた場合において、バックライトからの光がポリシリコンに照射された場合の液晶電位の低下を防止する保持容量を確保することにある。また第2の目的は、保持容量を構成する電極とドレン配線間のショートによる欠陥を防止することにある。本願の他の目的および解決する課題は、本願明細書において明らかとなるであろう。

【0008】

【課題を解決するための手段】本発明による課題を解決するための手段の主な例を挙げると、以下のようになる。

【0009】(手段1)第1の基板と第2の基板に挟まれた液晶層とカラーフィルタ層とを有し、前記第1の基板上には複数のゲート配線と、前記複数のゲート配線とマトリックス状に交差する複数のドレン配線と、前記ゲート配線とドレン配線のそれぞれの交点に対応して形成された薄膜トランジスタを有し、隣接するゲート配線とドレン配線とで囲まれる領域で画素が構成された液晶表示装置において、前記第1の基板は前記薄膜トランジスタの半導体層と、該半導体層上に形成された第1の絶縁膜と、第1の絶縁膜上に形成された第2の絶縁膜と、第2の絶縁膜上に形成された共通配線を有し、前記第2の絶縁膜は前記半導体層形成領域に位置づけられた除去領域を有し、該除去領域で前記共通配線から供給される共通電位と、前記半導体層から形成される画素電位により形成される保持容量を有する構成とする。

【0010】(手段2)第1の基板と第2の基板に挟まれた液晶層とカラーフィルタ層とを有し、前記第1の基板上には複数のゲート配線と、前記複数のゲート配線とマトリックス状に交差する複数のドレン配線と、前記ゲート配線とドレン配線のそれぞれの交点に対応して形成された薄膜トランジスタを有し、隣接するゲート配線とドレン配線とで囲まれる領域で画素が構成された液晶表示装置において、前記第1の基板上に同層で形成された共通電極と画素電極を有し、該共通電極と画素電極が前記ゲート配線上で絶縁膜を介して相互に離間してかつ対向して配置として構成する。

【0011】(手段3)第1の基板と第2の基板に挟まれた液晶層とカラーフィルタ層とを有し、前記第1の基板上には複数のゲート配線と、前記複数のゲート配線とマトリクス状に交差する複数のドレイン配線と、前記ゲート配線とドレイン配線のそれぞれの交点に対応して形成された薄膜トランジスタを有し、隣接するゲート配線とドレイン配線とで囲まれる領域で画素が構成され、それぞれの画素は前記第1の基板上に形成された共通電極と画素電極とを有する横電界型の液晶表示装置において、前記薄膜トランジスタのソース電極は前記共通電極あるいは共通電極配線をまたぐことなく該薄膜トランジスタが形成されたゲート配線とは異なる隣接するゲート配線上まで延在され、一方の電極を前段のゲート配線、他方の電極をソース電極として保持容量を構成する。

【0012】本発明の更なる手段は、以下の発明の実施の形態の中で明らかとなるであろう。

【0013】

【発明の実施の形態】本発明の特徴を示す代表的な構造を、以下実施例により説明する。

【0014】(実施例1)図1~図5は本発明の一実施例の液晶表示装置に係る画素の平面および断面図である。図2、図3、図4はそれぞれ図1における2-2'、3-3'、4-4'として一点鎖線で示した切断線での断面を示す。図面では切断部を分かりやすくするため、数字を¹で囲い切断部を示している。なお図は説明用に要部を記載した物であり、配向膜は図からは省略している図もある。また対向基板側の構成も省略している図もある。以下、順を追って示す。

【0015】図1は画素の模式平面パターンを示す。隣接するゲート配線GL、隣接するドレイン配線DLに囲まれて1画素を構成する。ゲート配線GLは半導体層がポリシリコンPSIで構成された TFT のゲート電極としても作用し、TFTをオン/オフさせる電圧を供給する。ドレイン線はポリシリコンPSIへの電流を供給する、すなわち前記ゲート電圧GLがオン電圧を供給したタイミングで印加された映像電圧(ドレイン電圧)を1画素の液晶容量、保持容量に給電し、結果的に、画素の中央部まで引き出された低温ポリシリコンPSI、パット電極PAD及びこれに連結された透明画素電極SPTの電位が映像電位となる。

【0016】前記電流の流れはドレイン配線DLから第1のコンタクトホールCNT1を通じてポリシリコンPSIに繋がり、このポリシリコン中の電流は、画素中央部の、第2のコンタクトホールCNT2を通じて、パット電極PADに流れる。さらにパット電極PADから第3のコンタクトホールCNT3を介して、絶縁膜上の透明画素電極SPTに至る。透明画素電極SPTは一例としてH型の配置になっている。

【0017】画素電極と共に液晶容量あるいは保持容量を構成するもう一方の電極の共通電極電位は以下の経路

を持ち印加される。ゲート配線GL及びドレイン配線DL上を低誘電率の絶縁膜を介してその上部に上記配線をシールドするように透明共通電極配線CLTを配置する。透明共通電極配線CLTは画素内へ分岐し、画素電極SPTと共に液晶を駆動する共通電極の役割を果す。このように、透明共通電極配線CLTは、ゲート配線GL、ドレイン配線DLを被覆するように、メッシュ状に配置され、画面周辺領域で金属の低抵抗の配線と接続結線されている。この低抵抗配線は共通電位のバスラインとして働くものである。

【0018】IPS液晶表示装置では図1の透明共通電極CLTと透明画素電極SPT間の横電界で規定される値が液晶容量であるため、その値は対向する上下基板間それぞれに配置された電極間で液晶容量を規定するTN方式などの縦電界方式の液晶表示装置に比べて半分以下である。このため、一方の基板に共通電極と画素電極の双方を有する横電界方式においてのみ、透明共通電極配線CLTの配線抵抗仕様は、インジウム・スズ・酸化物(ITO)のような抵抗値が高い透明電極材料を用いても配線遅延が小さくでき、良質の画質が選られる。もちろん、透明電極材料であればインジウム・亜鉛・酸化物(IZO)、インジウム・スズ・亜鉛、酸化物(ITZO)等でもよい。

【0019】この共通電極及び共通電極配線の電位は、例えばフレーム毎に交流化される画素電位のほぼ中点電位が設定される(図14で再度詳細を説明する)。この画素電極電位と共通電極電位により液晶容量あるいは保持容量が構成されると共に、この電位間の電位差により電界を液晶層内に生じせしめ、前記ドレイン配線DLから供給された映像電圧と前記共通電圧で映像を表示する。図1における主な透過部は2-2'線にそった4つの開口部である。

【0020】液晶表示装置においてTFTはその大部分がOFF状態であり、極めて短時間のみON状態となる。例えばXGAでは768本のゲート配線GLを1本づつ選択的に順次ONとし、他の767本はOFF状態であるため、1本のゲート配線GLにあっては767/768の時間がOFF状態である。そしてこのOFF状態で液晶容量の電圧減衰を抑制することが高画質の液晶表示装置には不可欠である。このため、従来よりTFTを用いた液晶表示装置には保持容量を必ず構成するものであった。このとき、共通電極の電位の専用配線を画素内に設け保持容量を構成する方式と、隣接する他画素のゲート配線GLを用い保持容量を構成する方式が知られている。前者と後者は、前者をCstg、後者をCaddとして区別する場合もある。しかしいずれにおいても、保持容量を安定化させるには前者では専用配線、後者ではゲート配線GLの電位が安定化していることが必要であり、低抵抗が実現できる金属を用いるものであった。

【0021】また前者は、後者がゲート信号が供給されているため信号が複雑に変化せざる得ないに対し、より安定化した電位とできるため、極めて安定化に有利であることが知られている。しかし前者による保持容量、すなわちCstgは、従来は、ゲート配線GLと同一工程、材料で構成された共通電極配線と絶縁膜を介して画素電極あるいはソース電極を積層し形成されていた。このため、短絡防止のためゲート配線と一定の距離を保ち配置せざるをえず、該共通電極配線が金属であることにより、該共通電極配線の分開口率が低下し、透過率が低下していた。

【0022】この課題を解決するため、本実施例では低温ポリシリコンPSIと、ドレイン配線DLと同一工程、材料で構成した保持容量電極STMとの間で保持容量を構成する。すなわち、ゲート配線GL及び保持容量電極STMを被覆する絶縁膜にコンタクトホールCNT4を設け、これにより透明共通電極配線CLTから保持容量電極STMへ共通電位を供給する。そして共通電位である保持容量電極STMと画素電位である低温ポリシリコンPSIを絶縁膜を介して断面構造的に対向させることにより、保持容量Cstgが実現される。これにより、金属の共通電極配線を用いずに保持容量Cstgが形成可能となり、該金属の共通電極配線が不要となることにより透過率と開口率の向上が実現する。さらに保持容量電極STMと低温ポリシリコンPSIは断面構造として絶縁膜を挟んでゲート配線GLとは分離されている。その点で、ゲート配線GLと平面的に近接した位置に保持容量を配置でき、さらに透過率と開口率が向上できる。

【0023】本構造のさらに巧妙な点は、低温ポリシリコンPSIを用いていることである。なお、本明細書での低温ポリシリコンとは、例えば図3に示すように半導体層に対するイオンドーピングにより形成されたn+層がゲート配線GLの形成領域を越えて形成されている構造を示すものである。したがって、特に成膜時の温度を限定するものではなく、また結晶状態を制限するものでもない。したがって、いわゆる高温ポリシリコン、CGS、連続結晶シリコンなども含むものである。

【0024】低温ポリシリコンを用いたことにより、保持容量の一方の電極となる低温ポリシリコンはイオンドーピングによりn+状態、すなわち導電性の高い状態となっている。このため、金属と等価に扱うことができるため、特別な専用の配線層を増加する必要なく金属の共通電極配線を用いないCstgの実現が可能となる。保持状態、すなわちTFTのOFF状態では画素内の電位はリーケを除けば安定状態であるため、低温ポリシリコンにより容量の一方の電極を形成しても十分電極として機能することができる。

【0025】透明共通電極CLTは隣接する上下左右の画素で一体にマトリックス状に構成される。したがつ

て、共通電極の電位は極めて安定し変動に強いものとなる。これは、前述の、横電界方式では共通電極と画素電極間の液晶容量が少ないため、該透明共通電極に対する負荷が軽いことにより、さらに安定化が図られる。これらが複合して寄与することにより、該透明共通電極を、金属より抵抗の高い透明電極でありながら、Cstgに共通電位を供給する配線として用いることが可能となる。

【0026】以下、各部の構成を断面図を用いて詳細に説明する。図2は図1の2-2'線に沿った断面図であり、隣接するドレイン線DL間の1画素領域を横切る部分である。歪点約670の無アルカリTFTガラス基板GLS1上に膜厚50nmのSi₃N₄膜と膜厚120nmのSiO₂膜からなる下地絶縁膜ULSが形成されている。下地絶縁膜ULSはTFTガラス基板GLS1からのNa等の不純物の拡散を防止する役割を持つ。下地絶縁膜ULS上には、SiO₂からなるゲート絶縁膜GIが成膜されている。ゲート絶縁膜上には画素電位を給電する低温ポリシリコンPSIが配置されている。

【0027】上記を覆うようにSiO₂からなる層間絶縁膜ILLIが形成され、層間絶縁膜ILLI上にはTi/A1/Tiのように3層金属膜よりなるドレイン配線DLが形成されている。

【0028】その上層には膜厚200nmのSi₃N₄からなる保護絶縁膜PASと膜厚2μmのアクリル系樹脂を主成分とする有機保護膜FPASにより被覆されている。有機保護膜FPAS上では、まずドレイン配線DLの幅より広く、インジウムスズ酸化物(ITO)よりなる透明共通電極配線CLTが形成されている。同一工程、同一材料で作製されたITOからなる透明画素電極SPTも前記有機絶縁膜FPAS上に形成されている。

【0029】上記説明中、配線材料は特に限定する物ではない。

【0030】主な透過領域は(1)ドレイン線DL上の透明共通電極CLTと、図1の平面図において低温ポリシリコンPSIを被覆するように配置された透明画素電極SPT間、(2)前記透明画素電極SPTとゲート配線GL上側から上下に延びた透明共通電極CLTの間、(3)前記透明共通電極CLTと透明画素電極SPTとの間、(4)前記透明画素電極SPTとドレイン配線DL上の透明共通電極CLTの間の4つの領域である。上記透明画素電極SPT、透明共通電極CLTが液晶を駆動する電極である。

【0031】一方、液晶LCを封止する対向の基板はカラーフィルタ(CF)基板GLS2である。CFガラス基板GLS2は、液晶側に色表示を行う顔料を分散した有機膜材料から構成された色フィルタ(FIL)がその画素毎に割り当てられた色に応じて、青(B)、赤(R)、緑(G)の透過光を表現する色フィルタ(赤で

はFIL(R)となっている。その内側には有機材料からなるオーバコート膜OC膜が形成されている。OC膜は無くても良いが、平坦性を向上する目的ではあるほうが望ましい。CF基板GLS2及びTFT基板GLS1の液晶LCに対して接している面には配向膜OLIが印刷されて所定のラビングが施され、初期配向方向を制御している。また上記、CFガラス基板GLS2及びTFTガラス基板GLS1の外側の面にはそれぞれ偏光板POLが貼られる。この偏光板は互いのガラス基板間で偏向軸が直交するいわゆるクロスニコル状態が形成されている。

【0032】ラビング方向と偏光板の角度の関係を図16に示す。偏光軸の一方PD2はGLと同方向に、他方PD1はGLと直交方向としている。またラビング方向RDは上下基板ともGLと直交する方向とした。これによりノーマリーブラックモードの配置となり、さらに図1のような屈曲形状の画素パターンによりマルチドメイン化を行っている。むろん、非マルチドメインの場合も本願の範疇に含むものであり、その場合でも偏光板配置がクロスニコルになるようにすることが必要である。

【0033】本断面のCF基板GLS2には、いはゆる、ブラックマトリクスBMが形成されていない。カラーフィルタFILの色のつなぎあわせは、ドレイン配線DLを被覆するように配置された透明共通電極配線CLT上で行う。

【0034】ドレイン配線DLを被覆する透明共通電極配線CLT幅はドレイン配線幅の少なくとも2倍以上必要である、これは、IPS液晶表示装置が基本的に液晶に共通電極電位と画素電位以外の電界が加わると誤動作するため、そのシールドが必要なためである。一方、その他の部分の透明電極幅は上記のような規定はない。

【0035】但し、ポジ型の液晶材料を用いたIPS液晶表示装置では透明電極上であっても光が透過しない。これは幅の広い電極上では横電界がかからず液晶分子が回転しないためである。透明電極の端部からその幅の内部に向かって1.5μm領域はフリンジの横電界がかかり透過する。

【0036】図3は図1の3-3'の線に沿った断面図である。本断面図は図1において、低温ポリシリコンPSIのTFTと保持容量の断面を示す。図3の断面図の左側はTFTの断面である。ドレイン配線DL、金属画素電極SPTをいわゆるドレイン電極、ソース電極とし、ゲート配線GLをゲート電極として、ゲート絶縁膜GIを有するいわゆるMOS型TFTである。ULS上にポリシリコン層PSIがあり、ドレイン配線DLはゲート絶縁膜GI及び層間絶縁膜ILIに開けられた第1のコンタクトホールCNT1、低温ポリシリコンPSIのリンを不純物としてドープされた高濃度n型層PSI(n+)に接続されている。該高濃度n型層PSI(n+)は導電性が高く、擬似的に配線部として働く。一方

10

20

30

40

50

GL下のPSIはボロンを不純物としてドープされたp型層PSI(p)となっており、いわゆる半導体層として働き、GLにON電位で導通状態、OFF電位で非導通状態となるスイッチング動作を示す。ゲート配線GLにオン電圧が印加された場合、ゲート配線GL下部でゲート絶縁膜GI下部であり、ボロンを不純物としてドープされたp型層PSI(p)のゲート絶縁膜GI界面のポテンシャルが反転してチャネル層が形成され、n型化されTFTにオン電流が流れ、結果的に金属画素電極SPTへ電流が流れ液晶容量及び保持容量が充電される。

【0037】保持容量Cstgは図3に示すように高濃度n型ポリシリコン層PSI(n+)を一方の電極、絶縁膜としてゲート絶縁膜GIと層間絶縁膜ILIの積層膜、他方の電極を保持容量電極STMとして形成されている。保持容量電極STMはドレイン配線DLと同一工程、材料で構成されている。n型ポリシリコン層PSI(n+)はドレイン配線DLからTFTを経て給電された画素電位を、保持容量電極STMは、透明共通電極配線CLTから保護膜PAS及び有機保護膜FAPSに開けられた第4のコンタクトCNT4を通じて共通電位を給電される。上記n型ポリシリコン層PSI(n+)及び保持容量電極STMは、それぞれ、ゲート絶縁膜GIあるいは層間絶縁膜ILIでゲート配線と分離されている。このため、図1に示すように保持容量Cstgをゲート配線GLとほぼ平行にその間隔を狭めて配置できるので開口率を向上でき透過率が高く明るい液晶表示装置を提供できる。

【0038】保持容量Cstgは、同図のTFTのポリシリコンPSIに対してTFTガラス基板GLS1側からの表示のバックライトによる光照射で発生する電子、正孔のペヤで増加するリーク電流に対して液晶容量で決まる画像表示期間(保持期間)中の電位を保つために設定されている。この値を大きく設定できれば、表示画面上の均一性を極めて良好に保つことができる。

【0039】図4は図1の4-4'の線に沿った断面図である。本断面図は主に、図1の第1のコンタクトホールCNT1からの画素電位が低温ポリシリコンPSIを経て、画素中央部の第2及び第3のコンタクトホールCNT2、CNT3を経て画素電位が透明画素電極SPTへ給電される経路の中で、隣接するドレイン配線DLとその中央部にある第2及び第3のコンタクトホールCNT2、CNT3を横切る断面図である。

【0040】画素電位が供給された低温ポリシリコン層PSI(n+)はその上部のゲート絶縁膜GI及び層間絶縁膜ILIに開口された第2のコンタクトホールCNT2を通じて、パッド電極PADに伝えられる。パッド電極PADはドレイン配線DLと同一工程、材料で構成されている。前記パッド電極PAD上に被覆された保護膜PAS及び有機保護膜FAPSに開口された第3のコンタクトホールCNT3を通じて、透明画素電極SPT

に給電される。

【0041】本実施例では、従来のようなゲート配線G Lと平行に配置された金属の共通電極配線が設置されていない。従って、この画素中央部のコンタクト領域にも透過領域が形成されている。これは図4において、透明画素電極S P Tとドレイン配線D Lを被覆するように配置された透明共通電極配線C L Tに挟まれた2つの透過領域である。このように、本実施例では透過領域が多くでき明るい液晶表示装置が提供できる。

【0042】次に、図3に示すようなN M O S型T F Tの製造工程を図5～図9及び図3を用いて説明する。

【0043】厚さ0.7mm、サイズ730mm×920mmの歪点約670の無アルカリT F Tガラス基板G L S 1を洗浄後、S i H₄とN H₃とN₂の混合ガスを用いたプラズマC V D法により膜厚50nmのS i₃N₄膜、続いて、テトラエトキシシランとO₂の混合ガスを用いたプラズマC V D法により、膜厚120nmのS i O₂膜の積層の下地絶縁膜U L Sを形成する。本絶縁膜U L Sは多結晶シリコン膜へのT F Tガラス基板G L S 1からのN a拡散を防止するためである。S i₃N₄、S i O₂ともに形成温度は400である。なお、本願では半導体層として多結晶シリコンで代表するが、巨大結晶シリコン、連続粒界シリコン、アモルファスシリコンでもよい。

【0044】次に、上にS i H₄、A rの混合ガスを用いたプラズマC V D法によりほぼ真性（イントリンシック）の水素化非晶質シリコン膜を50nm形成する。成膜温度は400で、成膜直後水素量は約5at%である。次に基板を450で約30分アニールすることにより、水素化非晶質シリコン膜中の水素を放出させる。アニール後の水素量は約1at%である。

【0045】次に、波長308nmのエキシマレーザ光L A S E Rを前記非晶質シリコン膜にフルエンス400mJ / cm²で照射し、非晶質シリコン膜を溶融再結晶化させて、ほぼ真性の多結晶シリコン膜を得る。この時レーザビームは幅0.3mm、長さ200mmの細線状の形状であり、ビームの長手方向とほぼ垂直な方向に基板を10μmピッチで移動しながら照射した。照射時は窒素雰囲気とした。

【0046】通常のホトリソグラフィ法により所定のレジストパターンを多結晶シリコン膜上に形成しC F₄とO₂の混合ガスを用いたリアクティブイオンエッティング法により多結晶シリコン膜P S Iを所定の形状に加工する（図5）。

【0047】次に、テトラエトキシシランと酸素の混合ガスを用いたプラズマC V D法により膜厚100nmのS i O₂を形成しゲート絶縁膜G Iを得る。この時のテトラエトキシシランとO₂の混合比は1:50、形成温度は400である。引き続きイオン注入法によりよりBイオンを加速電圧33K e V、ドーズ量1E12(c

m⁻²)で打ちこみ、n型T F Tのチャネル領域のポリシリコン膜P S I(p)を形成する。

【0048】次にスパッタリング法により、金属配線、例えばM oあるいはM o W膜を200nm形成後、通常のホトリソグラフィ法により所定のレジストパターンをM o膜上に形成し、混酸を用いたウェットエッティング法によりM o膜を所定の形状に加工し走査配線G Lを得る。

【0049】エッティングに用いたレジストパターンを残したまま、イオン注入法によりPイオンを加速電圧60K e V、ドーズ量1E15(c m⁻²)で打ちこみ、n型T F Tのソース、ドレイン領域P S I(n+)を形成する（図6）。上記でn型T F Tのソース、ドレインがn+型の低温ポリシリコン膜P S I(n+)及びp型のチャネル領域のポリシリコン膜P S I(p)ができるが、以下のようにp型とn+型の間にPイオン濃度がn+型より少ないn型のL D D領域を作り、T F Tのリーク電流を低減することができる（図示していない）。すなわち、エッティングに用いたレジストパターンを除去後、再度イオン注入法によりPイオンを加速電圧65K e V、ドーズ量2E13(c m⁻²)で打ちこみ、n型T F TのL D D領域を形成する。L D D領域の長さはM oをウェットエッティングしたときのサイドエッティング量で定められる。本実施例の場合約0.8μmである。この長さはM oのオーバーエッティング時間を変化させることで制御できる。

【0050】次に、基板にエキシマランプまたはメタルハライドランプの光を照射するラピッドサーマルアニール（R A T）法により打ち込んだ不純物を活性化する。

30 エキシマランプまたはメタルハライドランプ等の紫外光を多く含む光を用いてアニールすることにより、多結晶シリコン層P S Iのみを選択的に加熱でき、ガラス基板が加熱されることによるダメージを回避できる。不純物の活性化は、基板収縮や曲がり変形等が問題にならない範囲で、450程度以上の温度での熱処理によっても可能である（図6）。

【0051】次に、テトラエトキシシランと酸素の混合ガスを用いたプラズマC V D法により膜厚500nmのS i O₂を形成し層間絶縁膜I L Iを得る。この時のテトラエトキシシランとO₂の混合比は1:5、形成温度は350である。

【0052】次に、所定のレジストパターンを形成後、混酸を用いたウェットエッティング法により、前記層間絶縁膜に第1のコンタクトスル-ホールC N T 1及び図1の平面図の第2のコンタクトホールC N T 2を開孔する（図7）。

【0053】続いて、スパッタリング法により、T iを50nm、A l - S i合金を500nm、T iを50nmを順次積層形成した後に所定のレジストパターンを形成し、その後B C l₃とC l₂の混合ガスを用いたリアク

ティプイオンエッティング法により一括エッティングし、ドレイン配線D L、保持容量電極S T M、図1の平面図のパッド電極P A Dを得る(図8)。

【0054】S i H₄とN H₃とN₂の混合ガスを用いたプラズマC V D法により膜厚300nmのS i₃N₄膜である保護膜P A Sを形成し、さらに、スピニ塗布法によりアクリル系感光性樹脂を約3.5μmの膜厚で塗布し、所定のマスクを用いて露光、現像して前記アクリル系樹脂にスルーホールを形成する。次に230度20分ベークすることで、アクリル樹脂を焼成し、膜厚2.0μmの平坦化有機保護膜F P A Sを得る。続いて、前記有機保護膜F P A Sに設けたスルーホールパターンをマスクとして下層のS i₃N₄膜をC F₄を用いたアクリティプイオンエッティング法により加工し、S i₃N₄膜に第5のコンタクトホールC N T 5及び図1の平面図の第3のコンタクトホールC N T 3を形成する(図9)。

【0055】このように有機保護膜F P A Sをマスクとして用いて下層の絶縁膜を加工することにより、一回のホトリソグラフィ工程で2層の膜をパターニングでき、工程を簡略化できる。

【0056】最後にスパッタリング法によりI T O膜等の透明導電膜を70nm形成し、混酸を用いたウエットエッティングにより所定の形状に加工して透明共通電極配線C L Tおよび透明画素電極S P Tを形成しアクリティプマトリクス基板が完成する(図3)。以上6回のホトリソグラフィ工程で多結晶シリコンT F Tが形成される。

【0057】次に液晶パネルの概観の平面構造について説明する。図10は上下のガラス基板G L S 1、G L S 2を含む表示パネルのマトリクス(A R)周辺の要部平面を示す図である。このパネルの製造では、小さいサイズであればスループット向上のため1枚のガラス基板で複数個分のデバイスを同時に加工してから分割し、大きいサイズであれば製造設備の共用のためどの品種でも標準化された大きさのガラス基板を加工してから各品種に合ったサイズに小さくし、いずれの場合も一通りの工程を経てからガラスを切断する。

【0058】図10は後者の例を示すもので、上下基板G L S 1、G L S 2の切断後を表している。いずれの場合も、完成状態では外部接続端子群T g、T dが存在する(図で上辺)部分はそれらを露出するように上側基板G L S 2の大きさが下側基板G L S 1よりも内側に制限されている。端子群T g、T dはそれぞれ後述するT F Tガラス基板G L S 1上で表示部A Rの左右に配置された低温ポリシリコンT F Tの走査回路G S C Lへ供給する電源及びタイミングデータに関する接続端子、表示領域A Rの上部でT F Tガラス基板G L S 1上に低温ポリシリコンT F Tの映像信号回路D D Cへの映像データあるいは電源データを供給するため端子T dである。引出配線部を集積回路チップC H Iが搭載されたテープキャリアパッケージT C P(図11)の単位に複数本まとめ

て名付けたものである。各群のマトリクス部から映像信号回路D D Cを経て外部接続端子部に至るまでの引出配線は、両端に近づくにつれ傾斜している。これは、パッケージT C Pの配列ピッチ及び各パッケージT C Pにおける接続端子ピッチに表示パネルの映像信号端子T dを合わせるためである。

【0059】透明ガラス基板G L S 1、G L S 2の間に10はその縁に沿って、液晶封入口I N Jを除き、液晶L Cを封止するようにシールパターンS Lが形成される。シール材は例えはエポキシ樹脂から成る。

【0060】図2の断面構造で示した配向膜O R I層は、シールパターンS Lの内側に形成される。液晶L Cは液晶分子の向きを設定する下部配向膜O R Iと上部配向膜O R Iとの間でシールパターンS Lで仕切られた領域に封入されている。

【0061】この液晶表示装置は、下部透明T F Tガラス基板G L S 1側、上部透明C Fガラス基板G L S 2側で別個に種々の層を積み重ね、シールパターンS Lを基板G L S 2側に形成し、下部透明ガラス基板S U B 1と20上部透明ガラス基板G L S 2とを重ね合わせ、シール材S Lの開口部I N Jから液晶L Cを注入し、注入口I N Jをエポキシ樹脂などで封止し、上下基板を切断することによって組み立てられる。

【0062】図11は、図10に示した表示パネルに映像信号駆動I Cを搭載したT C PとT F T基板G L S 1上に低温ポリシリコンT F Tで形成した信号回路D D Cとの接続及びT F T基板G L S 1に低温ポリシリコンT F Tで形成した走査回路G S C Lと外部とを接続した状態を示す上面図である。

【0063】T C Pは駆動用I Cチップがテープ・オートメイティド・ポンディング法(T A B)により実装されたテープキャリアパッケージ、P C B 1は上記T C PやコントロールI CであるT C O N、その他電源用のアンプ、抵抗、コンデンサ等が実装された駆動回路基板である。C Jはパソコンなどからの信号や電源を導入するコネクタ接続部分である。

【0064】図12はテープキャリアパッケージT C Pを液晶表示パネルの、信号回路用端子T dに接続した状態を示す要部断面図である。テープキャリアパッケージT C Pは異方性導電膜A C Fによって液晶表示パネル接続される。パッケージT C Pは、電気的にはその先端部がパネル側の接続端子T dと接続されれば良いが、実際はT F Tの保護膜P A S、有機保護膜F P A Sの開口部を覆うように形成された、透明共通電極配線C L Tと同一工程で形成された透明電極I T Oと接続されている。シールパターンS Lの外側の上下ガラス基板の隙間は洗浄後エポキシ樹脂E P X等により保護され、パッケージT C Pと上側C F基板G L S 2の間には更にシリコーン樹脂が充填され保護が多重化されている(図示していない)。また上下のガラス基板G L S 2、G L S 1の液晶

L Cに対するギャップは有機膜で形成された支柱S P Cあるいはファイバでその高さが決定されている。

【0065】表示マトリクス部の等価回路とその周辺回路の結線図を図13に示す。図中、D Lはドレン線を意味しD L1、D L2、D L3とその数字が画面左からの画面内のドレン配線(映像信号線)を意味する。添字R、GおよびBがそれぞれ赤、緑および青画素に対応して付加されている。G Lはゲート配線G Lを意味し、G L1、G L2、G L3とその数字が画面上部からの画面内のゲート線を意味する。添字1、2、は走査タイミングの順序に従って付加されている。C L X及びC L Yは共通電極配線C L Tを意味し、C L X1、C L X2とその数字が画面上部からの画面内の横方向の共通電極配線を意味する。一方、C L Yは縦方向の共通電極配線を意味し、C L Y1、C L Y2とその数字が画面上部からの画面内の縦方向の共通電極配線を意味する。C L X、C L Yは実際は1画素領域でドレン配線D L及びゲート配線G Lを被覆するようにメッシュ状に配置されている。

【0066】ゲート配線G L(添字省略)はガラス基板上の走査回路G S C Lに繋がれ、その走査回路への電源あるいはタイミング信号はガラス基板外部のP C B上に形成された電源及びタイミング回路S C Cから供給される。上記において低温ポリシリコンT F Tで構成されたガラス基板上の走査回路は、冗長性を高めるために1本のゲート線(走査線)に対して左右の両側から給電されているが、画面サイズなどに応じて片側から給電しても良い。

【0067】一方、ドレン配線D Lへの給電はガラス基板上の低温ポリシリコンT F Tで構成された信号回路D D Cから給電される。信号回路D D Cはガラス基板の映像信号回路I Cで構成された回路よりの映像データをR、G、Bの色データに応じて分配する機能を持つ。従って、ガラス基板上の信号回路からの接続端子数は画面内のドレン配線数の三分の一である。

【0068】また、共通電極配線は、本実施例では、透明共通電極配線C L Tである。この共通配線は、図1で示したように、メッシュ状の画素内で結線となっている。C L X、C L Yは、画面の左右、あるいは上下に引き出され、まとめてインピーダンスの低い共通電極母船C B Lに結線され、電源及びタイミング回路I CのS C Cに結線される。この共通電極は、画面内の画素のコモン電位を与える。

【0069】画面内の低温ポリシリコンT F Tは、n型のT F Tであり、ゲート配線G Lにゲート電圧を印加し、そのタイミングでドレン配線D Lに給電されたドレン電圧(データ)を共通電極配線C L Tとの間の液晶容量C 1 cに給電することにより表示を行う。液晶容量C 1 cの電位を表示期間中に維持する能力を向上するために、保持容量C s t gを形成する。C Cはドレン配

線D Lの断線を検査する低温ポリシリコンT F Tで形成した検査回路であり、C P A Dは検査端子である。

【0070】図14に本発明の液晶表示装置の駆動波形を示す。共通電極電圧V c o mを直流電圧とした場合の例を示す。ゲート電圧V gは1ゲート線毎に順次走査し、ドレン電位V dに対して、画素の低温ポリシリコンT F Tのしきい電圧を更に加算した電圧が印加された際に画素T F Tがオン状態になり、図13に示した液晶容量C 1 cに充電される。上記共通電極電圧V c o m、ゲート電圧V g、ドレン電圧V dはそれぞれ、図13のメッシュ状の共通電極配線を構成する共通電極配線C L T、ゲート配線G L、ドレン配線D Lに印加される。本実施例では、ドレン電圧V dは、例えば、ノーマルブラックモードでの液晶表示で白表示を行う場合を示しており、ゲート線は1ライン毎に選択され、そのライン毎に共通電極電圧V c o mに対してプラス、マイナスの極性反転される。画素電位V pはT F Tを通じて液晶容量C 1 cに充電されるが、奇数、偶数フレームで共通電極電位V c o mに対して反転される。特定のアドレスのT F Tのゲート配線G Lに対して、ゲート配線が選択されV gがV dより大きくなると液晶容量C 1 cに画像に対応する電位が充電されるが、上記のように次ぎのフレームになり、共通電極電位V c o mに対して反転されたV dが印加されるまで液晶容量C 1 cの電位は保持されなければならない。この保持率はT F Tのオフ(リーク)電流が大きくなると低下する。これを防止するには、図13の等価回路の保持容量C s t gを大きく設定する必要がある。

【0071】図15は、液晶表示モジュールM D Lの各構成部品を示す分解斜視図である。S H Dは金属板から成る枠状のシールドケース(メタルフレーム)、L C Wはその表示窓、P N Lは液晶表示パネル、S P Bは光拡散板、L C Bは導光体、R Mは反射板、B Lはバックライト蛍光管、L C Aはバックライトケースであり、図に示すような上下の配置関係で各部材が積み重ねられてモジュールM D Lが組み立てられる。

【0072】モジュールM D Lは、シールドケースS H Dに設けられた爪とフックによって全体が固定されるようになっている。バックライトケースL C Aはバックライト蛍光管B L、光拡散板S P B、導光体L C B、反射板R Mを収納する形状になっており、導光体L C Bの側面に配置されたバックライト蛍光管B Lの光を、導光体L C B、反射板R M、光拡散板S P Bにより表示面で一様なバックライトにし、液晶表示パネルP N L側に出射する。バックライト蛍光管B Lにはインバータ回路基板P C B 2が接続されており、バックライト蛍光管B Lの電源となっている。

【0073】(実施例2)図17は本発明の第2の実施例を示す画素の平面図であり、図18、図19はその図17における18-18'、19-19'として一点鎖線

で示した切断線での断面を示す。図面では切断部を分かりやすくするため、数字を で囲い切断部を示している。

【0074】図17は実施例1と同様にドレイン配線DLを横切る方向に主な透過部を4つもつIPS方式の画素パターンである。構成は実施例1に対する大きな特徴は、ゲート配線GL近傍に配置されていた保持容量の構成にある。また低温ポリシリコンPSIと透明画素電極SPTとの接続部分のコンタクトホールの構成にある。

【0075】保持容量Cstgは以下のような構成となっている。まず、保持容量の下部電極はn型のポリシリコンPSI層であり、これは実施例1と同じである。一方、保持容量の上部電極は、第7のコンタクトホールに埋め込まれた透明共通電極配線CLTである。この構成では、実施例1のようにドレイン配線DLと同一工程、材料で構成された保持容量電極が形成されていない。従って、この構成では、ドレイン配線DLと同層にある金属電極がないので、ショートする電極自身がなく。点欠陥などの表示欠陥が大きく低減できる。

【0076】一方、ドレイン配線DLから第1のコンタクトホールCNT1を経てその画素電位を低温ポリシリコンPSIへ伝達し、これは画素中央部の第5及び第6のコンタクトホールCNT5、CNT6を経て透明画素電極SPTに至る。ここで、第5のコンタクトホールCNT5より第6のコンタクトホールは大きく、さらにそれより幅広に透明画素電極SPTが配置されている。

【0077】図17の18-18'切断線における断面図が図18である。同図の左側はTFTの断面図であり、ドレイン配線DLからの映像電圧はTFTのゲート配線GLにオン電圧が印加されるとp型のポリシリコン層PSI(p)が低抵抗化して、その電位が画素電位として液晶容量や保持容量Cstgに充電される。保持容量Cstgの下部電極はn+型のポリシリコンPSI(n+)であり、上部電極は有機保護膜FPAを開口し、その開口部に被覆埋設された透明共通電極配線CLTである。保持容量Cstgの絶縁膜は実施例1と同様にゲート絶縁膜GIと層間絶縁膜ILの積層膜である。本実施例では、保持容量の電極としてゲート配線GLやドレイン配線DLの電極材料を用いていない。これにより、これらの電極とドレイン配線DLとのショートによる欠陥が全く発生する可能性がない。

【0078】図19は低温ポリシリコンPSIと透明画素電極SPTの接続部分の断面である。画素電位を給電する低温ポリシリコン層PSIは第5のコンタクトホールCNT5の内側に開けられた第6のコンタクトホールCNT6で直接に透明画素電極SPTと接続されている。本接続部分には、実施例1のような、金属パッド電極がないため、ドレイン配線DLとこれらの電極のショートによる欠陥が発生しない。

【0079】上記のように、本実施例では、図17の平

面図、図18及び図19に示すように、ゲート配線GL及びドレイン配線DLを除いて金属電極が使用されていない。このことは、図16の画素を正面から観察した際に反射が極めて少なく、液晶表示装置を見る観察者の顔が映り込みが少ない液晶表示装置が実現でき、さらに良好な画質の液晶表示装置が提供できると言う新たな特徴も得られる。

【0080】(実施例3)図20は本発明の第3の実施例を示す画素の平面図であり、図21はその図20における21-21'として一点鎖線で示した切断線での断面を示す。図面では切断部を分かりやすくするため、数字を で囲い切断部を示している。

【0081】図20は実施例2と同様にドレイン配線DLを横切る方向に主な透過部を4つもつIPS方式の画素パターンである。画素電位と共通電位の給電経路を示す。画素電位は、TFTが形成されたゲート配線GLに對して、ドレイン配線DLより第1のコンタクトホールCNT1から低温ポリシリコンPSIを経て第2のコンタクトホールCNT2を経て金属画素電極SPMへ伝達される。金属画素電極SPMに伝えられた画素電位は第3のコンタクトホール近傍で二手に分かれる。一方は、第3のコンタクトホールから1画素内で折り返した形状の平面配置の透明画素電極SPTに伝えられる。もう、一方の経路においては、金属画素電極SPMは前段のゲート配線GL上へ乗り上げ、前段のゲート配線と保持容量を構成する。

【0082】本実施例の最大の特徴は、従来のIPS液晶表示装置において見られたような、共通電極配線を画素電極あるいはソース電極が交差する構成を画素内で全くとらないことで極めて高い開口率を実現した点にある。

【0083】図21はドレイン配線DLの第1のコンタクトホールCNT1から低温ポリシリコンPSIのTFTから金属画素電極SPM、さらにこれが前段のゲート配線GLに乗り上げて保持容量Cstgを構成する部分の断面図である。

【0084】第2のコンタクトホールCNT2で低温ポリシリコンPSIに接続された金属画素電極SPMは層間絶縁膜ILIを被覆した前段のゲート配線GLに乗り上げ保持容量を構成する。この金属画素電極SPMは従来のIPS表示装置と異なりゲート配線GLと同一工程、材料で構成した共通電極配線がないため段差が少なく断線が少ない。言うまでもなく、開口率も向上し明るい液晶表示装置が提供できる。従って、前記保持容量は、前段のゲート配線GLを一方の電極、絶縁膜が層間絶縁膜、他方の電極を金属画素電極SPMで構成されている。画素電位は第3のコンタクトホールCNT3を通じて、有機保護膜上に配置された透明画素電極SPTに給電され、透明共通電極配線CLTとの共通電位とで液晶を駆動する。

【0085】本実施例の保持容量Cstgは、いわゆるCadd方式に分類される構成となる。

【0086】また本実施例では、ゲート配線上で透明画素電極SPTと透明共通配線CLTを凸凹上に違いに勘合させることにより、実質的にゲート配線GL上の広い領域が最上層の透明電極で覆われるように構成し、ゲート配線GLからの漏洩電界をシールドした構成となっている。これにより、透明共通配線配線CLTと透明画素電極SPTの短絡を防止しつつ、電界シールドを実現している。

【0087】さらに、ゲート配線GL上に生じる透明共通配線配線CLTと透明画素電極SPT間の間隙の少なくとも一部を覆うように、金属画素電極SPMを配置しても良い。図20に開示の構造である。これにより、保持容量の増大と共に、透明共通配線CLTと透明画素電極SPT間から漏洩する電界を金属画素電極SPMによりシールドすることが可能となり、保持容量の増大と漏洩電界の低減を同時に達成することが実現する。

【0088】むろん、該金属画素電極SPMは透明共通配線CLTから透明画素電極SPT間に至る間隙の延在方向で、該間隙を完全に覆うように形成しても良い。漏洩電界防止の効果のより一層の向上が図れるからである。

【0089】上記のように、本実施例では、前段のゲート配線上で保持容量をするため、さらに高い開口率を得ることができ明るいIPS型の液晶表示装置を提供することができる。

【0090】

【発明の効果】以上詳述したように、本発明の主に低温ポリシリコンTFTで構成されたIPS表示方式の液晶表示装置により、歩留りが高く、明るい高画質の液晶表示装置を提供することができる。

【図面の簡単な説明】

【図1】本発明の一実施例によるTFT液晶表示装置の画素の要部平面図である。

【図2】本発明の一実施例によるTFT液晶表示装置の2-2'線に沿った画素の要部断面図である。

【図3】本発明の一実施例によるTFT液晶表示装置の3-3'線に沿った画素の要部断面図である。

【図4】本発明の一実施例によるTFT液晶表示装置の4-4'線に沿った画素の要部断面図である。

【図5】本発明の一実施例によるTFT液晶表示装置のTFT基板の第1ホト工程までの製造方法を説明するための断面図である。

【図6】本発明の一実施例によるTFT液晶表示装置のTFT基板の第2ホト工程までの製造方法を説明するための断面図である。

【図7】本発明の一実施例によるTFT液晶表示装置のTFT基板の第3ホト工程までの製造方法を説明するための断面図である。

【図8】本発明の一実施例によるTFT液晶表示装置のTFT基板の第4ホト工程までの製造方法を説明するための断面図である。

【図9】本発明の一実施例によるTFT液晶表示装置のTFT基板の第5ホト工程までの製造方法を説明するための断面図である。

【図10】TFTガラス基板とCFガラス基板を貼りあわせたLCDセルの全体平面図である。

【図11】LCDセルにPCB基板とTABを接続した全体平面図である。

【図12】LCDセルのTABとドレイン側引き出し端子部付近の断面図である。

【図13】TFTLCDの概略の等価回路を表す平面図である。

【図14】TFTLCDの画素の駆動波形を表すタイミングチャートである。

【図15】本発明のモジュール構成の一例を示す説明図である。

【図16】本発明の一実施例による偏光板と初期配向方向の関係を説明する図である。

【図17】本発明の他の実施例によるTFT液晶表示装置の画素の平面図である。

【図18】本発明の他の実施例における隣接するドレン線間を横切る、図17の18-18'に沿った要部断面図である。

【図19】本発明の他の実施例における隣接するドレン線間を横切る、図17の18-18'に沿った要部断面図である。

【図20】本発明の他の実施例によるTFT液晶表示装置の画素の平面図である。

【図21】本発明の他の実施例における図20の21-21'に沿った要部断面図である。

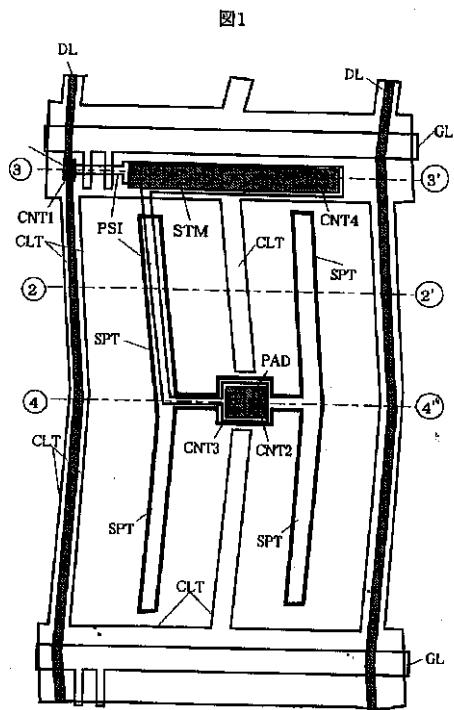
【符号の説明】

CJ...コネクタ部、CLT...透明共通電極配線、CPA...検査パッド、CNT1...ドレイン配線とSiアーランドをつなぐコンタクトホール、CNT2...金属電極とSiアーランドをつなぐコンタクトホール、CNT3...金属電極と透明画素電極をつなぐコンタクトホール、CNT4...保持容量電極と透明共通電極配線をつなぐコンタクトホール、CNT5...Siに開かれたコンタクトホール、CNT6...Siと透明画素電極を接続するコンタクトホール、CNT7...有機絶縁膜に開けられた保持容量用コンタクトホール、Cstg...保持容量、DDC...ガラス基板上のドレイン分割回路、DL...ドレイン配線、EPX...エポキシ樹脂、CF...カラーフィルタ層、FIL...カラーフィルタ層、FPAS...有機保護膜、GFP...ゲートFP...C、GI...ゲート絶縁膜、GL...ゲート配線、GLS1...TFTガラス基板、GLS2...CFガラス基板、IDC...外付けのドレイン回路、INJ...封入口、IL...I...層間絶縁膜、LCD...液晶(分子)、LCB...導光

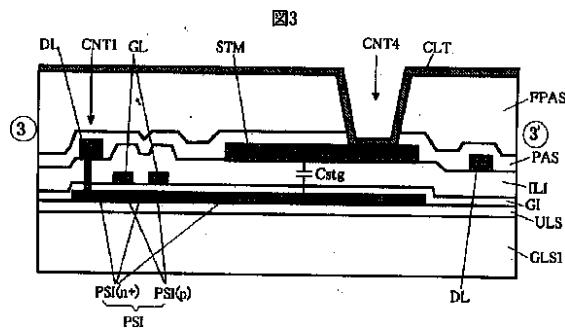
板、MDL…モジュール、OC…カラーフィルタのオーバコート膜、OLI…配向膜、PAS…保護絶縁膜、POL…偏光板、PSI…p-Siアイランド、PSI(p)…p型p-Si半導体層、PSI(n+)…n+型p-Si半導体層、RM…反射板、SPB…拡散フィ*

*ルム、S P C…支柱、S H D…シャーシ、S P M…金属画素電極、S P T…透明画素電極、S T M…保持容量電極、S S C…電源、コントロール回路、T C P…テープキャリヤパッケージ、U L S…下地絶縁膜。

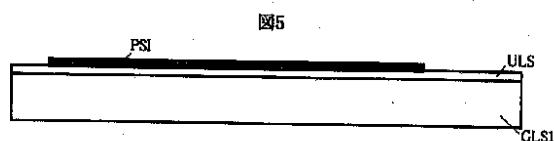
【図1】



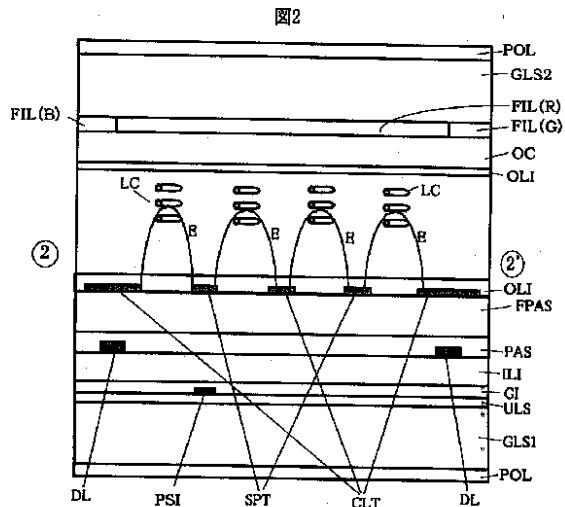
【図3】



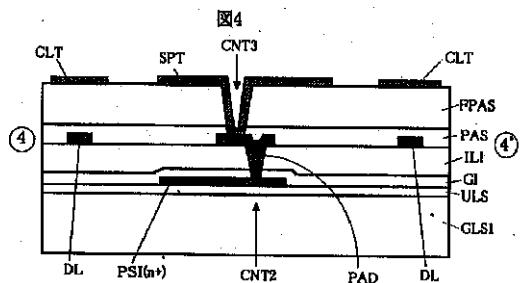
(图 5)



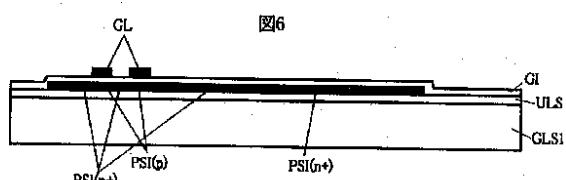
【図2】



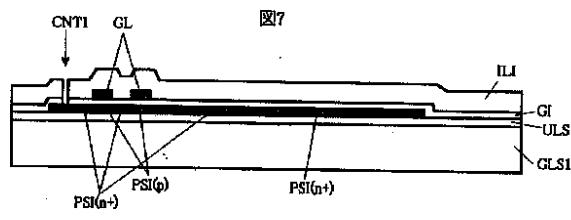
【図4】



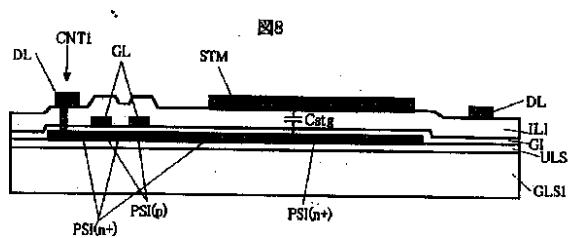
(6)



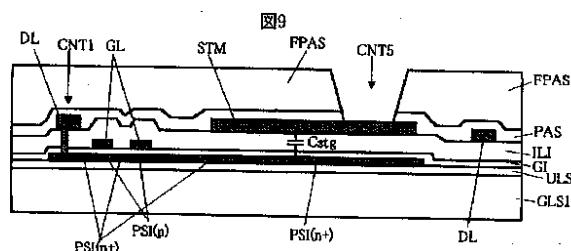
【図7】



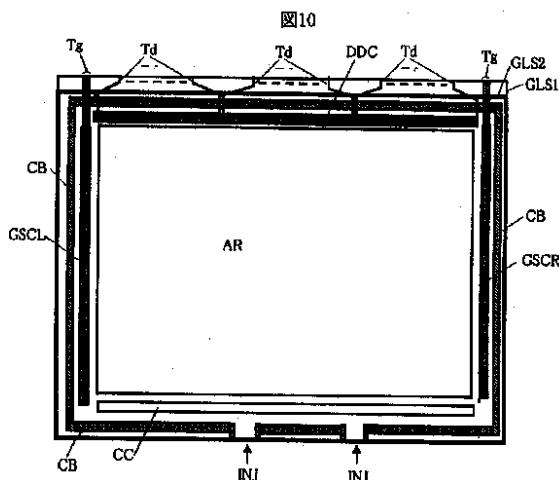
【図8】



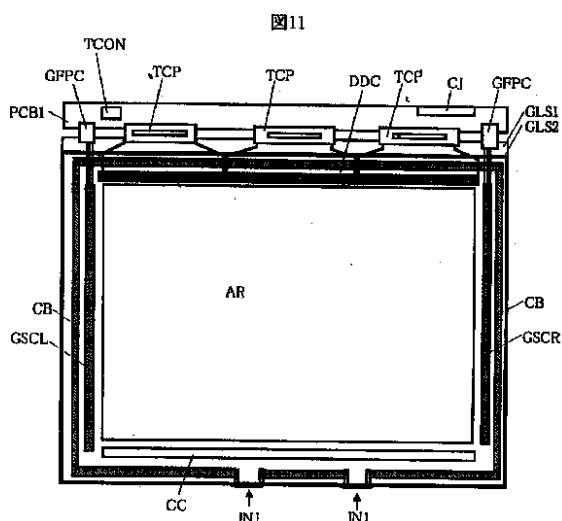
【図9】



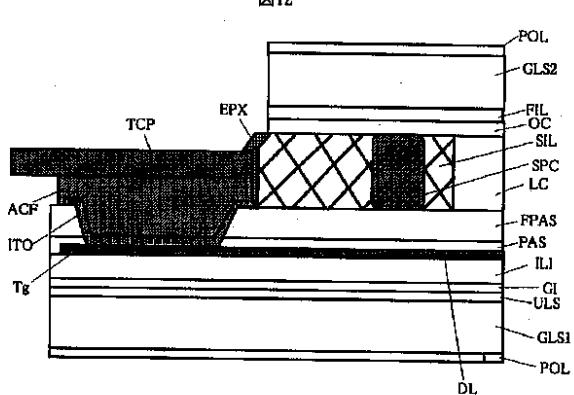
【図10】



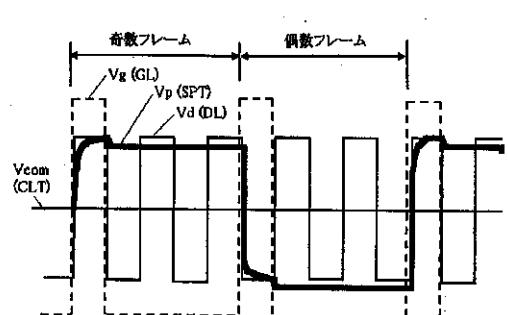
【図11】



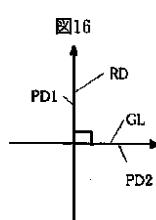
【図12】



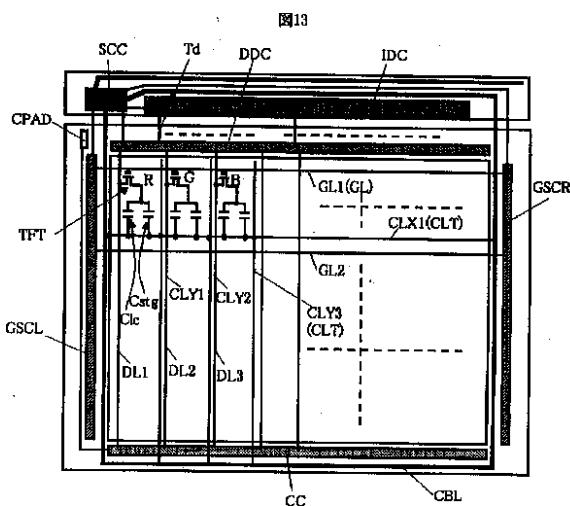
【図14】



【図16】

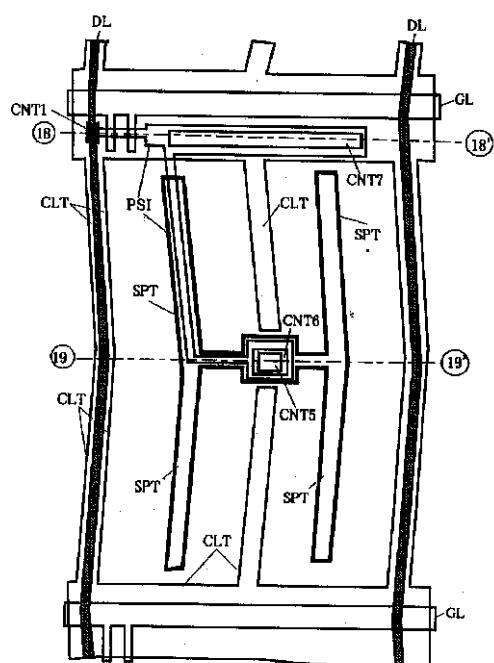


【図13】



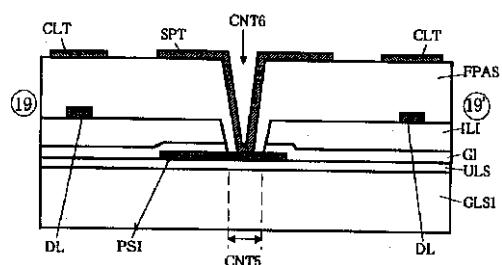
【図17】

図17

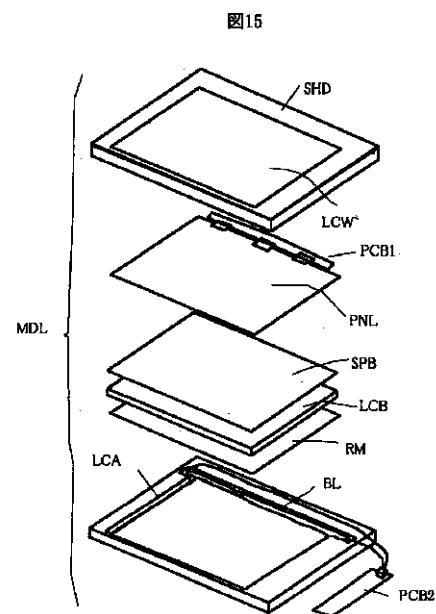


【図19】

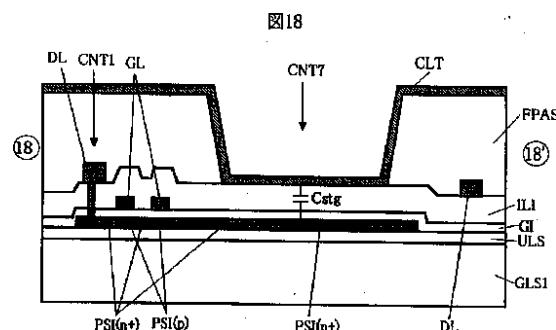
図19



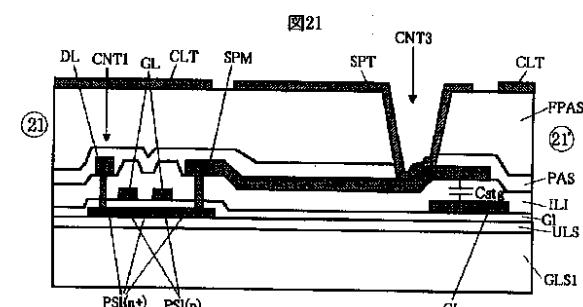
【図15】



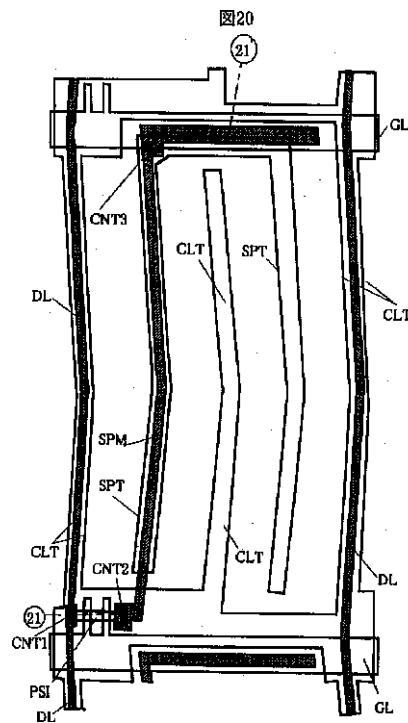
【図18】



【図21】



【図20】



【手続補正書】

【提出日】平成14年11月7日(2002.11.7)

【手続補正1】

【補正対象書類名】図面

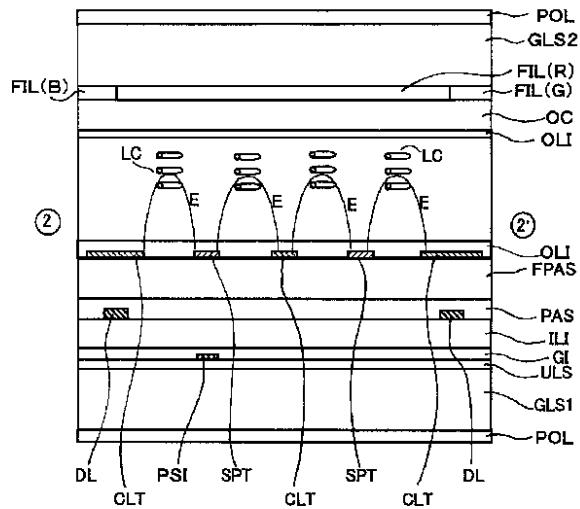
【補正対象項目名】全図

【補正方法】変更

【補正内容】

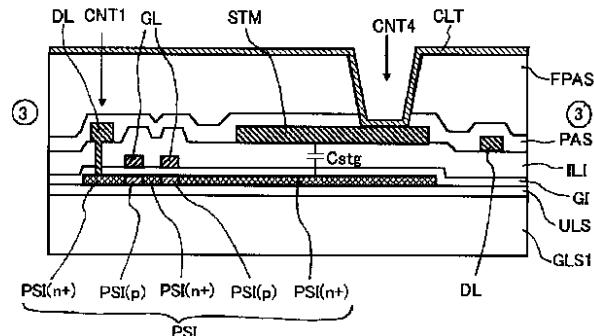
【図2】

図2



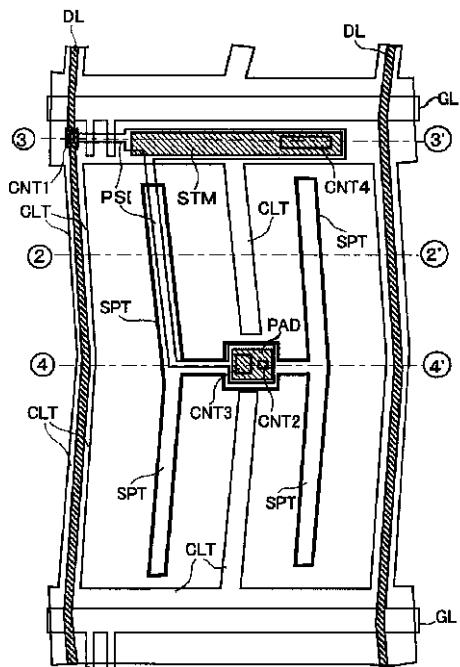
【図3】

図3



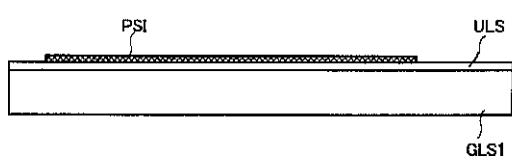
【図1】

1



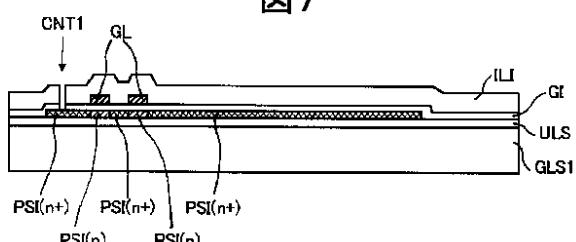
【图5】

5

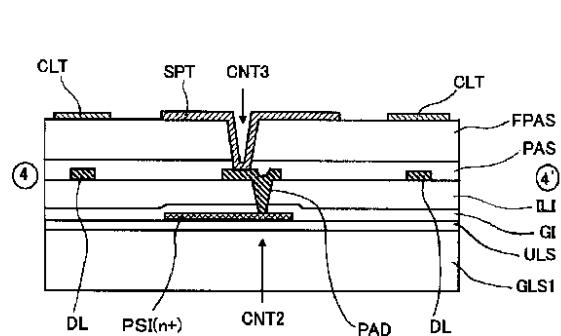


【圖 7】

7

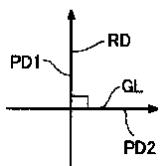


4



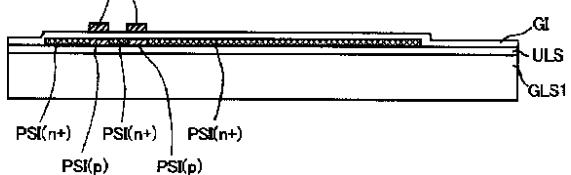
【図16】

图 16



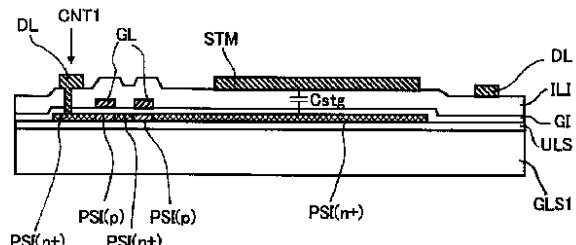
【図6】

6



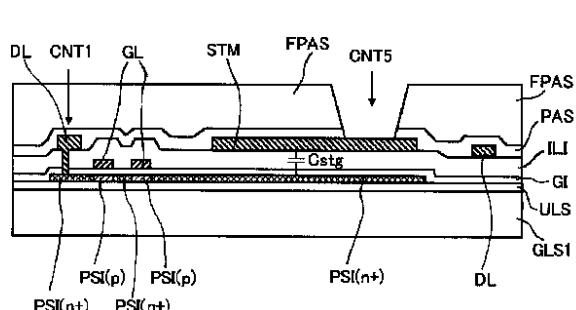
【圖 8】

8



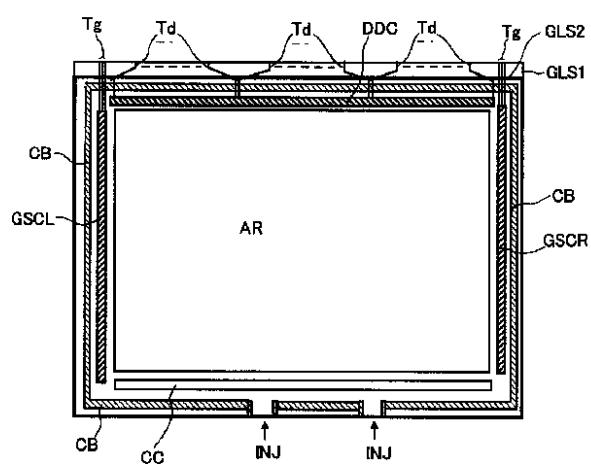
【図9】

义 9



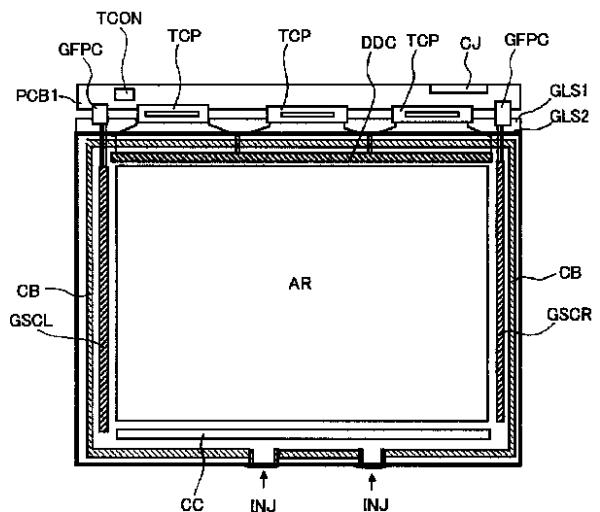
【図10】

図10



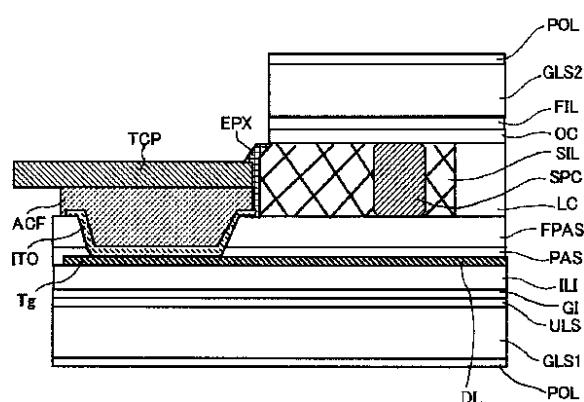
【図11】

図11



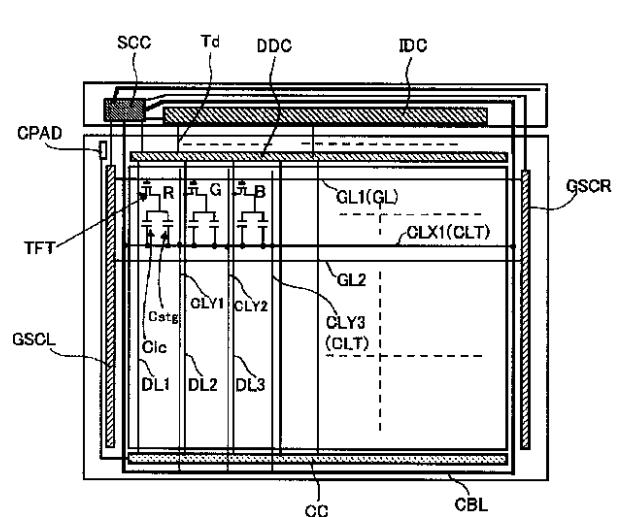
【図12】

図12



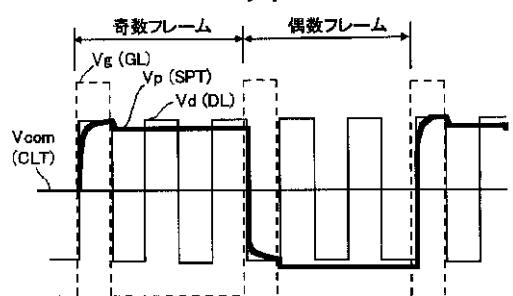
【図13】

図13



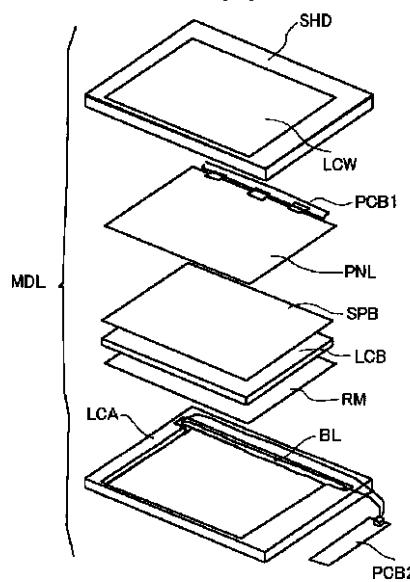
【図14】

図14



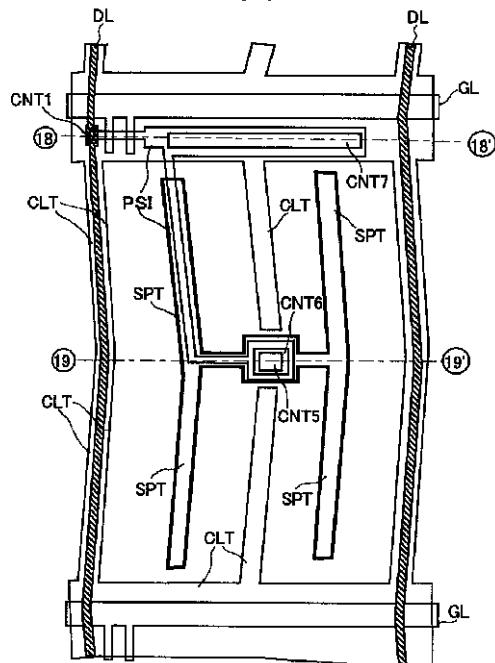
【図15】

図15



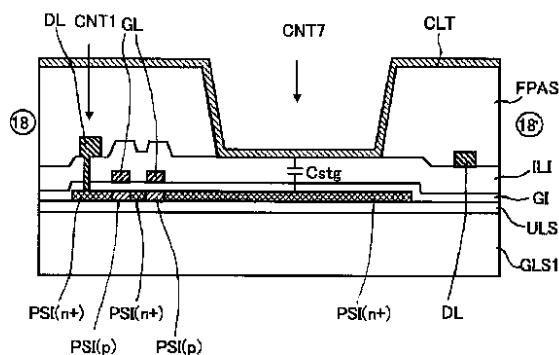
【図17】

図17



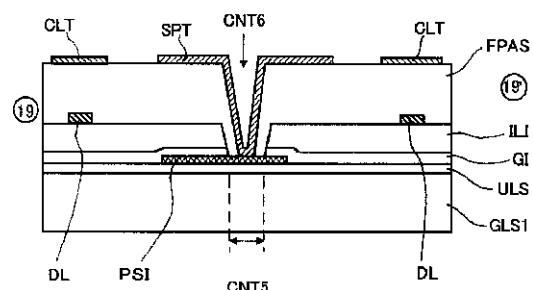
【図18】

図18



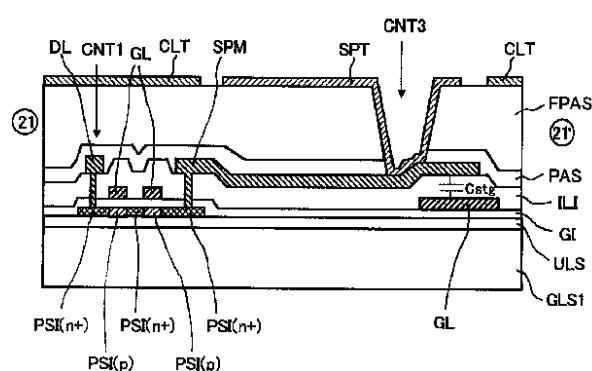
【図19】

図19



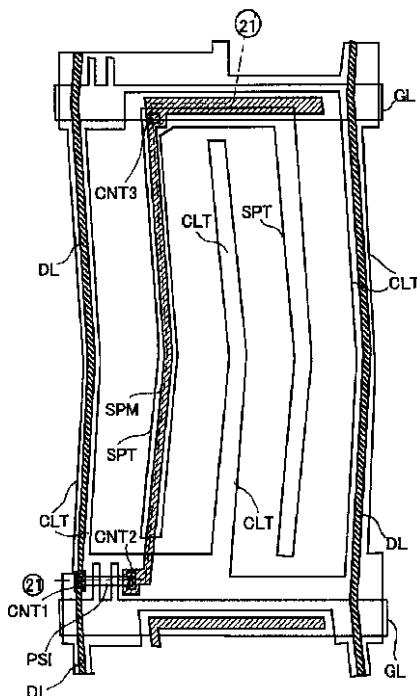
【図21】

図21



【図20】

図20



フロントページの続き

(51) Int.Cl.⁷
H 01 L 29/786

識別記号

F I
H 01 L 29/78

テ-マコ-ド[®] (参考)

6 1 2 C

(72) 発明者 落合 孝洋
千葉県茂原市早野3300番地 株式会社日立
製作所ディスプレイグループ内

F ターム(参考) 2H090 HA04 HA05 HB07X LA04
2H092 GA14 GA21 JA24 JA37 JA41
JB22 JB31 JB38 JB64 KA04
NA01 NA07
5C094 AA42 AA53 BA03 BA43 CA19
DA11 DA15 EA07 FB01 FB15
HA08
5F110 AA30 BB01 CC02 DD02 DD07
DD13 DD14 EE04 EE06 EE28
EE44 FF02 FF30 GG02 GG13
GG15 GG25 GG32 GG34 GG45
GG52 HJ01 HJ04 HJ13 HJ23
HL04 HL06 HL12 HL23 HM15
HM18 NN02 NN03 NN04 NN23
NN24 NN27 NN35 NN36 NN72
NN73 PP03 PP04 PP13 PP35
QQ11

专利名称(译)	液晶表示装置		
公开(公告)号	JP2003207796A	公开(公告)日	2003-07-25
申请号	JP2002006101	申请日	2002-01-15
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	株式会社日立制作所		
[标]发明人	小野記久雄 桶隆太郎 落合孝洋		
发明人	小野 記久雄 桶 隆 太郎 落合 孝 洋		
IPC分类号	G02F1/1333 G02F1/1343 G02F1/1362 G02F1/1368 G09F9/30 G09F9/35 H01L29/786		
CPC分类号	G02F1/136213 G02F1/134363		
FI分类号	G02F1/1343 G02F1/1333.505 G02F1/1368 G09F9/30.339.A G09F9/35 H01L29/78.612.C		
F-TERM分类号	2H090/HA04 2H090/HA05 2H090/HB07X 2H090/LA04 2H092/GA14 2H092/GA21 2H092/JA24 2H092/JA37 2H092/JA41 2H092/JB22 2H092/JB31 2H092/JB38 2H092/JB64 2H092/KA04 2H092/NA01 2H092/NA07 5C094/AA42 5C094/AA53 5C094/BA03 5C094/BA43 5C094/CA19 5C094/DA11 5C094/DA15 5C094/EA07 5C094/FB01 5C094/FB15 5C094/HA08 5F110/AA30 5F110/BB01 5F110/CC02 5F110/DD02 5F110/DD07 5F110/DD13 5F110/DD14 5F110/EE04 5F110/EE06 5F110/EE28 5F110/EE44 5F110/FF02 5F110/FF30 5F110/GG02 5F110/GG13 5F110/GG15 5F110/GG25 5F110/GG32 5F110/GG34 5F110/GG45 5F110/GG52 5F110/HJ01 5F110/HJ04 5F110/HJ13 5F110/HJ23 5F110/HL04 5F110/HL06 5F110/HL12 5F110/HL23 5F110/HM15 5F110/HM18 5F110/NN02 5F110/NN03 5F110/NN04 5F110/NN23 5F110/NN24 5F110/NN27 5F110/NN35 5F110/NN36 5F110/NN72 5F110/NN73 5F110/PP03 5F110/PP04 5F110/PP13 5F110/PP35 5F110/QQ11 2H092/JB32 2H190/HA04 2H190/HA05 2H190/HB07 2H190/LA04 2H192/AA24 2H192/BB03 2H192/BB53 2H192/BB73 2H192/BC42 2H192/CB02 2H192/CB13 2H192/CB34 2H192/CC55 2H192/CC72 2H192/DA02 2H192/DA32 2H192/DA43 2H192/DA44 2H192/EA43 2H192/FA65 2H192/FB02 2H192/GA42 2H192/GD61 2H192/HB04 2H192/HB13 2H192/JA33		
代理人(译)	小野寺杨枝		
其他公开文献	JP3891846B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：使用低温多晶硅TFT提供IPS系统宽视角和亮度的液晶显示装置。SOLUTION：对于有源矩阵型液晶显示装置，形成在第一基板上的薄膜晶体管(TFT)的半导体层，形成在半导体层上的第一绝缘层，第二绝缘层，形成在第一绝缘层上，并且安装形成在第二绝缘层上的公共布线。第二绝缘层设置有去除区域，该去除区域位于半导体层形成区域中。形成保持电容，其具有从去除区域中的公共布线提供的公共电位，以及由半导体层形成的像素电位。

