

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003 - 75871

(P2003 - 75871A)

(43)公開日 平成15年3月12日 (2003.3.12)

(51) Int. Cl ⁷	識別記号	F I	テ-マコード (参考)
G 0 2 F 1/1368		G 0 2 F 1/1368	2 H 0 9 2
H 0 1 L 29/786		H 0 1 L 29/78	5 F 1 1 0
		612 C	
		618 C	

審査請求 未請求 請求項の数 21 O L (全 8 数)

(21)出願番号 特願2002 - 187639(P2002 - 187639)

(22)出願日 平成14年6月27日(2002.6.27)

(31)優先権主張番号 2001 - 041671

(32)優先日 平成13年7月11日(2001.7.11)

(33)優先権主張国 韓国(KR)

(71)出願人 501426046
エルジー・フィリップス エルシーデー
カンパニー、リミテッド
大韓民国 ソウル,ヨンドウンポ-ク,ヨイ
ド-ドン 20

(72)発明者 李 ジョン 豪
大韓民国 大邱廣域市 北區 東川洞 91
5番地 漆谷3次 ファスタウン 105 - 7
02

(74)代理人 100064447
弁理士 岡部 正夫 (外 1 0 名)

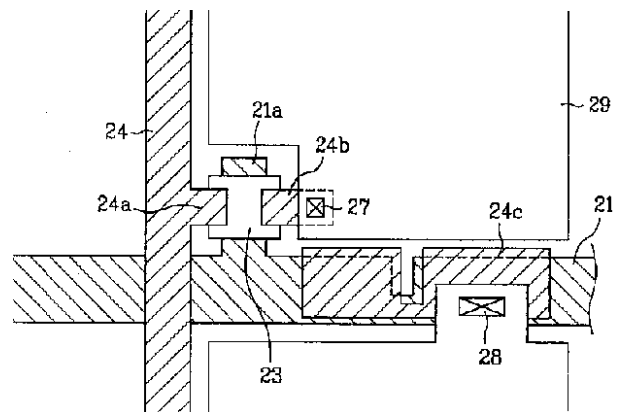
最終頁に続く

(54)【発明の名称】 液晶表示素子

(57)【要約】

【課題】 本発明は、ゲート電極とソース/ドレイン電極との間の寄生容量の変化量を補償して画質を向上させることができる液晶表示素子を提供する。

【解決手段】 本発明は、第1補償パターンを有するゲート配線と、前記ゲート配線と交差されるように形成されて画素領域を定義するデータ配線と、ソース/ドレイン電極形成のためのフォトエッチング工程時、絶縁膜を間に置き、前記ゲート配線の所定領域上に形成され第2補償パターンを有するキャパシタ電極を包含して構成される。



【特許請求の範囲】

【請求項1】 第1基板上に形成されるとともに一つ以上の第1補償パターンを有するゲート配線と、前記ゲート配線と交差されるように形成されるとともに画素領域を定義するデータ配線と、

絶縁膜を隔てて前記ゲート配線の所定領域上に形成されるとともに一つ以上の第2補償パターンを有するキャパシタ電極と、

前記ゲート配線及びデータ配線の交差点に形成されたゲート電極及びソース/ドレイン電極を含む薄膜トランジスタと、

前記画素領域内に形成される画素電極と、前記第1基板に対向する第2基板との間に形成された液晶層を含めて構成されることを特徴とする液晶表示素子。

【請求項2】 前記キャパシタ電極は前記薄膜トランジスタのソース/ドレイン電極と同時に形成されることを特徴とする請求項1に記載の液晶表示素子。

【請求項3】 前記キャパシタ電極は前記画素電極と電気的に連結されることを特徴とする請求項3に記載の液晶表示素子。

【請求項4】 前記キャパシタ電極は前記画素電極と一体形であることを特徴とする請求項1に記載の液晶表示素子。

【請求項5】 前記第1補償パターン及び第2補償パターンは一部領域が互いにオーバーラップされることを特徴とする請求項1に記載の液晶表示素子。

【請求項6】 前記薄膜トランジスタは前記画素電極と電気的に連結されることを特徴とする請求項1に記載の液晶表示素子。

【請求項7】 前記薄膜トランジスタが“ I ”字状のチャンネルを有する場合、前記第1、2補償パターンは凹凸タイプであることを特徴とする請求項1に記載の液晶表示素子。

【請求項8】 前記第2補償パターンは前記第1補償パターンよりさらに大きい幅の凹凸タイプであることを特徴とする請求項7に記載の液晶表示素子。

【請求項9】 前記薄膜トランジスタが“ L ”字状のチャンネルを有する場合、前記第1、2補償パターンは凹凸タイプであることを特徴とする請求項1に記載の液晶表示素子。

【請求項10】 前記第2補償パターンは前記第1補償パターンより更に小さい幅の凹凸タイプであることを特徴とする請求項9に記載の液晶表示素子。

【請求項11】 前記薄膜トランジスタが“ U ”字状のチャンネルを有する場合、前記第1、2補償パターンは“ U ”字状であることを特徴とする請求項1に記載の液晶表示素子。

【請求項12】 第1基板上に相互交差配置されて画素領域を定義するゲート配線及びデータ配線と、

*前記画素領域の所定部位に形成されるとともに一つ以上の第1補償パターンを有するキャパシタ下部電極と、絶縁膜を間にして前記キャパシタ下部電極上に形成されるとともに一つ以上の第2補償パターンを有するキャパシタ上部電極と、

前記ゲート配線及びデータ配線の交差点に形成されたゲート電極及びソース/ドレイン電極を含む薄膜トランジスタと、

前記画素領域に形成されるとともに前記薄膜トランジスタ及びキャパシタ上部電極と連結される画素電極と、前記第1基板に対向する第2基板との間に形成された液晶層を含めて構成されることを特徴とする液晶表示素子。

【請求項13】 前記キャパシタ下部電極はゲート配線と平行であることを特徴とする請求項12に記載の液晶表示素子。

【請求項14】 前記キャパシタ下部電極は前記ゲート配線と同時に形成されることを特徴とする請求項12に記載の液晶表示素子。

【請求項15】 前記キャパシタ上部電極は前記薄膜トランジスタのソース/ドレイン電極と同時に形成されることを特徴とする請求項12に記載の液晶表示素子。

【請求項16】 前記第1補償パターン及び第2補償パターンはその一部領域が互いにオーバーラップされることを特徴とする請求項12に記載の液晶表示素子。

【請求項17】 前記薄膜トランジスタが“ I ”字状のチャンネルを有する場合前記第1、2補償パターンは凹凸タイプであることを特徴とする請求項12に記載の液晶表示素子。

【請求項18】 前記第2補償パターンは前記第1補償パターンよりさらに大きい幅の凹凸タイプであることを特徴とする請求項17に記載の液晶表示素子。

【請求項19】 前記薄膜トランジスタが“ L ”字状のチャンネルを有する場合、前記第1、2補償パターンは凹凸タイプであることを特徴とする請求項12に記載の液晶表示素子。

【請求項20】 前記第2補償パターンは前記第1補償パターンよりさらに小さい幅の凹凸タイプであることを特徴とする請求項19に記載の液晶表示素子。

【請求項21】 前記薄膜トランジスタが“ U ”字状のチャンネルを有する場合、前記第1、2補償パターンは“ U ”字状であることを特徴とする請求項12に記載の液晶表示素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示素子(LCD:Liquid Crystal Display Device)に関するもので、特に、画質を改善するための液晶表示素子に関する。

【0002】

【従来の技術】最近、平板ディスプレイに対する研究が盛んであり、そのうち、液晶表示素子はコントラスト比が大きく階調表示や動画像の表示に適しており、電力消費が少ないということから、CRT(Cathode Ray Tube)の短所を克服できる代替手段として次第にその使用領域が拡大されている。

【0003】このような液晶表示素子は画素電極に電圧をかけ、かつ遮断するスイッチング素子と、光を透過させる領域として液晶層に信号電圧がかけられる画素電極と、レベルシフト電圧を小さくし画素情報を維持するためのストレージキャパシタを含むアレイ基板と、前記画素電極との電圧差によって液晶層に電界を形成する共通電極と、色彩を表現し光を選択的に透過させるカラーフィルタと、液晶配列を制御できない部分に光が入射できないように遮断するためのブラックマトリックスのあるカラーフィルタ基板と、前記アレイ基板とカラーフィルタ基板の間に形成された液晶層からなる。

【0004】具体的に、前記ストレージキャパシタは寄生容量による画質低下の防止のために対応する薄膜トランジスタのターンオフ区間で液晶キャパシタに充電された電圧を維持させる役割を果たしているが、ストレージキャパシタ電極を形成する方法によって蓄積容量方式と付加容量方式とがある。

【0005】前者の方式はストレージキャパシタ用電極を別に形成したものであり、後者の方式は(n-1)番目のゲート配線の一部領域をn番目画素のストレージキャパシタ用電極に使用する方式である。このうち、付加容量方式は別のキャパシタ用配線がないので開口率が大きく、データ配線とキャパシタ用配線の重なる部分がないのでデータ配線の断線が減らして歩留まりが高い。ところが、完全なドットインバージョン(dot-inversion)カラムインバージョンなどが具現されないので相対的に画質が劣る。

【0006】以下添付の図面を参照して従来技術の液晶表示素子を以下に説明する。図1は従来技術による液晶表示素子の平面図であり、図2は画素に対する等価値回路図である。一般的に付加容量方式の液晶表示素子は第1基板上に形成されたゲート配線11と前記ゲート配線11を含む前面に形成されたゲート絶縁膜(図示せず)と前記ゲート配線11と交差して画素領域を定義するデータ配線14と、前記データ配線14と同時に形成され、前記ゲート配線11上のゲート絶縁膜の所定領域上に位置するキャパシタ上部電極14cと、前記ゲート配線11とデータ配線14の交差点に配置されたスイッチング素子と、前記スイッチング素子を含む前面に所定厚さで形成された保護膜(図示せず)と、第1、2コンタクトホール17、18を介して前記スイッチング素子及び隣り合っているキャパシタ上部電極14cと連結されるITO(indium tin oxide)材質の画素電極19を含むアレイ基板を含む。

【0007】この時前記ゲート配線11の所定領域はキャパシタ下部電極の役割を果たしている。従って、キャパシタ上部電極14cと、前記キャパシタ上部電極に対向するゲート配線11と前記キャパシタ上部電極14cとゲート配線11の間に形成されたゲート絶縁膜からなるストレージキャパシタは液晶に充電された電荷を維持させる。

【0008】即ち、図2に示すように、ゲート電極Gと、ソース/ドレイン電極(S/D)が重なる部分で寄生容量のCgsが発生するが、該寄生容量は液晶に与えられる交流電圧から直流電圧オフセット(DC voltage offset)即ち、Vpを誘発させる。かかる直流電圧オフセットは液晶表示素子において、画面のフリッカ(flicker)、イメージ固着(image sticking)画面明るさの不均一性などの望ましくない効果を起こすので、ストレージキャパシタを設計して蓄積容量のCstを導入することによってVpの変化を減らして画質を改善する。

【0009】但し、ストレージキャパシタ電極の面積を大きくすると蓄積容量Cstが増加することになるが、開口率が劣化するので適正水準の面積を維持すべきである。

【0010】また、フォトリソエッチング工程の工程誤差によってスイッチング素子のゲート電極11aとソース/ドレイン電極14a、14bが重なる面積が設計値より大きくなることがあるが、これによってCgsが大きくなって均一なVpを得ることができなくなる。

【0011】図2の他の要素について参考のために説明する。D.L(data line)は陽極性の信号電圧が印加されるデータ配線14であり、G.L(gate line)は走査信号が印加されるゲート配線11であり、Clcは画素電極と共通電極Vcomと間に蓄積される電荷容量であり、Cstはゲート配線11の所定領域とキャパシタ上部電極14cの間に蓄積される電荷容量である。

【0012】なお、前記スイッチング素子は前記ゲート配線11から分岐されたゲート電極11aと、前記ゲート配線11を含む全面に形成されたゲート絶縁膜(図示せず)と、前記ゲート電極11a上のゲート絶縁膜上に形成された独立された島状の半導体層13と、前記半導体層13の両側先端に形成されたソース/ドレイン電極14a/14bからなり、特に前記半導体層13として非晶質シリコンを材料にする非晶質薄膜トランジスタ(a-Si:TFT)が主流となっている。

【0013】以上のパターンなどが形成されたアレイ基板に、ブラックマトリックスとR、G、Bのカラーフィルタ層とITO材質の共通電極が形成されたカラーフィルタ基板を対向合着し、合着された基板の間の数μmの空間に液晶を注入することによって液晶表示素子を完成する。

【0014】しかしながら、前記のような従来の液晶表

示素子は次のような問題があった。寄生容量を制御して V_p の変化を減らそうとする努力は続けられているが、厳密な寸法 (CD) 及びフォトエッチング工程における工程誤差によるゲート電極とソース/ドレイン電極間の誤整列によって寄生容量の内部偏差が存在することになり、これによってパネルの V_p が不均一になる。

【0015】かかる問題は画面、大面積素子で更に顕著となるが、特に画面の明るさが不均一になるか画像のフリッカー現象が発生して画質が最大に重要な表示素子の信頼性を大きく低下させる。

【0016】

【発明が解決しようとする課題】本発明は、上記従来技術の問題点を解決するためのもので、本発明の目的は寄生容量の偏差を補償してパネルの V_p を均一に維持させ、これによって画質が向上された液晶表示素子を提供するものである。

【0017】

【課題を解決するための手段】上記目的を達成するための本発明による液晶表示素子は、第1基板上に形成されるとともに一つ以上の第1補償パターンを有するゲート配線と、前記ゲート配線と交差されるように形成されるとともに画素領域を定義するデータ配線と、絶縁膜を隔てて前記ゲート配線の所定領域上に形成され一つ以上の第2補償パターンを有するキャパシタ電極と、前記ゲート配線及びデータ配線の交差点に形成されたゲート電極及びソース/ドレイン電極を含む薄膜トランジスタと、前記画素領域内に形成される画素電極と、前記第1基板に対向する第2基板との間に形成された液晶層を含めて構成される。

【0018】即ち、本発明は薄膜トランジスタのソース/ドレイン電極形成のためのフォトエッチング工程時、フォト工程の誤差によって発生する寄生容量の変化分を補償するために前記ソース/ドレイン電極がシフトされた分ほど前記キャパシタ電極もシフトさせる。従って、ゲート電極とソース/ドレイン電極とがオーバーラップされる面積の変化によってゲート配線の第1補償パターンとキャパシタ電極の第2補償パターンがオーバーラップされる面積が変化して蓄積容量が寄生容量を自動で補償する。

【0019】ここで、前記第1、第2補償パターンの形態は薄膜トランジスタのチャンネルの形態によって異なる。チャンネルの形態が“I”字状又は“L”字状の場合、第1、第2補償パターンの形態は凹凸形態であり、チャンネルの形態が“U”字状の場合、第1、第2補償パターンの形態は“U”字状である。

【0020】

【発明の実施の形態】以下、添付の図面を参照して本発明を更に詳細に説明する。

【0021】図3は本発明の第1実施形態による液晶表示素子の平面図であって、付加容量方式の液晶表示素子

を示す。図3に示すように、本発明の第1実施形態による液晶表示素子は互いに対向するアレイ基板及びカラーフィルタ基板と、前記二つの基板間に形成された液晶層からなる。

【0022】前記カラーフィルタ基板には光漏れ防止のためのブラックマトリックスと、色実現のために光を選択的に透過させるR、G、Bのカラーフィルタ層と、前記カラーフィルタ層上にITO材質の共通電極が形成される。

【0023】また、前記アレイ基板には一つ以上の第1補償パターンを有するゲート配線21と、前記ゲート配線21を含む全面にシリコン窒化物またはシリコン酸化物などの無機絶縁膜を蒸着して形成されたゲート絶縁膜(図示せず)と、前記ゲート配線21と交差して画素領域を定義するデータ配線24と、前記ゲート配線21とデータ配線24の交差点に形成されたゲート電極21a及びソース/ドレイン電極24a、24bを含む薄膜トランジスタと、前記データ配線24及び前記薄膜トランジスタのソース/ドレイン電極24a、24bと同時に形成され、一つ以上の第2補償パターンを有して前記ゲート配線21上のゲート絶縁膜所定領域上に位置するキャパシタ上部電極24cと、前記薄膜トランジスタを含む全面にBCB、アクリル樹脂などの有機絶縁膜又はシリコン酸化物シリコン窒化物などの無機絶縁膜を所定厚さで蒸着して形成された保護膜(図示せず)と前記保護膜を選択的に除去して形成された第1、第2コンタクトホールを介して前記薄膜トランジスタ及び隣り合っているキャパシタ上部電極24cと連結されるITO材質の画素電極29が形成されている。

【0024】ここで、前記薄膜トランジスタは前記ゲート配線21で分岐されたゲート電極21aと、前記ゲート配線21を含む全面に形成されたゲート絶縁膜(図示せず)と、前記ゲート電極21a上部のゲート絶縁膜上に形成された独立の島状の半導体層23と、前記半導体層23の両側先端に形成されたソース/ドレイン電極24a、24bからなり、前記半導体層23によって形成されるチャンネルは“I”字状を有する。

【0025】前記ゲート配線21及びデータ配線24はアルミニウム(Al)、銅、タングステン、モリブデン、チタニウム、Ta、Al合金などの低抵抗の金属をスパッタリング方法で蒸着した後、フォトリソグラフィ方法でパタニングして形成される。

【0026】前記のように構成された本発明の液晶表示素子は、前記ゲート電極21aと、ソース/ドレイン電極24a、24bの重なる部分で発生する寄生容量に寄因して液晶に充電された電圧の降下を防止するためのストレージキャパシタを有する。ストレージキャパシタは、キャパシタ下部電極の役割を果たしている前記ゲート配線21の所定領域と、キャパシタ上部電極24cと、前記ゲート配線21とキャパシタ上部電極24cの

間の絶縁膜即ち、ゲート絶縁膜からなる。

【0027】また、フォトエッチング工程でゲート電極21aと、ソース/ドレイン電極24a、24bのアライメント誤差によって増加又は減少する寄生容量を補償してVpを均一にするために前記ゲート配線21とキャパシタ上部電極24cに各々補償パターンを形成する。即ち、ゲート電極21aとソース/ドレイン電極24a、24bがオーバーラップされる面積の変化によってゲート配線の第1補償パターンとキャパシタ電極の第2補償パターンがオーバーラップされる面積が変化する。寄生容量の変化量と同様に蓄積容量(ストレージ)が自動的に変化する。

【0028】前記第1補償パターンは凹凸を有する形態であり、第2補償パターンは前記第1補償パターンよりその幅が大きい凹凸を有する形態であり、前記第2補償パターンは第1補償パターンにその一部がオーバーラップされる。

【0029】前記第1、2補償パターンの構造は“ I ” *
$$\Delta Vp = \frac{Cgs}{Cgs + Cst + Clc} \Delta Vg$$

【0032】従って、各画素内の寄生容量の変化量が不規則になると各画素内におけるVpが変動し、フリッカー、残像などの画質の劣化が発生するおそれがある。このため、各画素内の寄生容量の変化量を補償して全パネルにおけるVpを均一にするためにゲート配線21の所定領域とキャパシタ上部電極24cに各々補償パタ

$$\Delta Vp = \frac{Cgs + Cgs}{(Cgs + Cgs) + (Cst + Cst) + Clc} \Delta Vg \tag{式2}$$

【0033】参考に、このようにゲート配線21の一部領域をストレージキャパシタ用電極に用いる方式を付加容量方式といい、別のストレージキャパシタ用電極を形成することなく、工程がより簡素化される。

【0034】なお、本発明の技術的な特徴はキャパシタ上部電極24cをコンタクトにて画素電極29に電気的に連結させた前記の構造以外にもキャパシタ上部電極39aを画素電極39と一体に設計した構造にも適用できる。

【0035】即ち、図4に示すように第2実施形態によるストレージキャパシタは第1補償パターンを有しながらキャパシタ下部電極の役割を行うゲート配線31と、前記第1補償パターンに一部がオーバーラップされた第2補償パターンを有するキャパシタ上部電極39aと、前記ゲート配線31とキャパシタ上部電極39a間に介在された絶縁膜(ゲート絶縁膜及び保護膜)を含んで構成され、寄生容量の変化分だけ蓄積容量を変化させてVpを一定に維持させる。

【0036】この時、前記第1補償パターンは凹凸を有する形態であり、第2補償パターンは前記第1補償パターンよりその幅がより大きい凹凸を有する形状である。通常、補償パターンの個数は図3及び図4に示すように

*字状の薄膜トランジスタにおけるゲート電極21aと、ソース/ドレイン電極24a、24bのオーバーラップ面積が、それら(21a、24a、24b)間の左右方向シフトによるアライメント誤差によって大きく左右されるが垂直方向にシフトによるアライメント誤差によっては大きく変化しないことに鑑みて設計されたものである。

【0030】また、前記ストレージキャパシタはゲート配線21の所定部位とキャパシタの上部電極24cとその間のゲート絶縁膜22から成り、前記ゲート配線21に印加された電圧とデータ配線24からキャパシタ上部電極24cに印加された電圧によって前記ストレージキャパシタに電荷が蓄積される。

【0031】前記寄生容量Cgsは下記式1における液晶の電圧降下Vpに一番大きく影響を及ぼすもので、パネル特性及び画質特性と非常に密接な関係がある。

【数1】

(式1)

ーンを備える。前記補償パターンは寄生容量が増加するとストレージキャパシタの容量を増加させ寄生容量が減少するとストレージキャパシタの容量を減少させる役割を果たしているので式2のような式が導かれる。

【数2】

(式2)

一つであるが、配線幅の減少による抵抗増加を考慮して図5の第3実施形態のように、多数の補償パターン55を構成してもよい。

【0037】なお、本発明の技術的な特徴は前記一般的な“ I ”字状のTFT以外にも“ L ”字状、“ U ”字状TFTに適用できるが、前記“ L ”字状、“ U ”字状TFTはフォトエッチング工程から発生するゲート電極とソース/ドレイン電極間のオーバーラップ面積変化を減らしてフリッカー又は残像現象を抑制するパネル特性を多く改善した構造である。特に“ U ”字状TFTはフォト工程の誤差による上、下層間のパターン誤整列に基づいたVp変化を相当部分改善した構造である。

【0038】しかしながら、前記“ L ”字状、“ U ”字状TFTでもVp変化が発生するので本発明の技術的な特徴を適用して各画素内の寄生容量の変化分だけ蓄積容量を変化させて全ての画素内のVp変化を一定に維持させる。但し、補償パターンはTFT内の寄生容量を補償するためTFTのチャネル構造によってそのパターンを異にする。

【0039】即ち、“ L ”字状TFTでは図6に示すように、ゲート配線41に備えられている第1補償パターンを凹凸形状にし、キャパシタ上部電極44cに備えら

10

30

40

50

れた第2補償パターンを第1補償パターンよりその幅が小さい凹凸形状にし、前記第1補償パターンと第2補償パターンが一部オーバーラップするようにする。

【0040】これによって、フォトエッチング工程でソース/ドレイン電極44a、44bが左側にシフトされてCgsが増加する場合、ゲート配線41の第1補償パターンとキャパシタ上部電極44cの第2補償パターンが互いにオーバーラップされる面積が増加してCstが増加する。また、“U”字状TF Tはゲート配線に備えられた第1補償パターンをU字状にし、キャパシタ上部電極に備えられた第2補償パターンを前記第1補償パターンと一部オーバーラップするU字状にする。

【0041】即ち、図7に示すように45°のチャンネルを有する“U”字状のTF Tはソース/ドレイン電極(74a/74b)の左右シフトに対してはCgs変化量が僅かであるが、45°方向に対してはその変化量が大きいので45°方向に対して補償するように補償パターン75を設計する。本発明の技術的な特徴は45°方向のチャンネルを有する“U”字状TF T以外にも0°、90°方向のチャンネルを有する“U”字状TF Tにも適用可能である。

【0042】以上に前述されたストレージキャパシタ構造はゲート配線をキャパシタ下部電極に活用した付加容量方式で、本発明の技術的な特徴はキャパシタ下部電極を別に形成する蓄積容量方式にも適用可能である。

【0043】図8を参照すると、基板上に形成されたゲート配線81と、前記ゲート配線81に平行するライン形態に形成されるとともに少なくとも一つ以上の第1補償パターンを有するキャパシタ下部電極81cと、前記ゲート配線81に交差配置されて画素領域を定義するデータ配線84と、前記キャパシタ下部電極81c上の一定領域に形成されるとともに少なくとも一つ以上の第2補償パターンを有するキャパシタ上部電極84cと、前記ゲート配線81及びデータ配線84の交差点に形成された薄膜トランジスタと、前記ゲート配線81及びデータ配線84の交差点に形成された薄膜トランジスタと、前記薄膜トランジスタを含む全面に形成された保護膜(未図示)と、前記保護膜を選択的に除去して形成された第1、第2コンタクトホール87、88を介して前記薄膜トランジスタ及びキャパシタ上部電極84cの各々に連結された画素電極89からなる。

【0044】前記キャパシタ下部電極81cは前記ゲート配線81と同時に形成され、キャパシタ上部電極84cは前記データ配線84及びソース/ドレイン電極84a/84bと同時に形成され、アルミニウム、銅、タングステン、モリブデン、チタニウム、Al合金などの低抵抗の金属をスパッタリング方法で蒸着した後、フォトエッチング方法でパターニングして形成する。

【0045】ここで、前記キャパシタ下部電極81c及びキャパシタ上部電極84cはその間に絶縁膜即ち、ゲ*

*ート絶縁膜が介在されて液晶に充電された電荷を維持させるストレージキャパシタを形成し、キャパシタ上下部電極81c、84cに備えられた第1、第2補償パターンは画素内の寄生容量の内部偏差を補償して各画素のVpを一定に維持させる。従って、画面のフリッカー、残像などの不良要素を抑制することができる。

【0046】又、前記薄膜トランジスタはゲート電極81a、ゲート絶縁膜、半導体層83、ソース/ドレイン電極84a、84bの積層膜からなりゲート電極81a及びソース/ドレイン電極84a、84bのパターンを変形してチャンネル構造を異にすることによって“I”字状TF T、“L”字状TF T、“U”字状TF Tなどで分けられる。この時、前記補償パターンは前記TF Tのチャンネルのパターンと同一な形態に設計される。

【0047】
【発明の効果】以上説明したように、本発明の液晶表示素子によると、次のような効果がある。第一に、キャパシタ電極に補償パターンを備えることによって、寄生容量の内部偏差を自動補償してパネルにおけるVpを均一に維持させることができる。従って、フリッカー、残像、画面明るさの不均一などの問題を解消して表示素子の画像品質を向上することができる。第二に、パネルにおける画像特性及びパネル特性を改善させることによって大画面、大面積の液晶表示素子の画質を向上させることができる。第三に、画像品質のために改善されたL字状TF T、U字状TF Tによって、完全に解決できなかった寄生容量の変化分を補償することによって画質低下を根本的に解決することができる。

【図面の簡単な説明】
【図1】従来技術による液晶表示素子の平面図である。
【図2】画素に対する等価回路図である。
【図3】本発明の第1実施形態による液晶表示素子の平面図である。
【図4】本発明の第2実施形態による液晶表示素子の平面図である。
【図5】本発明の第3実施形態による液晶表示素子の平面図である。
【図6】本発明の第4実施形態による液晶表示素子の平面図である。
【図7】本発明の第5実施形態による液晶表示素子の平面図である。
【図8】本発明の第6実施形態による液晶表示素子の平面図である。

【符号の説明】
21, 31, 41, 81 ゲート配線
21a, 81a ゲート電極
23, 83 半導体層
24, 84 データ配線
24a, 44a, 74a, 84a ソース領域
24b, 44b, 74b, 84b ドレイン領域

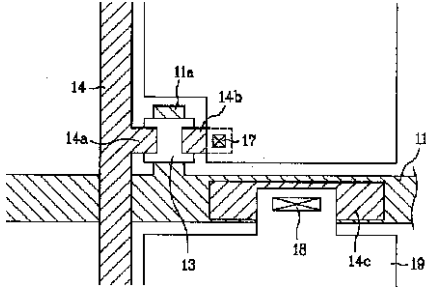
11

12

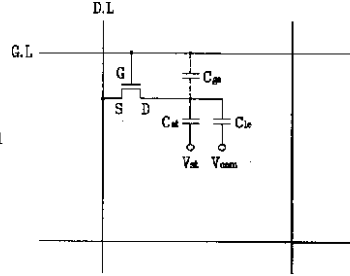
24c、44c、84c キャパシタ上部電極
27、28 第1、第2コンタクトホール

* 29、39、49、89 画素電極
* 55、75 補償パターン

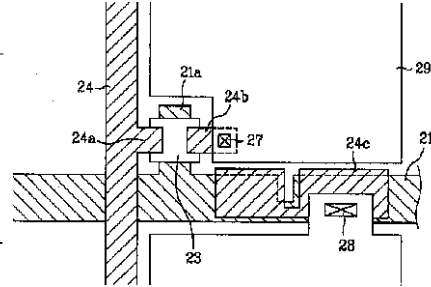
【図1】



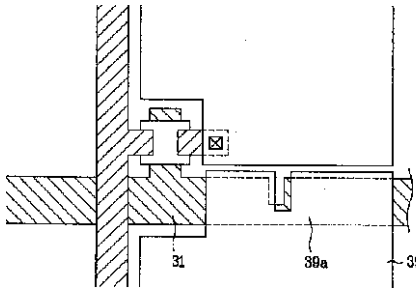
【図2】



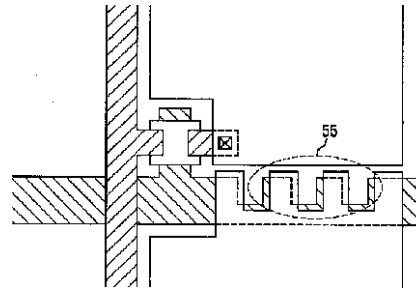
【図3】



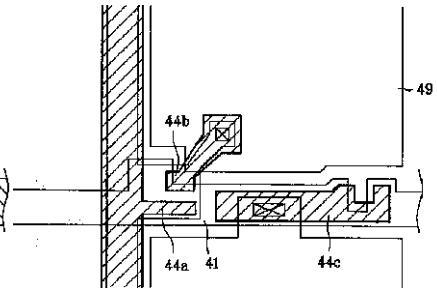
【図4】



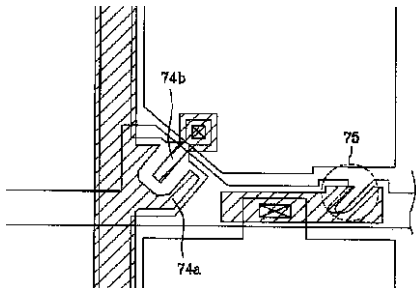
【図5】



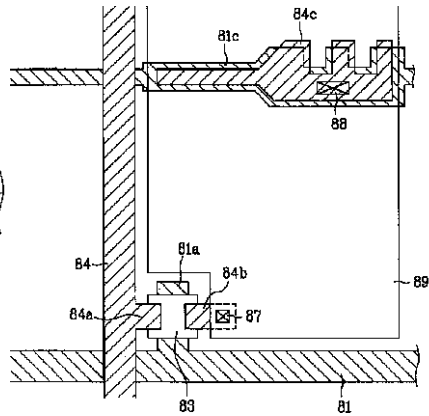
【図6】



【図7】



【図8】



フロントページの続き

Fターム(参考) 2H092 JA24 JA31 JA32 JB56 JB64
KA05 NA01 NA23 NA26 NA27
NA29
5F110 AA28 AA30 BB01 CC07 EE02
EE03 EE04 EE06 EE37 EE44
FF02 FF03 FF27 GG23 HK02
HK03 HK04 HK06 HK33 HL07
NN02 NN23 NN24 NN27 NN33
NN72 NN73

专利名称(译)	液晶显示元件		
公开(公告)号	JP2003075871A	公开(公告)日	2003-03-12
申请号	JP2002187639	申请日	2002-06-27
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji.菲利普斯杜天公司, 有限公司		
[标]发明人	李ジョン豪		
发明人	李 ▼ジョン▲ 豪		
IPC分类号	G02F1/1368 G02F1/1343 G02F1/1362 H01L29/786		
CPC分类号	G02F1/136213		
FI分类号	G02F1/1368 H01L29/78.612.C H01L29/78.618.C		
F-TERM分类号	2H092/JA24 2H092/JA31 2H092/JA32 2H092/JB56 2H092/JB64 2H092/KA05 2H092/NA01 2H092/NA23 2H092/NA26 2H092/NA27 2H092/NA29 5F110/AA28 5F110/AA30 5F110/BB01 5F110/CC07 5F110/EE02 5F110/EE03 5F110/EE04 5F110/EE06 5F110/EE37 5F110/EE44 5F110/FF02 5F110/FF03 5F110/FF27 5F110/GG23 5F110/HK02 5F110/HK03 5F110/HK04 5F110/HK06 5F110/HK33 5F110/HL07 5F110/NN02 5F110/NN23 5F110/NN24 5F110/NN27 5F110/NN33 5F110/NN72 5F110/NN73 2H192/AA24 2H192/BA13 2H192/BC31 2H192/CB05 2H192/CB45 2H192/CC17 2H192/DA02 2H192/DA13 2H192/DA42 2H192/DA73 2H192/EA22 2H192/EA43		
优先权	1020010041671 2001-07-11 KR		
外部链接	Espacenet		

摘要(译)

本发明涉及一种液晶显示装置，其能够通过补偿变化的在栅电极和源/漏电极之间的寄生电容的量提高了图像质量。本发明包括具有第一补偿图案的栅极线，限定像素区的数据线被形成为跨越所述栅极线，形成用于源/漏电极的光蚀刻工艺放置在绝缘膜之间的情况下，栅极线它构成包括具有第二补偿图案电容器电极形成在一个预定区域中。

