

(51)Int.Cl ⁷	識別記号	F I	テーマコード [*] (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	550	G 0 2 F 1/133	5 C 0 0 6
G 0 9 G 3/20	611	G 0 9 G 3/20	5 C 0 8 0
	612		E G
	670		D
審査請求 未請求 請求項の数 48 O L (全 23数)			

(21)出願番号	特願2000－372923(P2000－372923)	(71)出願人	000005108 株式会社日立製作所 東京都千代田区神田駿河台四丁目6番地
(22)出願日	平成12年12月4日(2000.12.4)	(71)出願人	000233088 日立デバイスエンジニアリング株式会社 千葉県茂原市早野3681番地
		(72)発明者	牧島 達男 千葉県茂原市早野3300番地 株式会社日立 製作所ディスプレイグループ内
		(74)代理人	100075096 弁理士 作田 康夫

最終頁に続く

[最終頁に続く](#)

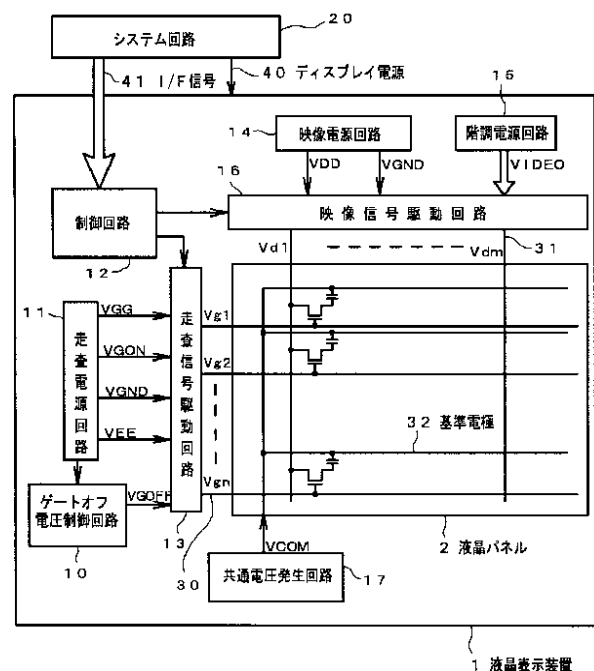
(54) 【発明の名称】 液晶表示装置、及び液晶表示装置を用いた画像表示装置

(57) 【要約】

【課題】電源供給停止後に電源を再投入した際のフリッカの発生を防止した液晶表示装置及び画像表示装置を実現する。

【解決手段】互いに対向配置される第1と第2の基板を有し、第1と第2の基板の間に液晶層を有し、一方の基板上にアクティブ素子、該アクティブ素子を動作させるための走査信号線、及び該アクティブ素子の動作により映像信号が供給される画素電極を有し、該画素電極と液晶層の間に配向膜を有し、前記一方もしくは他方の基板上に基準電極を有し、該画素電極と基準電極の間に電位差を生じせしめることにより表示を行う液晶表示装置において、外部から液晶表示装置への電源供給を停止した際に、前記画素電極の電位を急速に開放する。

图 1



【特許請求の範囲】

【請求項1】 互いに対向配置される第1と第2の基板を有し、第1と第2の基板の間に液晶層を有し、一方の基板上にアクティブ素子、該アクティブ素子を動作させるための走査信号線、及び該アクティブ素子の動作により映像信号が供給される画素電極を有し、該画素電極と液晶層の間に配向膜を有し、前記一方もしくは他方の基板上に基準電極を有し、該画素電極と基準電極の間に電位差を生じせしめることにより表示を行う液晶表示装置において、外部から液晶表示装置への電源供給停止後の走査信号線の電位が、GNDレベル以上となる状態を有することを特徴とする液晶表示装置。

【請求項2】 互いに対向配置される第1と第2の基板を有し、第1と第2の基板の間に液晶層を有し、一方の基板上にアクティブ素子、該アクティブ素子を動作させるための走査信号線、及び該アクティブ素子の動作により映像信号が供給される画素電極を有し、該画素電極と液晶層の間に配向膜を有し、前記一方もしくは他方の基板上に基準電極を有し、該画素電極と基準電極の間に電位差を生じせしめることにより表示を行う液晶表示装置において、外部から液晶表示装置への電源供給停止後の走査信号線の電位が、該電源供給停止後一旦上昇し、やがてGNDレベルに収束する山なりの特性を有することを特徴とする液晶表示装置。

【請求項3】 前記走査信号線の電位が、外部から液晶表示装置への電源供給停止後5秒以内に、外部から液晶表示装置への電源供給停止後の最大値となることを特徴とする、請求項1、2のうちいずれかに記載の液晶表示装置。

【請求項4】 互いに対向配置される第1と第2の基板を有し、第1と第2の基板の間に液晶層を有し、一方の基板上にアクティブ素子、該アクティブ素子を動作させるための走査信号線、及び該アクティブ素子の動作により映像信号が供給される画素電極を有し、該画素電極と液晶層の間に配向膜を有し、前記一方もしくは他方の基板上に基準電極を有し、該画素電極と基準電極の間に電位差を生じせしめることにより表示を行う液晶表示装置において、外部から液晶表示装置への電源供給停止後の走査信号線の電位を、電源供給中の通常駆動状態と切り替える回路を有することを特徴とする液晶表示装置。

【請求項5】 互いに対向配置される第1と第2の基板を有し、第1と第2の基板の間に液晶層を有し、一方の基板上にアクティブ素子、該アクティブ素子を動作させるための走査信号線、及び該アクティブ素子の動作により映像信号が供給される画素電極を有し、該画素電極と液晶層の間に配向膜を有し、前記一方もしくは他方の基板上に基準電極を有し、該画素電極と基準電極の間に電位差を生じせしめることにより表示を行い、前記走査信号線の電位は走査信号線駆動回路より印加され、該走査信号線駆動回路は走査信号線の非選択電位用電源が供給され

る入力端子を有する液晶表示装置において、外部から液晶表示装置への電源供給停止後の、前記非選択電位用電源が供給される入力端子への入力電圧を、通常の駆動状態と切り替える回路を有することを特徴とする液晶表示装置。

【請求項6】 前記切り替え回路が少なくともアクティブ素子を有し、前記通常駆動状態との切り替えが該アクティブ素子の動作状態が切り替わることにより行われることを特徴とする請求項4、5のうちいずれかに記載の液晶表示装置。

【請求項7】 前記切り替えか、外部から液晶表示装置への電源供給停止による電位変動により行われることを特徴とする請求項4、5、6のうちいずれかに記載の液晶表示装置。

【請求項8】 前記切り替え回路のアクティブ素子として、少なくとも1つのトランジスタを有することを特徴とする請求項6、7のうちいずれかに記載の液晶表示装置。

【請求項9】 前記アクティブ素子の構造、構成、サイズ、特性のうちの少なくともいずれかが、画素内のアクティブ素子とは異なることを特徴とする請求項6、7、8のうちいずれかに記載の液晶表示装置。

【請求項10】 前記トランジスタが、その半導体層として結晶性シリコンを用いることを特徴とする請求項8、9のうちいずれかに記載の液晶表示装置。

【請求項11】 互いに対向配置される第1と第2の基板を有し、第1と第2の基板の間に液晶層を有し、一方の基板上にアクティブ素子、該アクティブ素子を動作させるための走査信号線、及び該アクティブ素子の動作により映像信号が供給される画素電極を有し、該画素電極と液晶層の間に配向膜を有し、前記一方もしくは他方の基板上に基準電極を有し、該画素電極と基準電極の間に電位差を生じせしめることにより表示を行い、前記走査信号線の電位は走査信号線駆動回路より印加され、該走査信号線駆動回路は走査信号線の非選択電位用電源が供給される入力端子を有する液晶表示装置において、外部から液晶表示装置への電源供給停止後の、前記非選択電位用電源が供給される入力端子への入力電圧を、通常の駆動状態と異なる値とするための回路を有し、該回路はツェナーダイオードを有することを特徴とする液晶表示装置。

【請求項12】 前記走査信号線駆動回路が複数の電源入力端子を有し、少なくともそのうちの1つは、通常駆動状態において前記非選択電位用電源が供給される入力端子への入力電圧よりも低い電圧が供給され、ツェナーダイオードが、電氣的に、前記非選択電位用電源が供給される入力端子及び、前記通常駆動状態において前記非選択電位用電源が供給される入力端子への入力電圧よりも低い電圧が供給される端子の間に接続されていることを特徴とする請求項5乃至11記載の液晶表示装置。

【請求項13】 前記ツェナーダイオードと並列に容量素子を有することを特徴とする、請求項12記載の液晶表示装置。

【請求項14】 互いに対向配置される第1と第2の基板を有し、第1と第2の基板の間に液晶層を有し、一方の基板上にアクティブ素子、該アクティブ素子を動作させるための走査信号線、及び該アクティブ素子の動作により映像信号が供給される画素電極を有し、該画素電極と液晶層の間に配向膜を有し、前記一方もしくは他方の基板上に基準電極を有し、該画素電極と基準電極の間に電位差を生じせしめることにより表示を行い、前記走査信号線の電位は走査信号線駆動回路より印加され、該走査信号線駆動回路は走査信号線の非選択電位用電源が供給される入力端子を有する液晶表示装置において、前記走査信号線の非選択電位用電源が供給される入力端子の電位は、外部から液晶表示装置への電源供給停止後に、GNDレベル以上となる状態を有することを特徴とする液晶表示装置。

【請求項15】 互いに対向配置される第1と第2の基板を有し、第1と第2の基板の間に液晶層を有し、一方の基板上にアクティブ素子、該アクティブ素子を動作させるための走査信号線、及び該アクティブ素子の動作により映像信号が供給される画素電極を有し、該画素電極と液晶層の間に配向膜を有し、前記一方もしくは他方の基板上に基準電極を有し、該画素電極と基準電極の間に電位差を生じせしめることにより表示を行い、前記走査信号線の電位は走査信号線駆動回路より印加され、該走査信号線駆動回路は走査信号線の非選択電位用電源が供給される入力端子を有する液晶表示装置において、前記走査信号線の非選択電位用電源が供給される入力端子の電位は、外部から液晶表示装置への電源供給停止後に一旦上昇し、やがて収束する山なりの特性を有することを特徴とする液晶表示装置。

【請求項16】 前記走査信号線の非選択電位用電源が供給される入力端子の電位が、外部から液晶表示装置への電源供給停止後5秒以内に、外部から液晶表示装置への電源供給停止後の最大値となることを特徴とする請求項14、15のうちいずれかに記載の液晶表示装置。

【請求項17】 互いに対向配置される第1と第2の基板を有し、第1と第2の基板の間に液晶層を有し、一方の基板上にアクティブ素子、該アクティブ素子を動作させるための走査信号線、及び該アクティブ素子の動作により映像信号が供給される画素電極を有し、該画素電極と液晶層の間に配向膜を有し、前記一方もしくは他方の基板上に基準電極を有し、該画素電極と基準電極の間に電位差を生じせしめることにより表示を行う液晶表示装置において、外部から液晶表示装置への電源供給を停止した際に、前記画素電極の電位を急速に開放することを特徴とする液晶表示装置。

【請求項18】 前記画素電極の電位の急速な開放を、

前記アクティブ素子をリーク状態とすることにより行うことを特徴とする請求項17記載の液晶表示装置。

【請求項19】 前記リークを、前記走査信号線の電位を前記アクティブ素子の選択電位以下、非選択電位以上とすることによりことを特徴とする請求項18記載の液晶表示装置。

【請求項20】 前記リークの為の走査信号線の電位を、周辺回路に蓄積された電荷により作り出すことを特徴とする請求項19記載の液晶表示装置。

【請求項21】 外部から液晶表示装置への電源供給の停止後に、前記走査信号の電位がGNDレベル以上となる状態を有することを特徴とする請求項17、18、19、20のいずれかに記載の液晶表示装置。

【請求項22】 前記アクティブ素子が半導体層を有し、該半導体層は走査信号線の端面を超えて形成された領域を有することを特徴とする請求項17記載の液晶表示装置。

【請求項23】 前記第1と第2の基板の少なくとも一方に遮光層が形成され、該遮光層は走査信号線と重畳する領域において、少なくともその一部に開口部を有することを特徴とする請求項17記載の液晶表示装置。

【請求項24】 前記第1と第2の基板間のギャップを確保するための支柱が、前記第1と第2の基板のいずれか一方に形成され、該支柱は光透過性を有し、かつ前記アクティブ素子と重畳する領域を有することを特徴とする請求項17記載の液晶表示装置。

【請求項25】 前記画素電極と前記配向膜の間に絶縁膜が形成され、かつ画素領域内の一部において前記絶縁膜の除外領域を有することにより前記画素電極と配向膜が直接接触する領域を有することを特徴とする請求項17記載の液晶表示装置。

【請求項26】 前記画素電極が金属材料で形成され、かつ別層に形成された透明電極と電氣的に接続され、該透明電極が配向膜と直接接する領域を有することを特徴とする請求項17記載の液晶表示装置。

【請求項27】 前記液晶層の、比抵抗が 1×10^4 の14乗以下であることを特徴とする請求項17、25、26のうちいずれかに記載の液晶表示装置。

【請求項28】 互いに対向配置される第1と第2の基板を有し、第1と第2の基板の間に液晶層を有し、一方の基板上にアクティブ素子、該アクティブ素子を動作させるための走査信号線、及び該アクティブ素子の動作により映像信号が供給される画素電極を有し、該画素電極と液晶層の間に配向膜を有し、前記一方もしくは他方の基板上に基準電極を有し、該画素電極と基準電極の間に電位差を生じせしめることにより表示を行う液晶表示装置において、外部から液晶表示装置への電源供給を停止した際に、画素への電荷の残留を抑制し、再度電源が供給された際にフリッカの発生を防止することを特徴とする液晶表示装置。

【請求項29】 互いに対向配置される第1と第2の基板を有し、第1と第2の基板の間に液晶層を有し、一方の基板上にアクティブ素子、該アクティブ素子を動作させるための走査信号線、及び該アクティブ素子の動作により映像信号が供給される画素電極を有し、該画素電極と液晶層の間に配向膜を有し、前記一方もしくは他方の基板上に基準電極を有し、該画素電極と基準電極の間に電位差を生じせしめることにより表示を行う液晶表示装置において、外部から液晶表示装置への電源供給を停止した際に、画素電極の電位をリセットすることを特徴とする液晶表示装置。

【請求項30】 前記リセットが、前記走査信号線に走査信号線の選択電位以下、非選択電位以上の電圧を与えることにより行われることを特徴とする請求項29記載の液晶表示装置。

【請求項31】 前記リセットの為のリセット回路を有することを特徴とする請求項29、30のいずれかに記載の液晶表示装置。

【請求項32】 前記リセット回路が、映像信号線駆動回路に組み込まれていることを特徴とする請求項31に記載の液晶表示装置。

【請求項33】 前記アクティブ素子がTFTであることを特徴とする、請求項1乃至32のうちいずれかに記載の液晶表示装置。

【請求項34】 前記TFTの半導体層がポリシリコンであることを特徴とする請求項33記載の液晶表示装置。

【請求項35】 前記アクティブ素子が、走査信号線上に絶縁膜、その上に画素電極に電気的に接続する電極を有する、いわゆるMIM構造を有することを特徴とする請求項1乃至32のうちいずれかに記載の液晶表示装置。

【請求項36】 前記画素電極と前記配向膜の間に絶縁膜を有することを特徴とする、請求項1乃至35のうちいずれかに記載の液晶表示装置。

【請求項37】 前記画素電極と前記基準電極が同一の基板上に形成され、かつ前記画素電極と前記基準電極が異層に形成され、前記画素電極が形成された層と前記基準電極が形成された層の間に絶縁層を有することを特徴とする請求項1乃至35のうちいずれかに記載の液晶表示装置。

【請求項38】 前記液晶表示装置が内在され、前記液晶表示装置へ入力する電源を供給する機能を有し、前記液晶表示装置として請求項1乃至37のうちいずれかに記載の液晶表示装置を用いたことを特徴とする画像表示装置。

【請求項39】 前記液晶表示装置への電源の供給を、外部からの信号を元にして供給、非供給のいずれかの状態に制御することを特徴とする請求項38記載の画像表示装置。

*【請求項40】 外部からの信号の供給が停止した際に、前記液晶表示装置への電源の供給を非供給状態とする機能を有することを特徴とする請求項39記載の画像表示装置。

【請求項41】 外部から画像表示の停止を指示する信号が入力された際に、前記液晶表示装置への電源の供給を非供給状態とする機能を有することを特徴とする請求項39記載の画像表示装置。

【請求項42】 前記液晶表示装置への電源の供給を、CPUからの信号の供給が停止した際に非供給状態とする機能を有することを特徴とする請求項38記載の画像表示装置。

【請求項43】 前記液晶表示装置への電源の供給を、CPUからの画像表示の停止を指示する信号が入力された際に非供給状態とする機能を有することを特徴とする請求項38記載の画像表示装置。

【請求項44】 液晶モニタとしての形態を有することを特徴とする請求項28、39、40、41、42、43のいずれかに記載の画像表示装置。

【請求項45】 ノート型PCとしての形態を有することを特徴とする請求項28、39、40、41、42、43のいずれかに記載の画像表示装置。

【請求項46】 液晶TVとしての形態を有することを特徴とする請求項28、39、40、41、42、43のいずれかに記載の画像表示装置。

【請求項47】 PCと一体に構成されていることを特徴とする請求項28、39、40、41、42、43のいずれかに記載の画像表示装置。

【請求項48】 CPUを有する部分と同一の筐体に構成されていることを特徴とする請求項28、39、40、41、42、43のいずれかに記載の画像表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は液晶表示装置及び液晶表示装置を用いた画像表示装置に関わる。

【0002】

【従来の技術】液晶表示装置は、その薄型、低消費電力の特性により広く使われている。

【0003】特に、アクティブ素子を有する液晶表示装置は、それぞれの画素電極に、選択的に電位を与え、保持させる機能を有するため、アクティブ素子を持たないタイプより画質が優れる点から、液晶表示装置には同方式が広く用いられている。

【0004】特に、アクティブ素子を有する液晶表示装置は、それぞれの画素電極に、選択的に電位を与え、保持させる機能を有するため、アクティブ素子を持たないタイプより画質が優れる点から、液晶表示装置には同方式が広く用いられている。

*50 【0005】また画像表示装置としてはいわゆるブラウ

ン管を用いた物が知られているが、同様に液晶表示装置を用いた画像表示装置が知られており、ブラウン管を用いた場合よりフリッカと総称される画面のちらつきが少なく、体感的に目に優しい特性が知られている。この液晶表示装置を用いた画像表示装置としては、液晶モニタ、ノートPC、液晶TV、液晶一体型PC、PDA等、幅広い画像表示装置が実用化されている。

【0006】

【発明が解決しようとする課題】しかしながら、発明者らが研究を進めた結果、アクティブ素子を有する液晶表示装置には、その動作停止時、すなわち外部からの電源の供給が停止した後に、再び該液晶表示装置を動作状態に移行せしめた場合に、いわゆるフリッカ、すなわち画面のちらつきが現れる場合があるという新たな課題を見出した。

【0007】特に、この現象が、電源供給停止から再投入までの時間が比較的短時間である場合に著しいことを見出した。

【0008】そして、画素電極と配向膜の間に絶縁層を有する構成、あるいは同一基板上に画素電極と基準電極を有し、かつこれらの形成層の間に絶縁層がある場合、さらに著しいことを見出した。

【0009】画像表示装置に、ブラウン管の代わりに液晶表示装置を用いることの利点の代表例は、前述のように薄型、低消費電力に加え、フリッカが少ないことである。しかし画像表示装置での液晶表示装置への電源供給の遮断及び再投入の時間が短い場合には、液晶表示装置を用いた画像表示装置においても、その再投入直後から数秒～数十秒に渡り、このフリッカが生じる場合があることを見出した。これは、液晶表示装置の利点の1つを失いかねない深刻な課題であり、発明者らはこの課題の現象解明と対策に取り組んだ。

【0010】その結果、以下に詳述するような現象が、その主たる原因であると解明するに至った。

【0011】アクティブ素子を有する液晶表示装置では、画素電極には走査信号線にアクティブ素子をON状態とするための選択電位が加わった場合に、選択的に電位が書き込まれ、時間的に大部分の間は、走査信号線にアクティブ素子をOFF状態とするための非選択電位が加わることにより、ON状態で印加された電圧が保持される。時間的に大部分がOFF状態である理由は、液晶表示装置は複数本の走査信号線を順次選択する駆動を行うのが通例であるため、例えば最低768本の走査信号線を持つXGA対応の液晶表示装置においては、OFF状態を選択されている時間は、ON状態を選択されている時間の(768-1)倍以上であることが、一般的な駆動方法だからである。

【0012】また液晶表示装置は、通常液晶材料の劣化を防止するため、画素電極と基準電極の間に加わる電位を交流化し、直流電圧が長時間に亘り連続して印加する

のを防止している。しかしこの効果は、あくまで1つもしくは複数のフレーム単位で画素電極と基準電極の間に加わる電位の極性を反転させることにより、長時間平均としては直流電圧の印加を防止しているのみであり、各フレーム単位で見た場合、画素電極にはほぼ一定の電位が加わっていることは変わっていない。そして、この1つもしくは複数のフレーム単位で画素電極と基準電極の間に加わる電位の極性を反転する駆動は、あくまで液晶表示装置に電源が供給されている場合のみ為しうることであり、すなわち電源供給が停止した後は、画素電極にはほぼ一定の電位が加わったままとなるのである。そして、アクティブ素子によりOFF状態に保たれた時点で、液晶表示装置への電源の供給が遮断された画素電極は、そのままOFF状態に比較的長時間維持されることになり、画素電極には長時間一定電位が加わり続けることになる。

【0013】一方、基準電極には、通常画素単位でのアクティブ素子を介さずに、直接電位が供給されるため、逆に液晶表示装置への電源供給が停止した後は、すばやくGND電位に至ることになる。

【0014】この結果、アクティブ素子を有する液晶表示装置において、液晶表示装置への電源供給が停止した場合には、長時間に亘り画素電極-基準電極間に直流電位差が与えられることになり、画素が直流に帯電することになる。このため、再び液晶表示装置に電源が供給されても、その際の画素電極-基準電極間の電位は、残留した直流電位の上に、交流信号を載せる形の駆動となるため、極性間で液晶駆動電圧にアンバランスが生じ、フリッカが発生するに至ったことが判明した。

【0015】さらに、フリッカの発生が、電源供給停止から再投入までの時間が比較的短時間である場合に著しいことの原因として、液晶表示装置への電源供給の停止後、長時間経過した後は、走査信号線の電位がGND状態に収束するため、微量ながらアクティブ素子から画素電極に蓄積した電荷のリークが生じ、やがて画素電極に蓄積した電荷が全てリークした後に再投入すれば、上述の画素電極-基準電極間への直流電位残留は解消されているため、フリッカが発生せず、したがって見た目上は電源供給停止から再投入までの時間が比較的短時間である場合にフリッカが著しいものとして認識されることが判明した。

【0016】これらは、画素電極上に配向膜がある場合、該配向膜がこれが電荷をトラップする作用を示すため、さらに悪化することも合わせて判明した。

【0017】そしてさらに、画素電極と配向膜の間に絶縁層を有する構成、あるいは同一基板上に画素電極と基準電極を有し、かつこれらの形成層の間に絶縁層がある場合、これらが電荷をトラップする作用を示すため、さらにフリッカ現象が悪化することが判明した。

【0018】特にこの画素電極と配向膜の間に絶縁層を

有する構成、あるいは同一基板上に画素電極と基準電極を有し、かつこれらの形成層の間に絶縁層がある場合の液晶表示装置は、広視野角を実現しうる構成として知られるため、液晶モニタ、液晶TV向けにブラウン管代替として今後の展開が期待されている方式であるため、このような構成の液晶表示装置においてさらにフリッカ特性の悪化があるということは、非常に大きな問題である。

【0019】本発明はこのような事情に基づいてなされたものであり、その目的は液晶表示装置への電源供給の遮断後、再投入した場合に、フリッカの発生を抑制できる液晶表示装置を提供し、さらにこの液晶表示装置を用いることによりフリッカの発生を抑制した画像表示装置を提供することにある。

【0020】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの該要を簡単に説明すれば、以下の通りである。

【0021】手段1. 互いに対向配置される第1と第2の基板を有し、第1と第2の基板の間に液晶層を有し、一方の基板上にアクティブ素子、該アクティブ素子を動作させるための走査信号線、及び該アクティブ素子の動作により映像信号が供給される画素電極を有し、該画素電極と液晶層の間に配向膜を有し、前記一方もしくは他方の基板上に基準電極を有し、該画素電極と基準電極の間に電位差を生じせしめることにより表示を行う液晶表示装置において、外部から液晶表示装置への電源供給停止後の走査信号線の電位が、GNDレベル以上となる状態を有することを特徴とするものである。

【0022】手段2. 互いに対向配置される第1と第2の基板を有し、第1と第2の基板の間に液晶層を有し、一方の基板上にアクティブ素子、該アクティブ素子を動作させるための走査信号線、及び該アクティブ素子の動作により映像信号が供給される画素電極を有し、該画素電極と液晶層の間に配向膜を有し、前記一方もしくは他方の基板上に基準電極を有し、該画素電極と基準電極の間に電位差を生じせしめることにより表示を行う液晶表示装置において、外部から液晶表示装置への電源供給停止後の走査信号線の電位が、該電源供給停止後一旦上昇し、やがてGNDレベルに収束する山なりの特性を有することを特徴とするものである。

【0023】手段3. 互いに対向配置される第1と第2の基板を有し、第1と第2の基板の間に液晶層を有し、一方の基板上にアクティブ素子、該アクティブ素子を動作させるための走査信号線、及び該アクティブ素子の動作により映像信号が供給される画素電極を有し、該画素電極と液晶層の間に配向膜を有し、前記一方もしくは他方の基板上に基準電極を有し、該画素電極と基準電極の間に電位差を生じせしめることにより表示を行う液晶表示装置において、外部から液晶表示装置への電源供給停止

後の走査信号線の電位を、電源供給中の通常駆動状態と切り替える回路を有することを特徴とするものである。

【0024】手段4. 互いに対向配置される第1と第2の基板を有し、第1と第2の基板の間に液晶層を有し、一方の基板上にアクティブ素子、該アクティブ素子を動作させるための走査信号線、及び該アクティブ素子の動作により映像信号が供給される画素電極を有し、該画素電極と液晶層の間に配向膜を有し、前記一方もしくは他方の基板上に基準電極を有し、該画素電極と基準電極の間に電位差を生じせしめることにより表示を行い、前記走査信号線の電位は走査信号線駆動回路より印加され、該走査信号線駆動回路は走査信号線の非選択電位用電源が供給される入力端子を有する液晶表示装置において、外部から液晶表示装置への電源供給停止後の、前記非選択電位用電源が供給される入力端子への入力電圧を、通常の駆動状態と切り替える回路を有することを特徴とするものである。

【0025】手段5. 互いに対向配置される第1と第2の基板を有し、第1と第2の基板の間に液晶層を有し、一方の基板上にアクティブ素子、該アクティブ素子を動作させるための走査信号線、及び該アクティブ素子の動作により映像信号が供給される画素電極を有し、該画素電極と液晶層の間に配向膜を有し、前記一方もしくは他方の基板上に基準電極を有し、該画素電極と基準電極の間に電位差を生じせしめることにより表示を行い、前記走査信号線の電位は走査信号線駆動回路より印加され、該走査信号線駆動回路は走査信号線の非選択電位用電源が供給される入力端子を有する液晶表示装置において、外部から液晶表示装置への電源供給停止後の、前記非選択電位用電源が供給される入力端子への入力電圧を、通常の駆動状態と異なる値とするための回路を有し、該回路はツェナーダイオードを有することを特徴とするものである。

【0026】手段6. 互いに対向配置される第1と第2の基板を有し、第1と第2の基板の間に液晶層を有し、一方の基板上にアクティブ素子、該アクティブ素子を動作させるための走査信号線、及び該アクティブ素子の動作により映像信号が供給される画素電極を有し、該画素電極と液晶層の間に配向膜を有し、前記一方もしくは他方の基板上に基準電極を有し、該画素電極と基準電極の間に電位差を生じせしめることにより表示を行い、前記走査信号線の電位は走査信号線駆動回路より印加され、該走査信号線駆動回路は走査信号線の非選択電位用電源が供給される入力端子を有する液晶表示装置において、前記走査信号線の非選択電位用電源が供給される入力端子の電位は、外部から液晶表示装置への電源供給停止後に、GNDレベル以上となる状態を有することを特徴とするものである。

【0027】手段7. 互いに対向配置される第1と第2の基板を有し、第1と第2の基板の間に液晶層を有し、一

方の基板上にアクティブ素子、該アクティブ素子を動作させるための走査信号線、及び該アクティブ素子の動作により映像信号が供給される画素電極を有し、該画素電極と液晶層の間に配向膜を有し、前記一方もしくは他方の基板上に基準電極を有し、該画素電極と基準電極の間に電位差を生じせしめることにより表示を行い、前記走査信号線の電位は走査信号線駆動回路より印加され、該走査信号線駆動回路は走査信号線の非選択電位用電源が供給される入力端子を有する液晶表示装置において、前記走査信号線の非選択電位用電源が供給される入力端子の電位は、外部から液晶表示装置への電源供給停止後に一旦上昇し、やがて収束する山なりの特性を有することを特徴とするものである。

【0028】手段8. 互いに対向配置される第1と第2の基板を有し、第1と第2の基板の間に液晶層を有し、一方の基板上にアクティブ素子、該アクティブ素子を動作させるための走査信号線、及び該アクティブ素子の動作により映像信号が供給される画素電極を有し、該画素電極と液晶層の間に配向膜を有し、前記一方もしくは他方の基板上に基準電極を有し、該画素電極と基準電極の間に電位差を生じせしめることにより表示を行う液晶表示装置において、外部から液晶表示装置への電源供給を停止した際に、前記画素電極の電位を急速に開放することを特徴とするものである。

【0029】手段9. 互いに対向配置される第1と第2の基板を有し、第1と第2の基板の間に液晶層を有し、一方の基板上にアクティブ素子、該アクティブ素子を動作させるための走査信号線、及び該アクティブ素子の動作により映像信号が供給される画素電極を有し、該画素電極と液晶層の間に配向膜を有し、前記一方もしくは他方の基板上に基準電極を有し、該画素電極と基準電極の間に電位差を生じせしめることにより表示を行う液晶表示装置において、外部から液晶表示装置への電源供給を停止した際に、画素への電荷の残留を抑制し、再度電源が供給された際にフリッカの発生を防止することを特徴とするものである。

【0030】手段10. 互いに対向配置される第1と第2の基板を有し、第1と第2の基板の間に液晶層を有し、一方の基板上にアクティブ素子、該アクティブ素子を動作させるための走査信号線、及び該アクティブ素子の動作により映像信号が供給される画素電極を有し、該画素電極と液晶層の間に配向膜を有し、前記一方もしくは他方の基板上に基準電極を有し、該画素電極と基準電極の間に電位差を生じせしめることにより表示を行う液晶表示装置において、外部から液晶表示装置への電源供給を停止した際に、画素電極の電位をリセットすることを特徴とするものである。

【0031】以上の手段の少なくとも1つを採用することにより、画素電極への電荷の残留を抑制することが実現できるため、本願の課題を解決した液晶表示装置及び

本願の課題を解決した画像表示装置を実現することができる。

【0032】また更なる手段、効果に関しては請求項を含む本明細書の中において明らかとなるであろう。

【0033】

【発明の実施の形態】以下、本発明による液晶表示装置及び画像表示装置の実施例を説明する。

【0034】〔実施例1〕アクティブ素子を有する液晶表示装置においては、その動作停止時、すなわち外部からの電源の供給が停止した後に、再び該液晶表示装置を動作状態に移行せしめた場合に、いわゆるフリッカ、すなわち画面のちらつきが現れる場合があるという新たな課題を見出した。特に、この現象が、電源供給停止から再投入までの時間が比較的短時間である場合に著しいことを見出した。

【0035】図41に、本現象の発生する例を示す。通常表示Aとして示す通常表示状態では、フリッカは発生しない。しかし、一度液晶表示装置への電源の供給を停止し、すなわち電源切断状態としたのち、再び通常表示Bと示す通常の画像表示状態に復帰した際に、強い画面のちらつき、いわゆるフリッカが発生する場合があることを見出した。特に、この現象が、電源供給停止から再投入までの時間が比較的短時間である場合に著しいことを見出した。

【0036】図42は、図41の電源切断状態に相当する、電源遮断時間が短時間である場合の、再投入後のフリッカの発生時間を示す評価結果の一例である。バックライトBLがONの状態での電源遮断を行った場合、電源遮断時間が長いほど、電源再投入後、すなわち図41に通常表示Bと示す通常表示状態を再開した際のフリッカ発生時間は増大していく。図示していないが、この場合の再投入後のフリッカ発生時間は、電源遮断時間が5分程度で最高値を示し、それ以降では減少に転じ、遮断時間が1時間を超えると発生しないことを見出した。また、バックライトBLをONの状態での電源遮断を行った場合、電源遮断時間が1秒を超える範囲では、遮断時間延長と共に再投入後のフリッカ発生時間が低減することを見出した。

【0037】発明者らは、本現象の原因を以下のように解明するに至った。すなわち、アクティブ素子を有する液晶表示装置では、画素電極には走査信号線にアクティブ素子をON状態とするための選択電位が加わった場合に、選択的に電位が書き込まれ、時間的に大部分の間は、走査信号線にアクティブ素子をOFF状態とするための非選択電位が加わることにより、ON状態で印加された電圧が保持される。時間的に大部分がOFF状態である理由は、液晶表示装置は複数本の走査信号線を順次選択する駆動を行うのが通例であるため、例えば最低768本の走査信号線を持つXGA対応の液晶表示装置においては、OFF状態を選択されている時間は、ON状

態を選択されている時間の(768-1)倍以上であることが、一般的な駆動方法だからである。また液晶表示装置は、通常液晶材料の劣化を防止するため、画素電極と基準電極の間に加わる電位を交流化し、直流電圧が長時間に亘り連続して印加するのを防止している。しかしこの効果は、あくまで1つもしくは複数のフレーム単位で画素電極と基準電極の間に加わる電位の極性を反転させることにより、長時間平均としては直流電圧の印加を防止しているのみであり、各フレーム単位で見た場合、画素電極にはほぼ一定の電位が加わっていることは変わっていない。そして、この1つもしくは複数のフレーム単位で画素電極と基準電極の間に加わる電位の極性を反転する駆動は、あくまで液晶表示装置に電源が供給されている場合のみをいうことであり、すなわち電源供給が停止した後は、画素電極にはほぼ一定の電位が加わったままとなるのである。そして、アクティブ素子によりOFF状態に保たれた時点で、液晶表示装置への電源の供給が遮断された画素電極は、そのままOFF状態に比較的長時間維持されることになり、画素電極には長時間一定電位が加わり続けることになる。

【0038】一方、基準電極には、通常画素単位でのアクティブ素子を介さずに、直接電位が供給されるため、逆に液晶表示装置への電源供給が停止した後は、すばやくGND電位に至ることになる。

【0039】この結果、アクティブ素子を有する液晶表示装置において、液晶表示装置への電源供給が停止した場合には、長時間に亘り画素電極-基準電極間に直流電位差が与えられることになり、画素が直流に帯電することになる。このため、再び液晶表示装置に電源が供給されても、その際の画素電極-基準電極間の電位は、残留した直流電位の上に、交流信号を載せる形の駆動となるため、極性間で液晶駆動電圧にアンバランスが生じ、フリッカが発生するに至ったことが判明した。

【0040】そしてアクティブ素子を有する液晶表示装置では、通常の表示状態での保持特性を改善するため、前段の走査信号線と共通電極の間に絶縁層を介して重畳領域を設けて形成する付加容量Cadd、もしくは基準電位と共通電極の間に絶縁層を介して同一基板上で重畳する領域を設け形成する保持容量Cstgの一方もしくは双方を用いるため、さらに画素電極に長時間一定電位が加わり続けることになっているものと判明した。

【0041】さらに、図42より、以下の知見を導き出すに至った。すなわち実験的に、BLがON及びOFFで、電源再投入後のフリッカ発生時間に差があり、特にBLがONの場合は、電源遮断時間が長いほどフリッカは発生し難くなる。まずこの理由を説明する。本調査で用いた液晶表示装置は、アクティブ素子としてTFTを用いているため、半導体層を有する。それゆえ、程度の差はあれホトコンダクション、すなわち光が半導体層に照射した際に画素電極に保持された電荷がリークする現

象が生じる。図42では、この現象によるリークは0.5~1.0秒位から顕著になっていると考えられる。実使用での保持期間は、一例としてフレーム周波数60Hzの場合には高々16.6msでしかないため、実使用状態ではリークは僅かなレベルに抑えられている。この目的で、半導体層に直接光が当たらないように遮光層BMが形成されているためである。しかし図42の2.5秒に至るような時間では、TFTのリークが生じるため、逆にこれにより画素電極の電荷が開放されるため、電源再投入後のフリッカの発生時間がBL OFFの場合より短いものと判明した。

【0042】さらに図42の示唆する別の特徴は、BLがOFFの場合、電源遮断時間増大と共に、再投入後のフリッカ発生時間が増大していることである。この現象を解明した結果、次の知見を得るに至った。本発明の液晶表示装置1に用いる液晶表示パネル2の画素の構造から説明する。図16にいわゆるTN方式の液晶表示パネルの画素部の平面構造例を示す。また図16のA-A'線での断面構造例を図17、18、19に示す。走査信号線30にON状態の電位が与えられた際に、映像信号線31からの電位がTFTにより画素電極62に書き込まれる。そして走査信号線30にOFF状態の電位が与えることにより、TFTのリークを防止し、画素電極に電荷が保持される。図17は断面構造の一例である。基板70上に絶縁層(PAS1と記載)71、その上に映像信号線31、さらに絶縁層(PAS2と記載)72が形成され、その上に画素電極62が形成されている。他方の基板には、遮光層(以下BMと記載)82、カラーフィルター(以下CFと記載)83、基準電極61、配向膜85が形成され、配向膜75と配向膜85の間に液晶層76が構成されている。図18は絶縁層PAS2と画素電極62の間に絶縁層(PAS3)を構成した例である。この場合、PAS3を低誘電率の有機絶縁膜とすることが望ましい。また図19ではPAS2と画素電極の間にCFを構成した例である。いずれの場合においても、画素電極と液晶層の間には配向膜75が介在する。画素電極に直流電圧が長時間印加された場合、この電荷は絶縁層に徐々にトラップされる。それは画素電極下の絶縁膜、及び画素電極上の配向膜の双方に対して起きる現象である。この際、配向膜75は、画素電極よりも液晶層側にある。したがって、配向膜75に蓄積した電荷は、画像表示目的に画素電極と基準電極間に与えられる電位差に直接重畳する。これは、配向膜に電荷が残留した状態で通常の画像表示を図る際に、上述のように画素電極-基準電極間の電位は残留した直流電位の上に、交流信号を載せる形の駆動となるため、極性間で液晶駆動電圧にアンバランスが生じ、フリッカが発生することになる。図42では、BLがOFFの場合、電源遮断時間が長いほど再投入後のフリッカ発生時間が長い。これは、電源遮断状態、すなわち画素電極に電荷が保持され

た状態では配向膜にも電荷が徐々にトラップされていくため、時間経過と共に配向膜に蓄積する電荷の量が増加し、この電荷の量の増加に起因し、電源再投入後のフリッカの発生時間が長くなったものと判明した。

【0043】この解決には、配向膜を除去すれば良い。しかし、配向膜を画素電極上に構成することは、液晶を配向させる上でほぼ必須の構成である。したがって、配向膜への電荷の蓄積を防止することが必要となる。

【0044】そこで本実施例では、電源切断時に画素電極の電位を急速に開放することにより、電源切断後の配向膜への電荷の蓄積を抑制し、電源再投入時のフリッカの発生を防止した。

【0045】〔実施例2〕発明者らは、画素電極と基準電極が同一基板上にある液晶表示パネルを用いた場合、実施例1で説明の現象がさらに悪化することを見出した。

【0046】図20にいわゆる横電界方式の液晶表示パネルの画素部の平面構造例を示す。また図20のA-A'線での断面構造例を図21に示す。走査信号線30にON状態の電位が与えられた際に、映像信号線31からの電位がTFTにより画素電極62に書き込まれる。そして走査信号線30にOFF状態の電位が与えることにより、TFTのリークを防止し、画素電極に電荷が保持される。容量を増大させる目的で保持容量(Cstg)66が形成されている。図21は断面構造の一例である。基板70上に基準電極61、絶縁層(PAS1と記載)71、その上に映像信号線31及び画素電極62、さらに絶縁層(PAS2と記載)72が形成され、その上に配向膜75が形成されている。PAS2の上層には有機PASが形成されている場合もある。他方の基板には、遮光層(以下BMと記載)82が形成され、カラーフィルター(以下CFと記載)83、保護膜86、配向膜85が形成され、配向膜75と配向膜85の間に液晶層76が構成されている。

【0047】実施例1の場合と同様に、画素電極62と液晶層76の間に配向膜75が形成されている点は同じであり、それゆえ実施例1の場合と同様に電源切断、再投入時にフリッカが発生する。

【0048】さらに本実施例の横電界方式の液晶表示パネルでは、実施例1のいわゆる縦電界方式のパネルより該フリッカが悪化することが判明した。

【0049】図21に示すように、いわゆる横電界方式の液晶表示パネルでは画素電極と基準電極は同一基板上に絶縁膜を介して離間配置されている。そしてこの画素電極と基準電極間に電位差を与え、これにより形成される電界により液晶層の光学的性質を変調する。したがって、画素電極と基準電極間の絶縁膜にも電位差が加わっている。液晶表示装置への電源供給を停止した際、大部分のTFTはOFF状態であるため、該画素においては画素電極に電荷が保持される。一方基準電極の電位は急

速にGNDレベルへと至る。この結果、画素電極に保持された電荷は、配向膜に徐々にトラップされると同時に、画素電極と基準電極間の直流電位差により画素電極と基準電極間の絶縁膜にも徐々にトラップされる。このとき、画素電極と基準電極間の距離は画素電極と配向膜間の距離より長い為、同一基板上で画素電極と基準電極間を離間する絶縁膜にトラップされた電荷は配向膜にトラップされた電荷よりも開放され難く、この結果、電源再投入後のフリッカ発生時間が長くなると判明した。

【0050】それゆえ、いわゆる横電界方式の液晶表示装置では、該フリッカへの対策が一層必要である為、本実施例では電源切断時に画素電極の電位を急速に開放することにより、電源切断後の配向膜及び同一基板上に形成された画素電極と基準電極間の絶縁膜への電荷の蓄積を抑制し、電源再投入時のフリッカの発生を防止した。

【0051】〔実施例3〕本実施例では、実施例2の横電界方式での同一基板上に形成された画素電極と基準電極間の絶縁膜への電荷の蓄積を、画素構造的に低減した例である。

【0052】図22は実施例2の図20に、図23及び図24は実施例2の図21に相当する図である。

【0053】実施例3と実施例2の主要な差異を図23、図24で説明する。同一基板上に画素電極と基準電極が形成されている点は共通である。しかし本実施例では、画素電極62よりも上層に、絶縁膜を介して基準電極61を形成した。発明者らが調査した結果、画素電極と基準電極間の直流電位差により画素電極と基準電極間の絶縁膜に電荷がトラップされた場合、そのフリッカへの影響は画素電極が液晶層に近いほど大きくなることが判明した。なぜなら、液晶層はあくまで液晶中に形成される電界により駆動されるのであり、液晶層と画素電極が遠いほど同一の電荷が液晶層に発生する電界の強度は低下する為である。このため、同一基板上に画素電極と基準電極が形成されている液晶表示装置において、画素電極62よりも上層に、絶縁膜を介して基準電極61を形成することにより、電源切断後再投入時のフリッカを抑制することが出来る。

【0054】またさらにこの場合、画素電極と液晶層の間に低誘電率の絶縁膜、特に有機PASを設けることが望ましい。電気的にも距離的にも、画素電極と液晶層の間をさらに離間できる為である。同様に、図24の74として示すように、第4の絶縁膜(PAS4)を形成することでさらに効果を拡大できる。

【0055】さらに同様に、対抗基板上の代わりに、基準電極形成層と画素電極形成層の間にCF83を形成することで効果を増大できる。また同様に、対抗基板上の代わりに、基準電極形成層と画素電極形成層の間に保護膜86を形成することで効果を増大できる。いずれの場合も、基準電極形成層が画素電極形成層の上層にあることが望ましい。また組み合わせてもよい。

【0056】また本実施例では画素電極は画素内で複数本が接続されているが、1本でもよく、また面状でもよい。

【0057】〔実施例4〕本実施例は、実施例2の同一基板上に形成された画素電極と基準電極間の絶縁膜への電荷の蓄積を低減した別の例であり、図25は実施例2の図20に、図26及び図27は実施例2の図21に相当する図である。本実施例では図26及び図27に示すように、同一基板上に画素電極62と基準電極61を構成し、かつ画素電極の下層に絶縁膜を介して基準電極を重畳して形成した。画素電極62は複数本から成り、基準電極61は面状として構成した。

【0058】液晶表示装置への電源供給を停止した際、大部分のTFTはOFF状態であるため、該画素においては画素電極に電荷が保持される。一方基準電極の電位は急速にGNDレベルへと至る。この結果、画素電極と基準電極の電位差が拡大する為、画素電極に蓄積した電荷は、この拡大した電位差により、画素電極と基準電極間の絶縁膜に急速にトラップされる。このとき、電源遮断時に画素電極に蓄積されている電荷の量は限りがあるため、相対的に画素電極より液晶層側の絶縁膜、特に配向膜にトラップされる電荷の量を低減することが出来る。

【0059】これにより、本実施例では電源切断、再投入時のフリッカを低減することができる。

【0060】〔実施例5〕TFT素子の平面模式図例を図28に示す。走査信号線30にON電位が加わった場合、いわゆるON状態において、半導体層63がON状態となることで映像信号線31の電位は映像信号線と一体に形成されたドレイン電極67、半導体層63、ソース電極68を経由し、画素電極に電荷が電気的に書き込まれる。ソース電極と画素電極は一体の場合もある。そして走査信号線30にOFF電位が加わった場合、いわゆるOFF状態において、半導体層のチャンネルは非形成状態となるため、ソース電極とドレイン電極間は電気的に非導通に順ずる状態になり、長時間画素電極に電荷を保持することを可能とする。実施例1で説明のように、図42では電源遮断期間中のBLのONとOFFでフリッカ発生時間が異なっている。これは、アクティブ素子のリーク特性を適切に設定することにより、フリッカの発生を抑制できることを意味している。しかし実仕様状態では十分な保持特性が必要である。この両立は、ON状態での画素の表示輝度B1に対するOFF状態の経過時間T毎の表示輝度B2を用い、光学的に示すことができることを見出した。

【0061】すなわち中間調領域の少なくとも1つの表示階調で、ノーマリーブラックモードの場合にOFF状態の時間Tに対し、 $T = 16.6 \text{ ms}$ で $B2/B1 > 90\%$ 、 $T = 1 \text{ s}$ で $B2/B1 < 70\%$ とした。またノーマリーホワイトモードの場合に、少なくとも1つの表示

階調で、OFF状態の時間Tに対し、 $T = 16.6 \text{ ms}$ で $B2/B1 < 110\%$ 、 $T = 1 \text{ s}$ で $B2/B1 > 130\%$ とした。

【0062】また実施例1～4の構成と組み合わせること、さらに効果が増大する。

【0063】〔実施例6〕実施例5で説明のように、アクティブ素子のリーク特性を適切に設定することで電源切断、再投入時のフリッカを抑制できる。TFT素子の構造としてリーク特性を適切に設定する構造を図29、図30に示す。半導体層63が図29はソース電極下で走査信号線から露出している。また図30では一部領域が完全に走査信号線から露出している。これにより、露出した領域でバックライトの光によるホトコンダクションによりリークしやすい構成とすることが出来、フリッカを抑制できる。

【0064】また実施例1～5の構成と組み合わせること、さらに効果が増大する。

【0065】〔実施例7〕実施例6で説明のホトコンダクションを利用する別の例が、図31である。図20との違いは、TFT素子の一部と重畳して乱反射媒体87を設定したことであり、これにより、バックライトからの斜め方向の光が、乱反射により半導体層に一部が導入される。これにより、リークしやすい構成とすることが出来、フリッカを抑制できる。乱反射媒体としては、ギャップ支持部材を流用することが望ましい。すなわち樹脂性の透明ビーズである。さらに一方の基板上に透明の柱状スペーサを設けるとさらに効果が増大する。これは、ビーズに比べ、その配置位置、大きさが自由に制御できる為である。特にビーズでは通常球状であるのに対し、スペーサではギャップ支持に用いる高さ方向と乱反射に用いる幅方向を独立に設定できる為、極めて望ましい。またビーズでは、通常分散法により成されるので、TFT上に位置する確率は低い。透明の柱状スペーサでは、予め定めた位置に形成できる為、10画素に1個以上の配置であればビーズ分散法より効果を高めることが出来る。

【0066】本実施例ではIPS方式の図面にて説明したが、その他の方式でも同様である。

【0067】また実施例1～6の構成と組み合わせること、さらに効果が増大する。

【0068】〔実施例8〕実施例6で説明のホトコンダクションを利用する別の例が、図31である。図20との違いは、遮光層82が、有効表示領域内に開口領域を持つことは当然として、走査信号線30上にも開口領域88を設けたことである。この開口領域88は、映像信号線上に設けてもよい。これにより、表示面側からの光によりTFT素子にホトコンを誘起することが出来る。これは、表示装置内臓のバックライトが消灯状態であっても、部屋の光もしくは外光によりリーク効果が実現できるという利点を持つ。この開口部88は予め所定の位

置に設けるのが手法の1つである。さらに本方式では、開口領域88のサイズによりホトコンが容易に制御できる為、例えば製造上の問題によりリーク特性が所望と異なるTF T素子が出来てしまった場合、完成後の液晶表示パネルにレーザー照射によりBMに穴を空けることで所望の特性に回復できるという歩留まり上の効果も有する。この穴は数ミクロン程度の微小なものであり、使用者からの認識は困難である。但し、レーザーにより加工する際は、TF Tとは重畳しないことが望ましい。レーザーの強度によっては、TF T自体が破壊される恐れがあるためである。

【0069】本実施例ではIPS方式の図面にて説明したが、その他の方式でも同様である。

【0070】また実施例1～7の構成と組み合わせることで、さらに効果が増大する。

【0071】〔実施例9〕図1は、本発明による液晶表示装置の一実施例の構成を示す図である。液晶表示装置1に対し、システム回路20からインターフェース信号（以下I/F信号と記載）41、及びディスプレイ電源40が入力される。41と40は同一のケーブル群により接続されても良い。あるいは、特にBL（バックライト）用電源供給ケーブルとは別でも良い。I/F信号41は制御回路12に入力される。またディスプレイ電源40は、走査電源回路11、共通電圧発生回路17、映像電源回路14、階調電源回路15に供給される。11、17、14、15は一体として構成されていても良い。

【0072】映像電源回路14から映像信号駆動回路16には映像信号駆動回路動作用のロジック電圧VDDと、GND電圧VGNDが供給される。さらに、階調電源回路15から、階調電圧が供給される。映像信号駆動回路16は、制御回路12からの信号に基づき、映像信号線31に映像信号を入力する。共通電圧発生回路17からは基準電圧Vcomが基準電極に供給される。図中で基準電極を線状に記載しているが、これは便宜上であり、線状の場合、面状の場合、また基準電極と同一基板上の場合、別基板上の場合を含む。

【0073】また走査電源回路11から走査信号駆動回路13に走査信号駆動回路の動作用ロジック電圧VG、走査信号線のON電位用電圧VGON、GND電圧VGND、走査信号駆動回路を駆動するためのマイナス側の電圧VEEがそれぞれ供給される。走査信号駆動回路からは、制御回路12からの信号に基づき、走査信号線30の各ラインにON電位、もしくはOFF電位のいずれかを共有する。

【0074】液晶表示パネル2においては、映像信号線31と走査信号線30の交差部に、各画素毎にアクティブ素子が構成されている。代表例はTF Tである。MI Mの場合でも、映像信号線が基準電極を兼ねかつ走査信号線とは別基板に形成されている点を中心に若干の差異

はあるが、類似の構成を取ることが出来る。TF Tを採用した場合には、走査信号線30にON電位が加わった際に、映像信号線31からの映像信号をTF Tを通じて画素電極に書き込み、その後走査信号線30の電位をOFF電位とすることにより、書き込まれた映像信号線の電位をアクティブ素子を持たない場合と比べ長く保持できる。この電位は、走査信号線と基準電極間の液晶容量により保持される。さらに、この保持特性を改善するため、前段の走査信号線と画素電極を絶縁膜を介して重畳した領域を設け、いわゆる付加容量Caddを構成する手法、また基準信号線もしくは基準電極を同一基板上に設け、画素電極と重畳した領域を設けることにより保持容量Cstgを構成する手法が知られており、その一方もしくは双方を用い、保持特性を改善する。

【0075】そして画素電極に書き込まれた電位と基準電極の間の電位差により、液晶の光学的性質を変調することにより、画像表示を実現する。

【0076】前記走査信号線のOFF電位形成用の電位VGOFFは、VEEと共用、もしくは別個に、従来は走査電源回路より直接供給される。このため、従来の液晶表示装置においては、ディスプレイ電源40の供給が停止するとVGOFFの供給も停止し、マイナス電位より徐々にGND電位へと収束していくものであった。このとき、走査信号駆動回路13は映像信号駆動回路16と異なり、ON電位が選択されないラインには常にOFF電位を供給する、いわばスイッチ的な構成となっているのが通例である。このため、走査信号線には、ディスプレイ電源40の供給停止後、走査信号駆動回路からVGOFFより形成される本来のOFF電位から徐々にGNDへと近づく電位が供給されるため、液晶表示パネル2の内部に形成されたアクティブ素子もOFFに準ずる状態が当面維持される。この結果、画素電極に書き込まれた電荷がアクティブ素子経由で短時間にリークすることができず、課題として説明のフリッカ現象に至っていた。

【0077】そこで本実施例では、走査信号電源回路11と走査信号駆動回路13の間にゲートオフ電圧制御回路10を設け、この回路からVGOFF電位を形成した。そして、ディスプレイ電源40が供給されている通常動作時の電圧に対し、ディスプレイ電源40の供給が停止した直後にVGOFFを切り替え、走査信号線にリーク用電位を入力する構成とした。

【0078】図5に、ゲートオフ電圧切り替え回路50の動作をスイッチの概念として示す。これは図1のゲートオフ電圧制御回路10の概念の一例である。図1の通常動作時は、スイッチはbに接続されている為、VGOFFにはVEEが供給される。ディスプレイ電源40からの電源の供給の停止を感知すると、スイッチはaに切り替わる。aには、VEEより高いVCOM電圧が入力されている。これにより、VGOFFにはVEEより高

い電圧が供給されるようになるため、走査信号線にリーク用電位が供給できるようになる。図6は、図5のV E Eがバイアス回路51を経由してゲートオフ電圧切り替え回路に入力されている例である。この場合、通常動作状態において、最適なV G O F FをV E Eより形成できる為、通常動作時の保持特性を改善することができる。また図1のゲートオフ電圧制御回路10の概念には、図5及び図6のスイッチ的な概念ではなく、図7に示すように、V E Eステップアップ回路52を設け、V E E及びV C O Mから中間電位を形成した後、これら、あるいはそれ以外の電位を加算回路53で合成し、V G O F Fを作り出す概念もある。この場合、V E Eステップアップ回路52、もしくは加算回路53にて、ディスプレイ電源40の供給停止により通常動作時と動作が異なるよう構成することで、走査信号線にリーク用電位が供給できるようになる。いずれの例においても、ディスプレイ電源40の供給停止により、V G O F Fへリーク用電位を供給する概念であり、この概念は全て図1のゲートオフ電圧市魚回路10に含む。

【0079】これらの切り替えは電源遮断後5秒以内に10成されることが望ましい。これは、前述の実施例で説明のとおり、配向膜への電荷の蓄積は時間と共に進む為、電源再投入後のフリッカの低減の為には、急速に画素内のアクティブ素子をリーク状態に切り替え、画素電極に蓄積した電荷をリークさせ、画素電極から除去する必要があるためである。

【0080】なお図1には、ゲートオフ電圧制御回路10には共通電圧発生回路17から電位が供給されない場合を図示したが、図2に示すように供給して動作する構成としてもよく、実際の回路構成は図2の場合の方が容易である。また電圧蓄積回路18を別途設け、ディスプレイ電源40の供給停止直後にここからゲートオフ電圧制御回路10にリーク電位を生成する為の電位、あるいはゲートオフ電圧制御回路10自体を動作させるための電位を供給してもよく、この場合回路規模は増大するが、リーク電位の制御が容易になる、あるいはゲートオフ電圧制御回路の動作が安定化すると利点がある。図1及び図2に適用した図が、それぞれ図3及び図4となる。

【0081】また上記構成を実施例1乃至8の1つもしくは複数に組み合わせることにより、実施例1乃至8の1つもしくは複数においてさらに効果の向上を図ることが出来る。

【0082】〔実施例10〕実施例9のゲートオフ電圧制御回路のさらなる例を図8に示す。ただし本実施例は図中の電源、電圧値、回路乗数、構成、部品に限定されるものではなく、動作の概念を説明する上の一例として図8を示すものであり、同様の動作結果を得るものは全て本実施例の範疇に入るものとする。

【0083】図8では電圧としては通常状態において図

1のV G O Nに相当するV H（同一でもよい）、V C O M、V E Eの3電位により、ディスプレイ電源の供給が停止し電圧絶対値が低下し始めた際にV Lを通常電位からリーク用電位に切り替えるものである。図8の回路の動作を、図9のグラフにより説明する。

【0084】まず通常動作時、T1以前の時間では、V LはV E EとV L端子の間に設けられたツェナーダイオードT D 1により、V E Eに対し一定電圧上回る電位として供給される。図8では9 V品を用いている為、V E Eより9 V高い電圧がV Lに供給される。この状態では、V C O MとV E Eの間に介在するトランジスタ素子T R 1はオフ状態である。

【0085】次にT1において電源供給が遮断すると、V HはG N D電位に向かい低下し始める。このとき、C 1のP 1側電位も引きずれて低下する為、P 1の電位がP 2より閾値分以上に低くなる。これによりT R 1は導通状態となり、P 2とP 3が短絡する。この結果、P 3でのV E E電圧とP 2でのV C O M電圧は互いにキャンセルされ急速にG N D電位へと向かう。これは同時に、P 5（＝P 3電位）の電圧値がマイナス電位からG N D電位に向かって急上昇することを意味する。このため、P 4（＝P 6）のV L電位は、T D 1の存在により、図9に示すように急上昇することになる。

【0086】最後に、T2にてP 5点の電位がG N Dに達すると、P 4点の電位も最高値を取る。これ以降は、P 4点の電位すなわちV Lの電位はG N Dに向かって徐々に低下する。このとき、P 5点とP 6点の間にコンデンサC 2を構成することが望ましい。これはV LがT2で最高値に至った以降、G N Dに落ちるまでの時間を延ばすことが出来る為である。T D 1自体も容量成分を持つ為、兼用することも可能ではあるが、容量の安定化及び時間延長効果を制御する上で別の容量素子を持つことがより望ましい。

【0087】図9を改めて見ると、V Lの電位はT1以降動作時のV LとV Hの間にまで一旦上昇し、やがてG N Dに至る山なりの特性を示す。この特性こそが重要である。したがってゲートオフ電圧制御回路のV L出力がこの特性を示す、あるいは走査信号駆動回路のゲートオフ電圧入力端子にこの電圧が現れる、あるいは走査信号線の電位にこの特性があらわれることにより、ディスプレイ電源供給停止後にリーク用電位を走査信号線に供給し、それにより画素電極の電荷をリークする構成を実現することが出来る。

【0088】また上述のように、本発明のゲートオフ電圧制御回路10の特徴は、電源供給停止後の電圧降下を元に動作し、通常動作状態と異なるリーク用電位を形成していることである。そしてこの電位は、電源遮断時点で液晶表示装置1の回路内に残留した、あるいは回路に蓄積した電荷を元に作り出される。このため、液晶表示装置1内で構成を完了することが出来るので既存の液晶

表示装置と容易に置き換えられるという大きな利点を持つ。

【0089】また上記構成を実施例1乃至9の1つもしくは複数の組み合わせることにより、実施例1乃至8の1つもしくは複数においてさらに効果の向上を図ることが出来る。

【0090】〔実施例11〕実施例9のゲートオフ電圧制御回路のさらなる例を図10に示す。ただし本実施例は図中の電源、電圧値、回路乗数、構成、部品に限定されるものではなく、動作の概念を説明する上の一例として図10を示すものであり、同様の動作結果を得るものは全て本実施例の範疇に入るものとする。

【0091】図10では電圧としてはVCOM、VEEの2電位により、ディスプレイ電源の供給が停止した際の電圧絶対値の低下によりリーク用電位を作り出すもので、パッシブ素子のみの簡易な構成となっている。

【0092】図10においてVCOMとVL電位P2の間に抵抗R1、VEEとP2の間にツェナーダイオードP2TD1、そしてTD1と並列にC1が設けられている。R1は通常動作時のVL電位の安定化用である。図10の回路の動作を、図11のグラフにより説明する。

【0093】まず通常動作時、T1以前の時間では、VLはVEEとVL端子の間に設けられたツェナーダイオードTD1により、VEEに対し一定電圧上回る電位として供給される。図10では9V品を用いている為、VEEより9V高い電圧がVLに供給される。

【0094】次にT1において電源供給が遮断すると、VEEはGND電位に向かい上昇し始める。ツェナーダイオードTD1の存在によりVL電位はVEEよりTD1の特性値分高くなるため、同時にVLも上昇する。

【0095】最後に、T2にてP1点の電位がGNDに達すると、P2点の電位も最高値を取る。これ以降は、P2点の電位すなわちVLの電位はGNDに向かって徐々に低下する。このとき、実施例10と同様に、ツェナーダイオードと並列にコンデンサを構成することが望ましい。

【0096】実施例10の図9と同様に、図11もVLの電位はT1以降一旦上昇し、やがてGNDに至る山なりの特性を示す。この特性こそが重要である。したがってゲートオフ電圧制御回路のVL出力がこの特性を示す、あるいは走査信号駆動回路のゲートオフ電圧入力端子にこの電圧が現れる、あるいは走査信号線の電位にこの特性があらわれることにより、ディスプレイ電源供給停止後にリーク用電位を走査信号線に供給し、それにより画素電極の電荷をリークする構成を実現することが出来る。

【0097】また上述のように、本発明のゲートオフ電圧制御回路10の特徴は、電源供給停止後の電圧降下を元に動作し、通常動作状態と異なるリーク用電位を形成していることである。そしてこの電位は、電源遮断時点

で液晶表示装置1の回路内に残留した、あるいは回路に蓄積した電荷を元に作り出される。このため、液晶表示装置1内で構成を完了することが出来るので既存の液晶表示装置と容易に置き換えられるという大きな利点を持つ。

【0098】さらに本実施例では、アクティブ素子を持たないため極めて低コストに構成できるという大きな利点を持つ。

【0099】また上記構成を実施例1乃至9の1つもしくは複数の組み合わせることにより、実施例1乃至8の1つもしくは複数においてさらに効果の向上を図ることが出来る。

【0100】〔実施例12〕実施例9のゲートオフ電圧制御回路のさらなる例を図12に示す。ただし本実施例は図中の電源、電圧値、回路乗数、構成、部品に限定されるものではなく、動作の概念を説明する上の一例として図12を示すものであり、同様の動作結果を得るものは全て本実施例の範疇に入るものとする。

【0101】図12では電圧としては図1のVGONに相当するVH、VCOM、VEEの3電位により、ディスプレイ電源の供給が停止し電圧絶対値が低下し始めた際にVLを通常電位からリーク用電位に切り替えるものである。図12の回路の動作を、図13のグラフにより説明する。

【0102】まず通常動作時、T1以前の時間では、トランジスタTR1はOFF状態、TR2はON状態である。これにより、P5とVEEはTR2を介して導通状態であり、VLの電位はTR2の電圧損質分のみ上となっている。

【0103】次にT1において電源供給が遮断すると、VHはGND電位に向かい低下し始める。このとき、C1のP2側電位も引きずれて低下する為、P2の電位がP1より閾値分以上に低くなる。これによりTR1は導通状態となり、TR1とTR2間のP5点の電位、すなわちVL電位は即最高電位に至る。

【0104】最後にVCOM電位がGNDに収束するとVL電位もGNDに収束する。

【0105】図13を改めて見ると、VLの電位はT1以降動作時のVLとVHの間にまで一旦上昇し、やがてGNDに至る山なりの特性を示す。この特性こそが重要である。したがってゲートオフ電圧制御回路のVL出力がこの特性を示す、あるいは走査信号駆動回路のゲートオフ電圧入力端子にこの電圧が現れる、あるいは走査信号線の電位にこの特性があらわれることにより、ディスプレイ電源供給停止後にリーク用電位を走査信号線に供給し、それにより画素電極の電荷をリークする構成を実現することが出来る。

【0106】また上述のように、本発明のゲートオフ電圧制御回路10の特徴は、電源供給停止後の電圧降下を元に動作し、通常動作状態と異なるリーク用電位を形成

していることである。そしてこの電位は、電源遮断時点で液晶表示装置1の回路内に残留した、あるいは回路に蓄積した電荷を元に作り出される。このため、液晶表示装置1内で構成を完了することが出来るので既存の液晶表示装置と容易に置き換えられるという大きな利点を持つ。

【0107】さらに本実施例では、電源遮断後VLが最高電位に至るまでの時間が極めて短い。適切に部材、及び部材のスペック、回路構成を選定すれば、1秒以内も実現できる。このため、極めて短時間に画素電極をリークさせることができ、配向膜への電荷の蓄積を一層抑制できるという点で、極めて高いフリッカ対策効果を示す。

【0108】また上記構成を実施例1乃至9の1つもしくは複数の組み合わせることにより、実施例1乃至8の1つもしくは複数においてさらに効果の向上を図ることが出来る。

【0109】〔実施例13〕実施例9のゲートオフ電圧制御回路のさらなる例を図14に示す。ただし本実施例は図中の電源、電圧値、回路乗数、構成、部品に限定されるものではなく、動作の概念を説明する上の一例として図14を示すものであり、同様の動作結果を得るものは全て本実施例の範疇に入るものとする。

【0110】図14では電圧としては図1のVGONに相当するVH、VGGに相当するVCC、VEEの3電位により、ディスプレイ電源の供給が停止し電圧絶対値が低下し始めた際にVLを通常電位からリーク用電位に切り替えるものである。

【0111】すなわち、通常動作時はVEEとGND間でR1とR2で抵抗分圧された電圧がVLとなる。一方電源遮断時は、VHが低下することによりTR1のP2の電位が閾値分以上にP3の電位より低下し、これによりVCCの電位がVLに供給されるようになる為、VL電位が上昇し、やがてGNDに収束する山なりの電位変動を示す。

【0112】上述のように、本発明のゲートオフ電圧制御回路10の特徴は、電源供給停止後の電圧降下を元に動作し、通常動作状態と異なるリーク用電位を形成していることである。そしてこの電位は、電源遮断時点で液晶表示装置1の回路内に残留した、あるいは回路に蓄積した電荷を元に作り出される。このため、液晶表示装置1内で構成を完了することが出来るので既存の液晶表示装置と容易に置き換えられるという大きな利点を持つ。

【0113】また上記構成を実施例1乃至9の1つもしくは複数の組み合わせることにより、実施例1乃至8の1つもしくは複数においてさらに効果の向上を図ることが出来る。

【0114】〔実施例14〕本実施例は実施例14の変形例である。図15に実施例13の図14に相当する図を示す。図14との違いは、P1以降にC1及びVLパ

ルス発生回路54を構成した点である。これにより、実施例13の効果に加え、コモン反転駆動時での通常駆動時にゲートのOFF電位をコモン電位と同位相で変調することが可能となる。

【0115】〔実施例15〕本実施例では、実施例9のゲートオフ電圧制御回路の代わりに、専用のリセット機能を設け、これにより画素内電位をリセットするものである。

【0116】リセット機能としては走査信号駆動回路に、ON電位とOFF電位の間の中間電位を出力する専用回路を設け、VDDもしくはVDDの低下を感知し、中間電位を出力する構成が可能である。回路例としては、実施例9から14の回路を走査信号駆動回路に取り込んでもよい。

【0117】これによって、上記実施例と同様にフリッカを低減できる。また実施例1乃至9の1つもしくは複数の組み合わせることにより、実施例1乃至8の1つもしくは複数においてさらに効果の向上を図ることが出来る。

【0118】〔実施例16〕本実施例は液晶表示装置として実施例1乃至15に記載のいずれかを用いることにより、電源遮断後短時間に電源を再投入してもフリッカの発生を防止した画像表示装置を構成したものである。

【0119】液晶モニタの形態に構成した例を図33に示す。ノートPCの形態に構成した例を図34に示す。液晶TVとしての形態に構成した例を図35に示す。またこれ以外にもPDA、あるいは液晶一体型PCの形態に構成してもよい。

【0120】本実施例でのこれらの装置は、いずれも電源SW90を持つことを特徴とする。このため、ユーザーが短時間に電源の遮断、再投入を繰り返すことが可能となるため、逆に実施例1乃至15記載の液晶表示装置を用いることで、電源の遮断、再投入時のフリッカの発生を防止することが必要である。

【0121】〔実施例17〕図36に、実施例16の画像表示装置での液晶表示装置1への電源供給の様子を示す。筐体92中に、液晶表示装置1、制御回路93、電源回路94、電源SW90を持つ。制御回路93と電源回路94は、液晶表示装置1を基準で見た場合、図1に20として示したシステム回路の扱いとなる。電源回路にはAC、DCを問わず、電源回路が対応可能な電圧が外部電源96より供給される。

【0122】本構成では、外部のCPU95から信号が制御回路93に入力され、これに基づき制御回路93から電源回路94に液晶表示装置1への電源の供給、遮断が指示される。

【0123】そして制御回路93には、不要消費電力削減の観点から、一定時間CPUからの信号の入力が無い場合液晶表示装置1への電源の供給を停止する機能が導入されている。このため比較的頻繁に電源の遮断、再投

入が行われる形となり、なお一層該過程で発生するフリッカへの対策が必要となる。

【0124】また近年のCPU装置には、一定時間ユーザーの入力デバイスへの操作が無い場合、低諸費電力化の観点から制御回路に低諸費電力モードへの移行を指示する機能が、いわゆるWINDOWS（登録商標）系OSを中心に、あらかじめOSレベルで盛り込まれている。ここで発せられた低諸費電力モード移行指令を受け、制御回路93はやはり電源回路94に遮断を指示する。特に、このOSレベルで盛り込まれた省電力機能に
10 関しては、PCの使用者層の広がりとともに設定時間の変更方法を知らない使用者が増大している。このようなユーザーにとっては、使用中にモニタが消えた場合マウスを動かすようにと指示されるのが通例であり、操作中画面が消えるとすぐマウスを動かしモニタに電源を再投入する傾向がある。この場合、液晶表示装置1への電源回路94からの電源供給遮断後ほとんど間髪をおかず電源が再供給される形となるため、このような状況で極めてフリッカが発生しやすい使用状態が常態化しつつあ
る。さらに、消費電力化の観点から、CPUが消費電力
20 移行指示を出すまでの設定時間を短縮する潮流が予想され、さらにフリッカの発生の状態化を発明者らは懸念していた。

【0125】このような懸念に対し、発明者は実施例1から16記載の本発明の液晶表示装置1を画像表示装置の液晶表示装置として用いることで対処することを可能とした。これにより、画像表示装置のさらなる低消費電力化に対応することも可能となった。

【0126】また電源SW90はソフト的なSWでもよく、その例を図37に示す。

【0127】CPUからの低諸費電力モード移行指示及びユーザーの操作の組み合わせで発生する電源の遮断、再投入によるフリッカには、電源SWは関係なく、図38のように電源SWはなくてもよい。

【0128】また図39に示すようにCPU1は筐体92の内部に構成されていてもよい。

【0129】さらに図40に示すように、バッテリー97を筐体92内部に取り込んでいてもよい。

【0130】以上の実施例1乃至17に用いる画素内のアクティブ素子は、TFT以外にMIMも含む。TFT
40 の場合は、その半導体層がアモルファスの場合、及びポリシリコンの場合、さらに単結晶に準じる結晶性シリコンの場合も含む。特にポリシリコン及び単結晶に準じる結晶性シリコンではアモルファスシリコンよりホットコンダクションが生じ難いため、逆に保持率をホットコンダクションを利用して低減せしめるのはアモルファスの場合より困難であるため、CFとは異なる専用の遮光層は映像信号線あるいは走査信号線の一方の上のみに形成する、あるいはTFT上部のみに形成する、もしくは形成しないことが望ましい。あるいはこれらと本発明の回路*50

*による対策の併用もしくは回路のみによる対策を図ることが望ましい。

【0131】またゲートオフ電圧制御回路のトランジスタ素子は、画素内のトランジスタ素子と構造、構成、サイズ、特性のうちの少なくともいずれかを異なる構成とし、画素内のトランジスタ素子より大電流に耐えられる攻勢とすることが必要である。

【0132】また画素電極と配向膜の間に絶縁層を構成する場合は、該絶縁層の一部を除去し、少なくとも一部が画素電極と配向膜が直接接触する領域を設けることが望ましい。特に液晶層の比抵抗が 1×10 の14乗以下である場合、液晶層を経由して画素電極の電荷を逃がす効果が期待できる為である。画素電極が金属である場合は、透明電極を介して配向膜に接触してもよい。これにより電荷を逃がす効果と金属性画素電極の腐食防止の両立が実現する。さらに、全面に絶縁層がある場合でも、液晶層の比抵抗が 1×10 の14乗以下である場合には一定の効果を期待することができる。

【0133】

【発明の効果】以上説明したことから明らかなように、本発明による液晶表示装置によれば、電源供給停止後に電源を再投入した際のフリッカの発生を防止できるようになる。また、電源供給停止後に電源を再投入した際のフリッカの発生を防止した、薄型、軽量の液晶表示装置を用いた画像表示装置を実現できるようになる。

【図面の簡単な説明】

【図1】本発明による液晶表示装置の一実施例の構成を示す図である。

30 【図2】本発明による液晶表示装置の一実施例の構成を示す図である。

【図3】本発明による液晶表示装置の一実施例の構成を示す図である。

【図4】本発明による液晶表示装置の一実施例の構成を示す図である。

【図5】本発明による液晶表示装置の一実施例の構成を示す図である。

【図6】本発明による液晶表示装置の一実施例の構成を示す図である。

【図7】本発明による液晶表示装置の一実施例の構成を示す図である。

【図8】本発明による液晶表示装置に用いる回路の一実施例を示す図である。

【図9】本発明による液晶表示装置の一実施例の電圧変位を示すグラフである。

【図10】本発明による液晶表示装置に用いる回路の一実施例を示す図である。

【図11】本発明による液晶表示装置の一実施例の電圧変位を示すグラフである。

【図12】本発明による液晶表示装置に用いる回路の一実施例を示す図である。

【図13】本発明による液晶表示装置の一実施例の電圧変位を示すグラフである。

【図14】本発明による液晶表示装置に用いる回路の一実施例を示す図である。

【図15】本発明による液晶表示装置に用いる回路の一実施例を示す図である。

【図16】本発明による液晶表示装置に用いる液晶パネルの画素の平面構造例を示す図である。

【図17】本発明による液晶表示装置に用いる液晶パネルの画素の断面構造例を示す図である。

【図18】本発明による液晶表示装置に用いる液晶パネルの画素の断面構造例を示す図である。

【図19】本発明による液晶表示装置に用いる液晶パネルの画素の断面構造例を示す図である。

【図20】本発明による液晶表示装置に用いる液晶パネルの画素の平面構造例を示す図である。

【図21】本発明による液晶表示装置に用いる液晶パネルの画素の断面構造例を示す図である。

【図22】本発明による液晶表示装置に用いる液晶パネルの画素の平面構造例を示す図である。

【図23】本発明による液晶表示装置に用いる液晶パネルの画素の断面構造例を示す図である。

【図24】本発明による液晶表示装置に用いる液晶パネルの画素の断面構造例を示す図である。

【図25】本発明による液晶表示装置に用いる液晶パネルの画素の平面構造例を示す図である。

【図26】本発明による液晶表示装置に用いる液晶パネルの画素の断面構造例を示す図である。

【図27】本発明による液晶表示装置に用いる液晶パネルの画素の断面構造例を示す図である。

【図28】本発明による液晶表示装置に用いる液晶パネルのアクティブ素子の一実施例の平面構造を模式的に示す図である。

【図29】本発明による液晶表示装置に用いる液晶パネルのアクティブ素子の一実施例の平面構造を模式的に示す図である。

【図30】本発明による液晶表示装置に用いる液晶パネルのアクティブ素子の一実施例の平面構造を模式的に示す図である。

【図31】本発明による液晶表示装置に用いる液晶パネル*40

*ルの一実施例の平面構造例を示す図である。

【図32】本発明による液晶表示装置に用いる液晶パネルの一実施例の平面構造例を示す図である。

【図33】本発明による液晶表示装置を用いた画像表示装置の一実施例を示す図である。

【図34】本発明による液晶表示装置を用いた画像表示装置の一実施例を示す図である。

【図35】本発明による液晶表示装置を用いた画像表示装置の一実施例を示す図である。

10 【図36】本発明による液晶表示装置を用いた画像表示装置の一実施例を示す図である。

【図37】本発明による液晶表示装置を用いた画像表示装置の一実施例を示す図である。

【図38】本発明による液晶表示装置を用いた画像表示装置の一実施例を示す図である。

【図39】本発明による液晶表示装置を用いた画像表示装置の一実施例を示す図である。

【図40】本発明による液晶表示装置を用いた画像表示装置の一実施例を示す図である。

20 【図41】本発明の課題の発生する例を説明する図である。

【図42】本発明による課題の一例を示す図である。

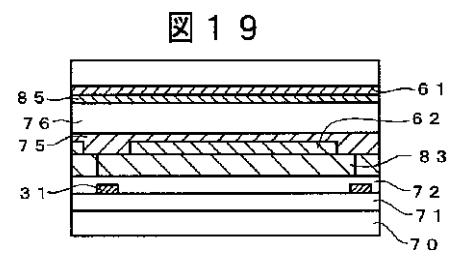
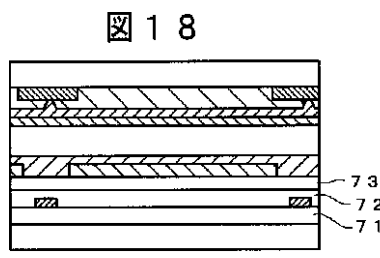
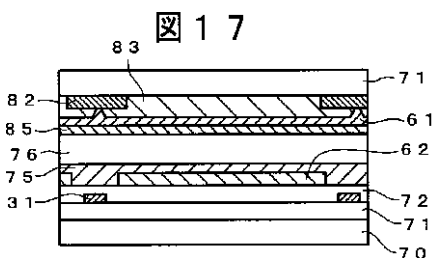
【符号の説明】

1…液晶表示装置、2…液晶パネル、10…ゲートオフ電圧制御回路、11…走査電源回路、12…制御回路、13…走査信号駆動回路、14…映像電源回路、15…階調電源回路、16…映像信号駆動回路、17…共通電圧発生回路、20…システム回路、30…走査信号線、31…映像信号線、32…基準電位、40…ディスプレイ電源、41…I/F信号、61…基準電極、62…画素電極、63…半導体層、65…付加容量、66…保持容量、67…ドレイン電極、68…ソース電極、70…下側基板、71…PAS1、72…PAS2、73…PAS3、74…PAS4、75…配向膜、76…液晶層、81…上側基板、82…BM、83…CF、84…保護膜、85…配向膜、87…支柱、88…BM開口部、90…電源SW、91…キーボード、92…筐体、93…制御回路、94…電源回路、95…CPU、96…外部電源、97…バッテリー

【図17】

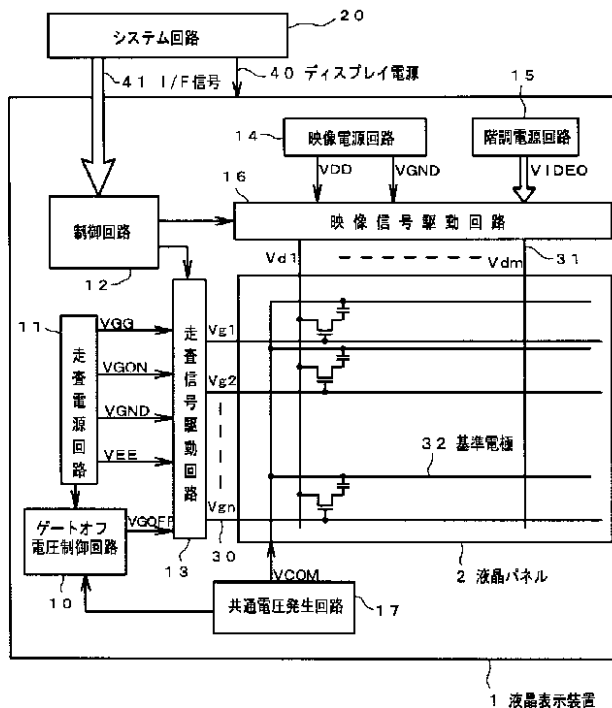
【図18】

【図19】



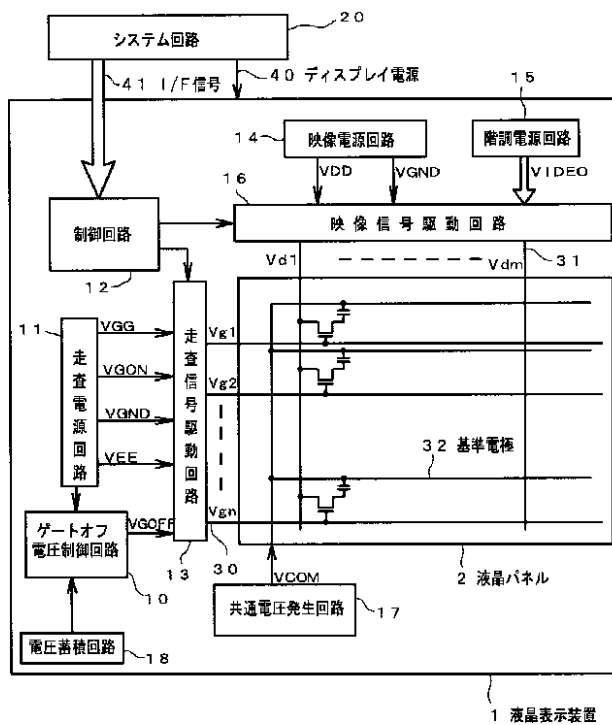
【図 2】

图 2

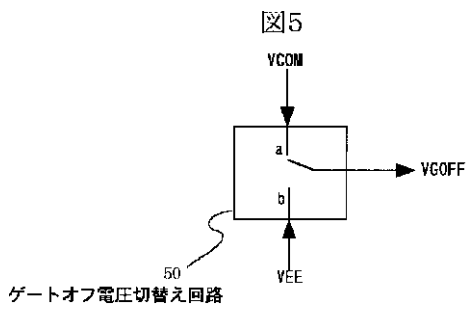


【図 4】

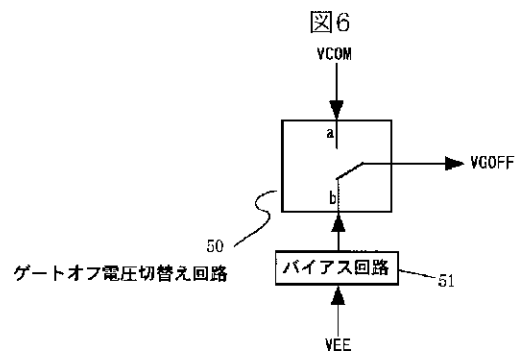
图 4



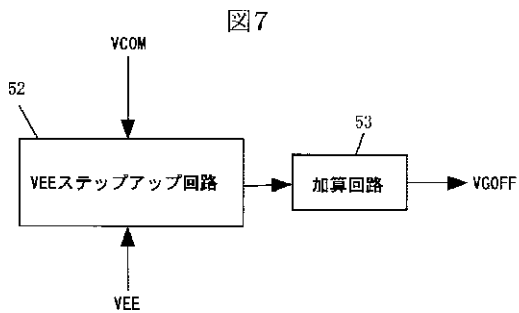
【図5】



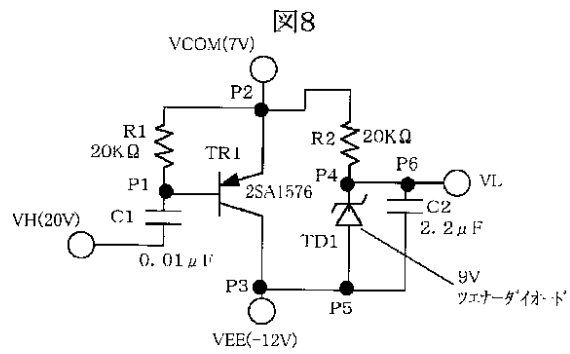
【図6】



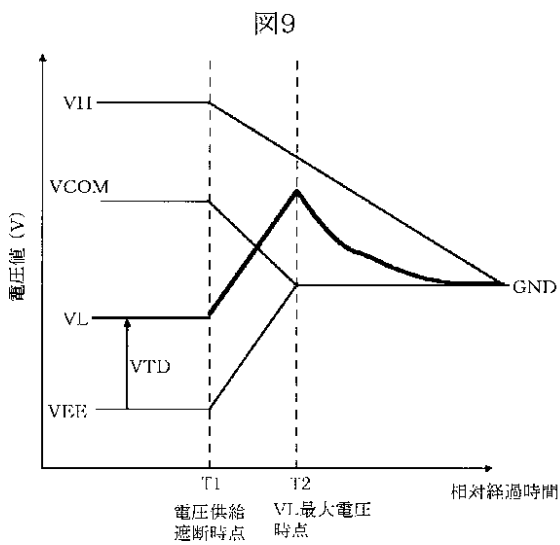
【図7】



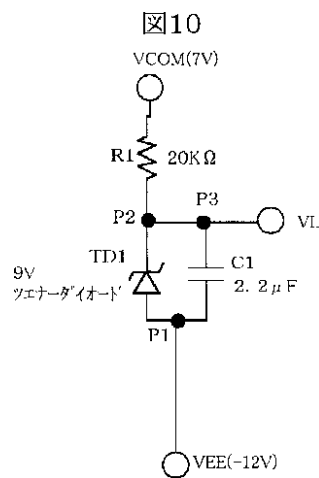
【図8】



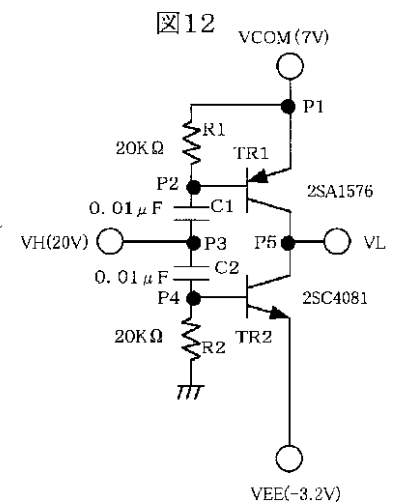
【図9】



【図10】

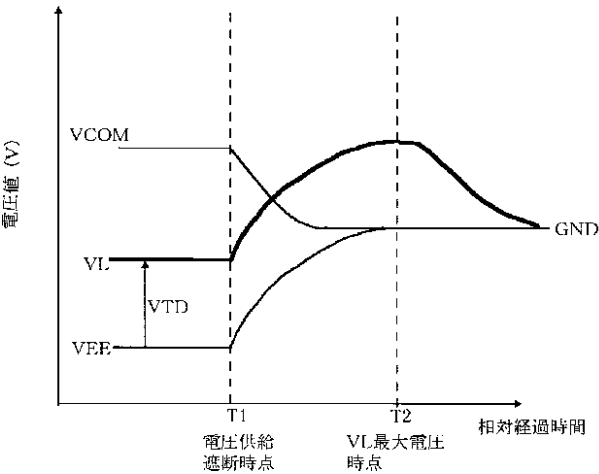


【図12】



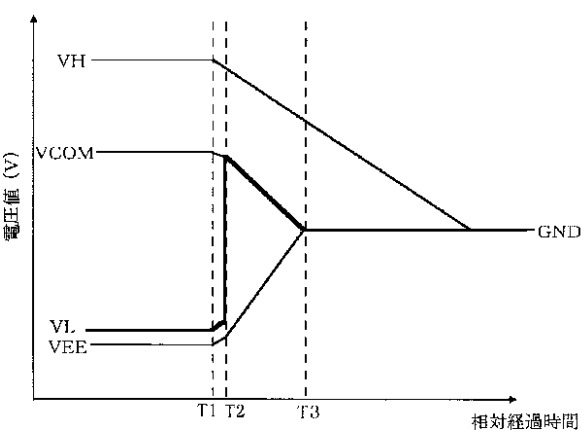
【図11】

図11



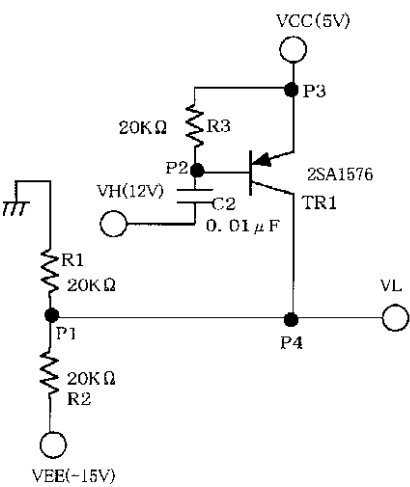
【図13】

図13



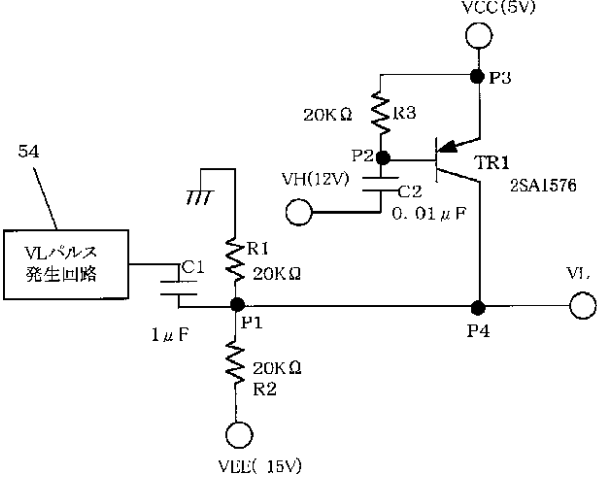
【図14】

図14



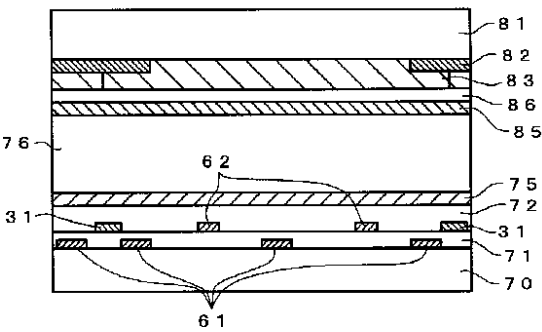
【図15】

図15



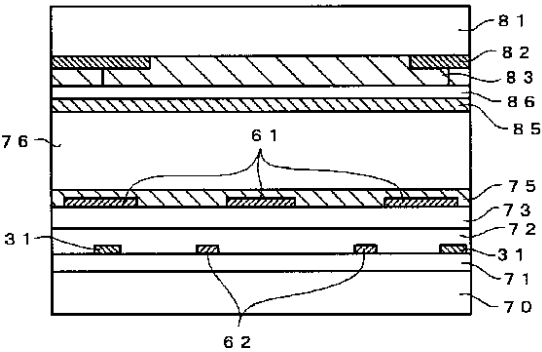
【図21】

図21



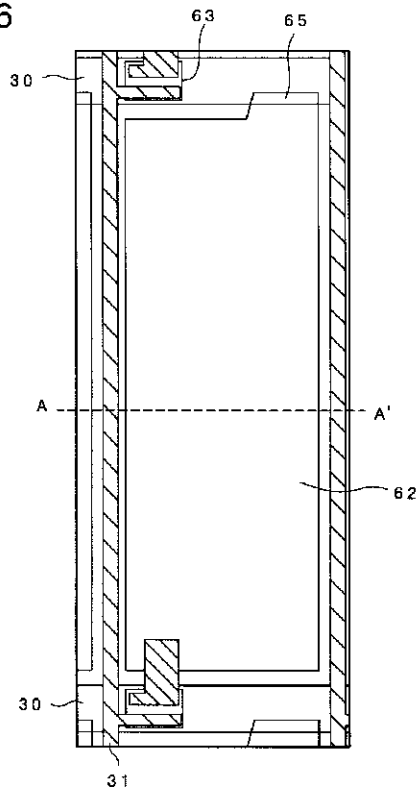
【図23】

図23



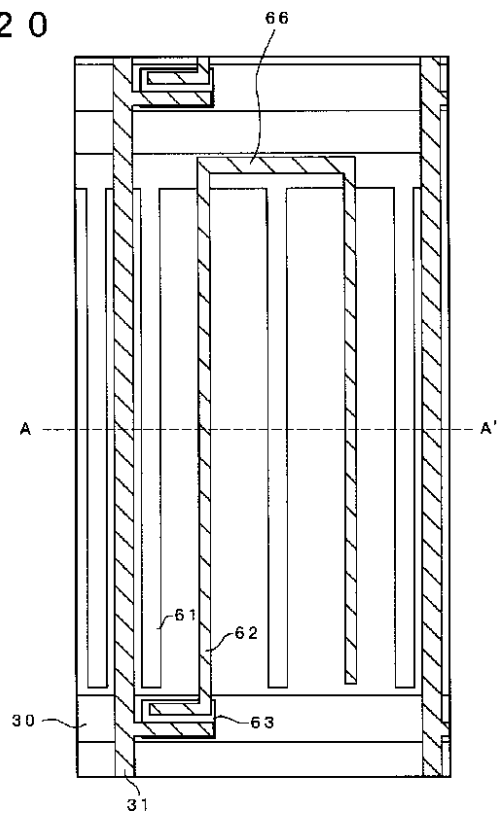
【図16】

図16



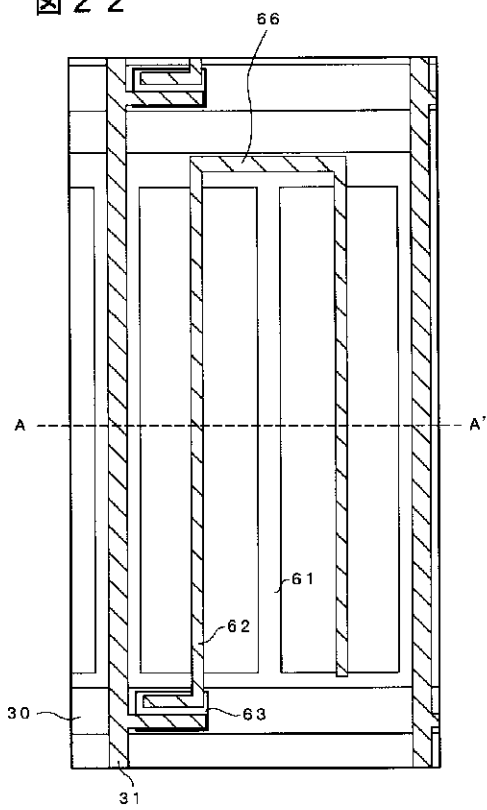
【図20】

図20



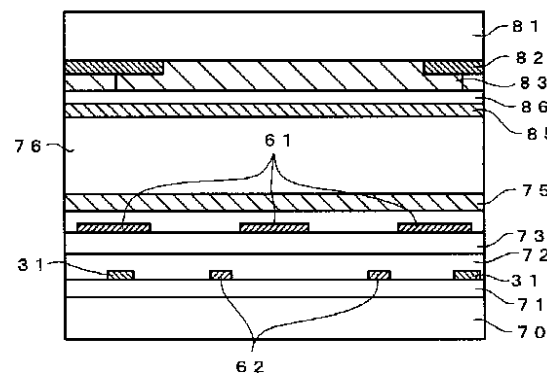
【図22】

図22



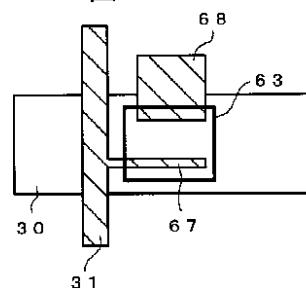
【図24】

図24



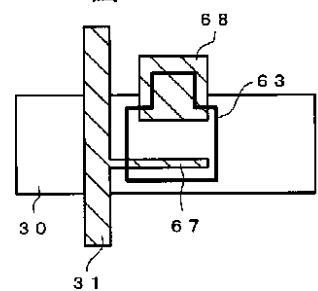
【図28】

図28



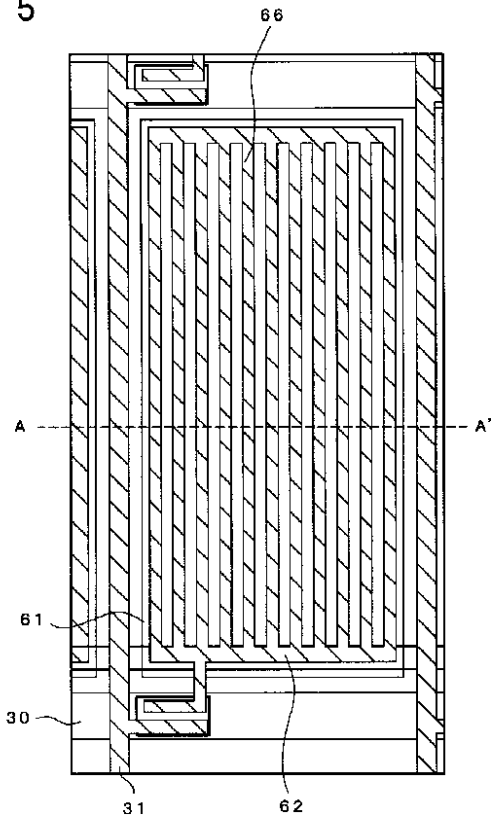
【図29】

図29



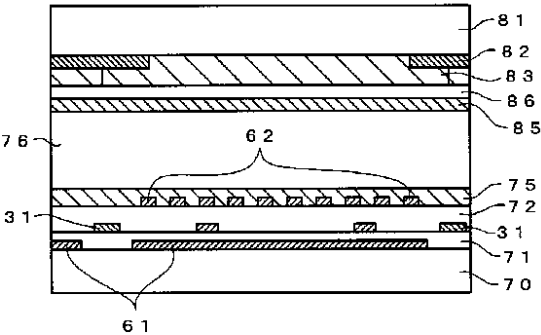
【図25】

図25



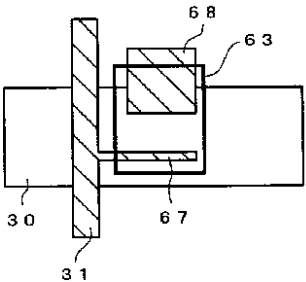
【図26】

図26



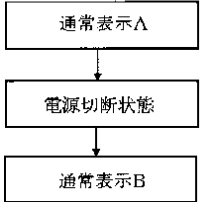
【図30】

図30



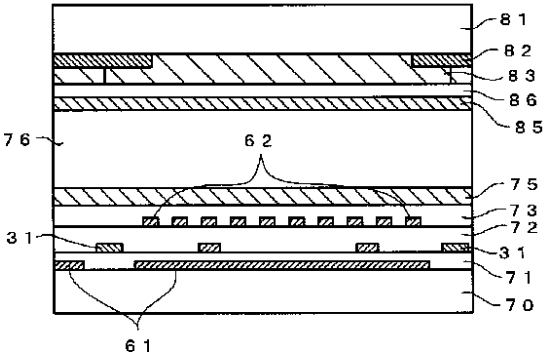
【図41】

図41



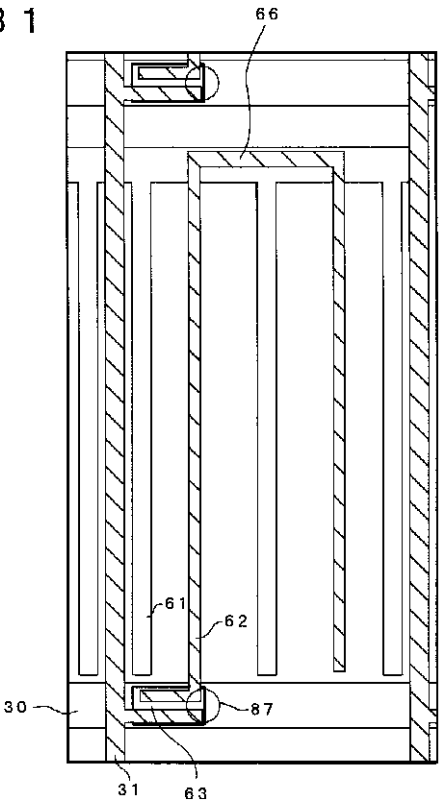
【図27】

図27



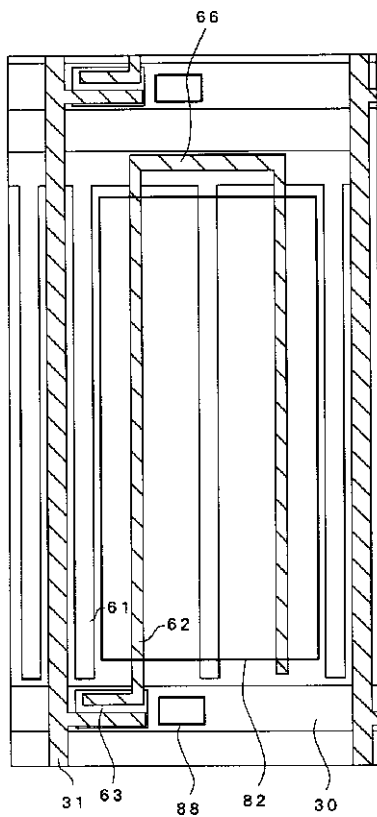
【図31】

図31



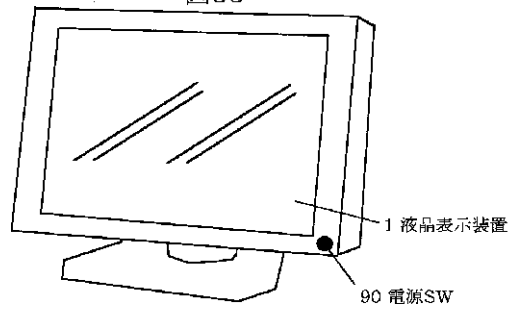
【図32】

図32



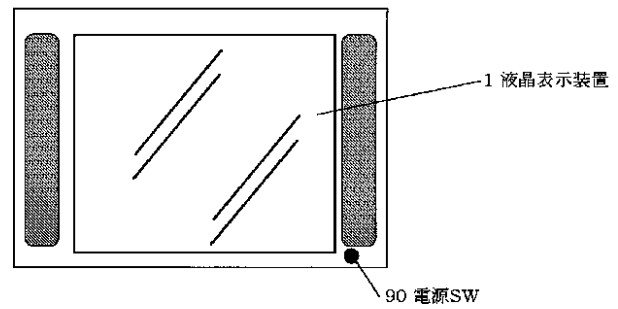
【図33】

図33



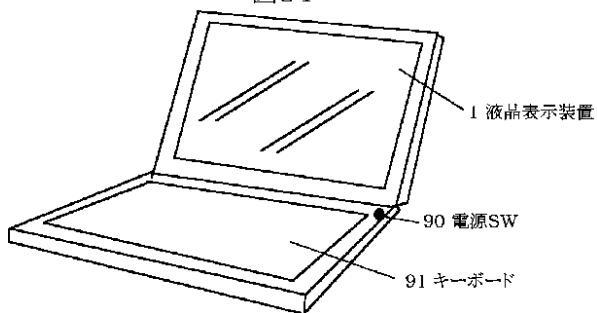
【図35】

図35



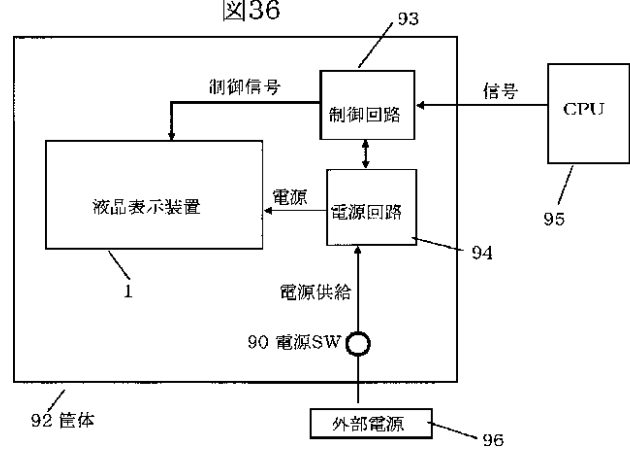
【図34】

図34



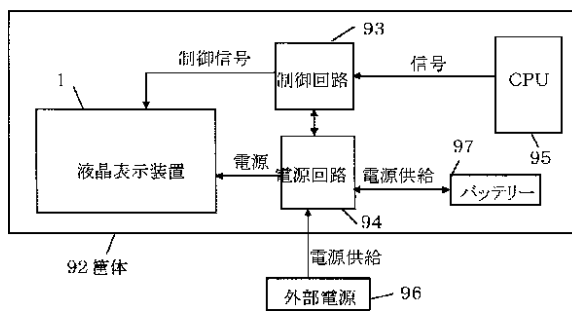
【図36】

図36

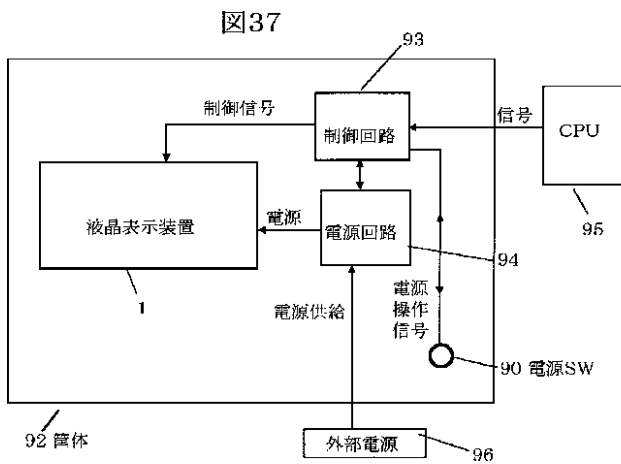


【図40】

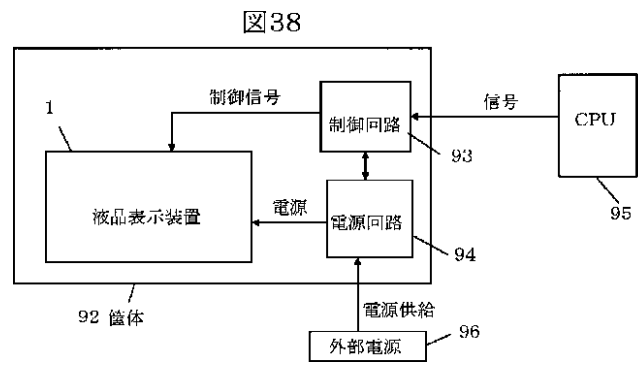
図40



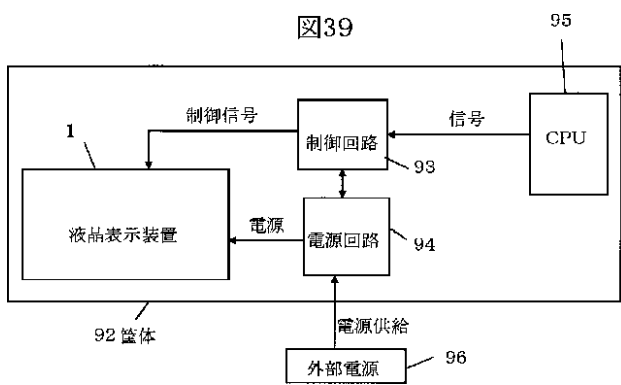
【図37】



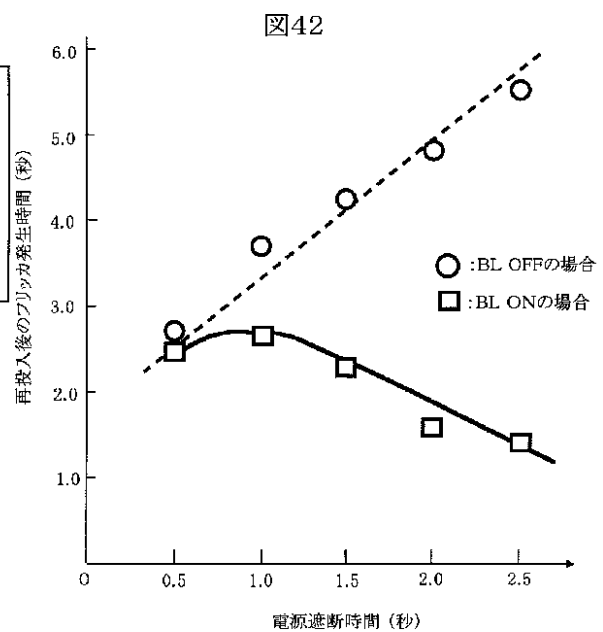
【図38】



【図39】



【図42】



フロントページの続き

(72)発明者 岩崎 伸一
千葉県茂原市早野3681番地 日立デバイス
エンジニアリング株式会社内
(72)発明者 北島 雅明
千葉県茂原市早野3300番地 株式会社日立
製作所ディスプレイグループ内

F ターム(参考) 2H093 NA16 NC09 NC59 ND10
5C006 AC22 AF67 BB16 BC03 BF36
BF42 FA23 FA38 GA02
5C080 AA10 BB05 DD06 FF11 JJ02
JJ03 JJ04 JJ06

专利名称(译)	液晶显示装置和使用液晶显示装置的图像显示装置		
公开(公告)号	JP2002169522A	公开(公告)日	2002-06-14
申请号	JP2000372923	申请日	2000-12-04
[标]申请(专利权)人(译)	株式会社日立制作所 日立器件工程株式会社		
申请(专利权)人(译)	株式会社日立制作所 日立设备工程有限公司		
[标]发明人	牧島達男 岩崎伸一 北島雅明		
发明人	牧島 達男 岩崎 伸一 北島 雅明		
IPC分类号	G02F1/133 G09G3/20 G09G3/36		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.611.E G09G3/20.612.G G09G3/20.670.D		
F-TERM分类号	2H093/NA16 2H093/NC09 2H093/NC59 2H093/ND10 5C006/AC22 5C006/AF67 5C006/BB16 5C006/BC03 5C006/BF36 5C006/BF42 5C006/FA23 5C006/FA38 5C006/GA02 5C080/AA10 5C080/BB05 5C080/DD06 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 2H093/NA80 2H093/NC34 2H093/NC64 2H193/ZA04 2H193/ZE31 2H193/ZJ14		
其他公开文献	JP3884229B2 JP2002169522A5		
外部链接	Espacenet		

摘要(译)

要解决的问题：实现一种液晶显示装置和图像显示装置，其在电源停止后再次接通电源时防止发生闪烁。 解决方案：液晶显示装置包括彼此面对布置的第一和第二基板，第一和第二基板之间的液晶层，一个基板上的有源元件和有源元件并且，通过有源元件的操作向其提供图像信号的像素电极，以及在像素电极和液晶层之间以及在一个或另一个基板上设置参考电极的取向膜并且在像素电极和参考电极之间产生电位差以显示液晶显示装置，当停止从外部向液晶显示装置供电时，像素电极的电位很快打开。

