

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001 - 281703

(P2001 - 281703A)

(43)公開日 平成13年10月10日(2001.10.10)

(51) Int. Cl ⁷	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/1368			G 0 2 F 1/1368	
	1/1343		1/1343	
G 0 9 F 9/30	338		G 0 9 F 9/30	338
	348			348 A
H 0 1 L 29/786			H 0 1 L 29/78	612 C

審査請求 未請求 請求項の数 11 O L (全 30数) 最終頁に続く

(21)出願番号 特願2001 - 17704(P2001 - 17704)

(22)出願日 平成13年1月25日(2001.1.25)

(31)優先権主張番号 特願2000 - 17636(P2000 - 17636)

(32)優先日 平成12年1月26日(2000.1.26)

(33)優先権主張国 日本(JP)

(71)出願人 000153878

株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地

(72)発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

(72)発明者 小山 潤

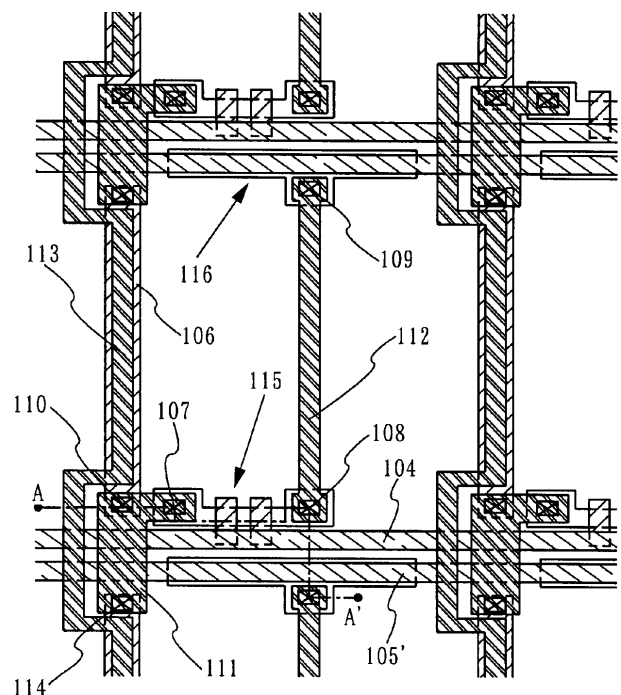
神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

(54)【発明の名称】 液晶表示装置およびその作製方法

(57)【要約】

【課題】 I P S方式のアクティブマトリクス型液晶表示装置の開口率を向上し、視野角が広く、かつ、鮮明で明るい画像表示を実現することを目的とする。

【解決手段】 画素部には半導体膜と第1の絶縁層上に形成されたゲート電極とを有するT F Tと、第2の絶縁層を介してゲート配線と交差する共通配線と、第2の絶縁層上に形成されていて画素部のT F Tに接続する画素電極と、共通配線の下方に形成され第2の絶縁層を介して重畳するように配置された信号配線とを有し、画素電極と共通配線とは基板面と平行な電界が生じるように配置され、信号配線と半導体膜とは第2の絶縁層上に形成された接続電極を介して接続した構造を備えた構造を有することを特徴とする。



【特許請求の範囲】

【請求項1】絶縁表面上に、島状半導体膜と、ゲート配線と、画素電極と、共通配線とが形成され、前記ゲート配線と信号配線とは、前記半導体膜上に形成された第1の絶縁層上に形成され、前記画素電極と共通電極とは、前記第1の絶縁層上に形成された第2の絶縁層上に形成され、かつ、前記画素電極と共通配線とは、前記一方の基板面と平行な電界が生じるように配置され、前記共通電極と信号配線とは、前記第2の絶縁層を介して重畳するように配置され、前記信号配線と半導体膜とは、前記第2の絶縁層上に形成された接続電極を介して接続していることを特徴とする液晶表示装置。

【請求項2】絶縁表面上に、半導体膜と第1の絶縁層上に形成されたゲート電極とを有する薄膜トランジスタと、ゲート配線と、第2の絶縁層を介して前記ゲート配線と交差する共通配線と、前記薄膜トランジスタに接続し、前記第2の絶縁層上に形成された画素電極と、前記共通配線の下方に形成され、前記第2の絶縁層を介して重畳するように配置された信号配線とを有し、前記画素電極と共通配線とは、前記一方の基板面と平行な電界が生じるように配置され、前記信号配線と半導体膜とは、前記第2の絶縁層上に形成された接続電極を介して接続していることを特徴とする液晶表示装置。

【請求項3】基板上に画素部と駆動回路とが設けられ、前記画素部には、半導体膜と第1の絶縁層上に形成されたゲート電極とを有する薄膜トランジスタと、ゲート配線と、第2の絶縁層を介して前記ゲート配線と交差する共通配線と、前記薄膜トランジスタに接続し、前記第2の絶縁層上に形成された画素電極と、前記共通配線の下方に形成され、前記第2の絶縁層を介して重畳するように配置された信号配線とを有し、前記画素電極と共通配線とは、前記一方の基板面と平行な電界が生じるように配置され、前記信号配線と半導体膜とは、前記第2の絶縁層上に形成された接続電極を介して接続した構造を備え、前記一对の基板の他方の基板には、前記画素部の各画素に対応した赤色、青色、緑色のカラーフィルター層と、前記薄膜トランジスタと重畳するように設けられ、赤色カラーフィルター層と青色カラーフィルター層とが積層された遮光膜と、前記他方の基板の前記カラーフィルター層が形成された反対側の面に形成された透光性導電膜とを有することを特徴とする液晶表示装置。

【請求項4】請求項2または請求項3において、前記薄膜トランジスタはマルチゲート構造であることを特徴とする液晶表示装置。

【請求項5】請求項1乃至請求項3のいずれか一において、前記第2の絶縁層は、シリコンを成分とする第1の絶縁膜と、有機樹脂材料から成る第2の絶縁層とから成ることを特徴とする液晶表示装置。

【請求項6】請求項1乃至請求項3のいずれか一において、前記第2の絶縁層は、酸化シリコンまたは窒化シリ

コンまたは酸化窒化シリコンから成る第1の絶縁層と、ポリイミドまたはアクリルまたはポリアミドまたはポリイミドアミドまたはベンゾシクロブテンから成る第2の絶縁層とから成ることを特徴とする液晶表示装置。

【請求項7】基板上に結晶質半導体膜から成る島状半導体膜を形成する第1の工程と、前記島状半導体膜上に第1の絶縁層を形成する第2の工程と、前記第1の絶縁層上にゲート配線と信号配線を形成する第3の工程と、前記ゲート配線及び信号配線に第2の絶縁層を形成する第4の工程と、前記第2の絶縁層上に画素電極と、共通配線と前記半導体膜とを接続する接続電極と、前記信号配線に重畳するように前記共通配線を形成する第5の工程とを有することを特徴とする液晶表示装置の作製方法。

【請求項8】基板上に結晶質半導体膜から成る島状半導体膜を形成する第1の工程と、前記島状半導体膜上に第1の絶縁層を形成する第2の工程と、前記第1の絶縁層上にゲート電極とゲート配線と信号配線を形成する第3の工程と、前記ゲート配線及び信号配線に第2の絶縁層を形成する第4の工程と、前記第2の絶縁層上に前記半導体膜に接続する画素電極と、前記共通配線と前記半導体膜とを接続する接続電極と、前記信号配線に重畳するように共通配線を形成する第5の工程とを有することを特徴とする液晶表示装置の作製方法。

【請求項9】基板上に結晶質半導体膜から成る島状半導体膜を形成する第1の工程と、前記島状半導体膜上に第1の絶縁層を形成する第2の工程と、前記第1の絶縁層上にゲート電極とゲート配線と信号配線を形成する第3の工程と、前記ゲート配線及び信号配線に第2の絶縁層を形成する第4の工程と、前記第2の絶縁層上に前記半導体膜に接続する画素電極と、前記共通配線と前記半導体膜とを接続する接続電極と、前記信号配線に重畳するように共通配線を形成する第5の工程と、前記一对の基板の他方の基板に、各画素に対応した赤色、青色、緑色のカラーフィルター層を形成する第6の工程と、少なくとも前記半導体膜と重畳するように、赤色カラーフィルター層と青色カラーフィルター層とを積層して遮光膜を形成する第7の工程と、前記他方の基板の前記カラーフィルター層が形成された反対側の面に透光性導電膜を形成する第8の工程とを有することを特徴とする液晶表示装置の作製方法。

【請求項10】請求項7乃至請求項9のいずれか一において、前記第2の絶縁層は、シリコンを成分とする第1の絶縁膜と、有機樹脂材料から成る第2の絶縁層とを形成することを特徴とする液晶表示装置の作製方法。

【請求項11】請求項7乃至請求項9のいずれか一において、前記第2の絶縁層は、酸化シリコンまたは窒化シリコンまたは酸化窒化シリコンから成る第1の絶縁層と、ポリイミドまたはアクリルまたはポリアミドまたはポリイミドアミドまたはベンゾシクロブテンから成る第

2の絶縁層とを形成することを特徴とする液晶表示装置の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はアクティブマトリクス型の液晶表示装置に関し、特にIPS(In-Plane Switching)方式(=横電界方式)のアクティブマトリクス型の液晶表示装置に関する。

【0002】

【従来の技術】薄膜トランジスタ(TFT)などの能動素子を用いたアクティブマトリクス型の液晶表示装置が知られている。アクティブマトリクス型の液晶表示装置は画素密度を高くすることが可能であり、小型軽量でしかも低消費電力であることから、CRTの代替品としてパーソナルコンピュータのモニタや液晶テレビなどの製品が開発されている。特に、TFTの活性層を多結晶シリコンに代表される結晶質半導体膜で形成する技術は、画素部のスイッチ用TFT(以下、画素TFTと記す)のみならず駆動回路を同一基板上に作り込むことを可能とし、液晶表示装置の小型軽量化に寄与する技術と位置付けられている。

【0003】液晶表示装置は一对の基板間に液晶を封入し、一方の基板の画素電極(個別電極)と他方の基板の対向電極(共通電極)との間に印加される基板面にほぼ垂直な電界により液晶分子を配向させている。しかし、このような液晶の駆動方法では基板面に対して垂直な方向なら見たときは正常な表示状態でも、斜めから見ると色調が変化し不鮮明になってしまうといった視野角が狭いという欠点があった。

【0004】この欠点を克服する方法としてIPS方式がある。この方式は画素電極と共通配線との両方を一方の基板に形成し電界を横方向に切換えることに特徴があり、液晶分子が立ち上がることなく基板面にほぼ平行な方向に配向を制御している。この動作原理により視野角を広げることが可能となっている。

【0005】図5は従来のIPS方式のアクティブマトリクス型液晶表示装置における画素構造の一例を示す。図5において301はゲート配線、302はTFTの半導体膜、303は共通配線、304と308は信号配線(ソース配線)、305は画素電極、307は対向電極、306は保持容量部である。

【0006】しかし、この画素構造では対向電極307と信号配線304、308との間に隙間があり、信号配線304、308上を含めてこの隙間の部分では画像信号に従って液晶を駆動することができないので光漏れの問題が発生する。これを防止するためにこの部分に遮光膜を形成する必要があるが、その結果画素部の開口率が低下してしまう。図5で示すような画素構造では、開口率はせいぜい30~40%程度を確保するのが限度であり、明るさを確保するためにはバックライトの輝度を高

くする必要がある。しかし、バックライトの輝度を高くすることは消費電力の増加をもたらすのみでなく、バックライト自体の寿命を短くしてしまう懸念がある。

【0007】

【発明が解決しようとする課題】IPS方式のアクティブマトリクス型液晶表示装置は視野角を広げることができるが、開口率が低くなってしまいうという欠点がある。本発明はこのような問題点を解決するための手段を提供し、IPS方式のアクティブマトリクス型液晶表示装置の開口率を向上し、視野角が広く、かつ、鮮明で明るい画像表示を実現することを目的とする。

【0008】

【課題を解決するための手段】画素部にIPS方式を用いたアクティブマトリクス型の液晶表示装置においてその開口率を向上させるために、絶縁表面上に島状半導体膜とゲート配線と画素電極と共通配線とが形成され、ゲート配線と信号配線とは、半導体膜上に形成されたゲート絶縁膜となる第1の絶縁層上に形成され、画素電極と共通電極とは第1の絶縁層上に形成された第2の絶縁層上に形成され、かつ、画素電極と共通配線とは、基板面と平行な電界が生じるように配置されていて、さらに、共通電極と信号配線とは第2の絶縁層を介して重畳するように配置され、信号配線と半導体膜とは、第2の絶縁層上に形成された接続電極を介して接続していることを特徴としている。

【0009】または、絶縁表面上に画素部と駆動回路とが設けられ、画素部には半導体膜と第1の絶縁層上に形成されたゲート電極とゲート配線とを有するTFTと、第2の絶縁層を介してゲート配線と交差する共通配線と、第2の絶縁層上に形成されていて画素部のTFTに接続する画素電極と、共通配線の下方に形成され第2の絶縁層を介して重畳するように配置された信号配線とを有し、画素電極と共通配線とは基板面と平行な電界が生じるように配置され、信号配線と半導体膜とは第2の絶縁層上に形成された接続電極を介して接続した構造を備えた構造を有することを特徴とする。さらに、カラーフィルターが形成される他方の基板には、画素部の各画素に対応した赤色、青色、緑色のカラーフィルター層と、画素部のTFTと重畳するように設けられ、赤色カラーフィルター層から成る遮光膜、または赤色カラーフィルター層と青色カラーフィルター層とが積層された遮光膜とを有することを特徴としている。

【0010】また、上記課題を解決するために本発明の液晶表示装置の作製方法は、基板上に結晶質半導体膜から成る島状半導体膜を形成する第1の工程と、島状半導体膜上に第1の絶縁層を形成する第2の工程と、第1の絶縁層上にゲート配線と信号配線を形成する第3の工程と、ゲート配線及び信号配線上に第2の絶縁層を形成する第4の工程と、第2の絶縁層上に画素電極と、共通配線と前記半導体膜とを接続する接続電極と、信号配線に

重畳するように共通配線を形成する第5の工程とを有することを特徴としている。

【0011】或いは、基板上に結晶質半導体膜から成る島状半導体膜を形成する第1の工程と、島状半導体膜上に第1の絶縁層を形成する第2の工程と、第1の絶縁層上にゲート電極とゲート配線と信号配線を形成する第3の工程と、ゲート配線及び信号配線上に第2の絶縁層を形成する第4の工程と、第2の絶縁層上に前記半導体膜に接続する画素電極と、共通配線と半導体膜とを接続する接続電極と、信号配線に重畳するように共通配線を形成する第5の工程と、一对の基板の他方の基板に、各画素に対応した赤色、青色、緑色のカラーフィルター層を形成する第6の工程と、少なくとも前記薄膜半導体膜と重畳するように、赤色カラーフィルター層と青色カラーフィルター層とを積層して遮光膜を形成する第7の工程と、他方の基板のカラーフィルター層が形成された反対側の面に透光性導電膜を形成する第8の工程とを有することを特徴としている。

【0012】

【発明の実施の形態】[実施形態1]IPS方式のアクティブマトリクス型液晶表示装置の画素部はpチャンネルまたはnチャンネル型TFTから成る画素TFT、画素電極及び保持容量、信号配線、共通配線などから構成される。本発明は特に信号配線と共通配線の形状に特徴がある。以下に本発明の画素部の構成を図1～3を用いて説明する。

【0013】図1は画素部のほぼ一画素分を示し、絶縁表面上に島状半導体膜101、102とゲート電極103、ゲート配線104、信号線106が形成されている様子を示す。基板は無アルカリガラス基板や石英基板等が好ましく、その他にプラスチック基板を使用することもできる。島状半導体膜101はTFTのチャンネル形成領域やソースまたはドレイン領域、LDD領域等を形成し、島状半導体膜102は保持容量を形成するために設ける。図示していないが、島状半導体膜101、102上及び少なくとも画素部を形成する基板には第1の絶縁膜(ゲート絶縁膜に相当する膜)が形成され、その上にゲート電極103が形成される。ゲート電極103はタンゲステン(W)、タンタル(Ta)、チタン(Ti)、モリブデン(Mo)から選ばれた元素または該元素を成分とする合金材料で形成する。または、多結晶シリコン膜や前記元素のシリサイド膜を組み合わせて形成しても良い。

【0014】ゲート配線104、容量配線105はゲート電極と同じ材料で形成しても良いが、上記材料はシート抵抗値が10⁴Ω以上の値であり、画面サイズが4インチクラスかそれ以上の液晶表示装置を作製する場合には必ずしも適切でない。画面サイズの大型化に伴って配線の長さが増大し、配線抵抗の影響による信号の遅延時間(配線遅延)を無視することができなくなる。例え

ば、13インチクラスでは対角線の長さが340mmとなり、18インチクラスでは460mmとなる。従って、ゲート配線104や容量配線105はシート抵抗値を低くするアルミニウム(Al)や銅(Cu)を主成分とする材料で形成することが望ましい。

【0015】ゲート配線104をゲート電極103と別な材料で形成する場合には、そのコンタクト部を図1で示すように島状半導体膜101の外側に設ける。Alはエレクトロマイグレーションなどでゲート絶縁膜中にしみ出すことがあるので、Alで形成するゲート配線を直接ゲート絶縁膜に接する形で島状半導体膜上に設けることは適切でない。ゲート電極とゲート配線のコンタクトはコンタクトホールを必要とせず、ゲート電極とゲート配線とを重ね合わせて形成する。また、信号配線106はゲート配線104と同時に形成する。

【0016】その後、層間絶縁膜(図示せず)を形成し、図2に示すように画素電極112、共通配線113、接続電極111を形成する。画素電極112は層間絶縁膜に設けたコンタクト部108で島状半導体膜101と接続する。島状半導体膜101のこの部分はn型またはp型の不純物元素が添加されたソースまたはドレインが形成されている領域である。画素電極112の一方の端は、コンタクト部109で島状半導体膜102と接続している。

【0017】接続電極111は、信号配線106と島状半導体膜101とをコンタクト部110、107を介して接続し、コンタクト部114で隣接する画素の信号配線と接続している。即ち、本発明の実施形態によれば、信号配線はゲート配線と同じ層上に形成され、その交差は層間絶縁膜上に形成された接続電極を用いて行っている。

【0018】図2に示すように、共通配線113は層間絶縁膜上に形成され、かつ、信号配線106上に重なるように形成する。このように、共通配線と信号配線を重ね合わせて形成することにより、透過型で形成されるIPS方式のアクティブマトリクス型液晶表示装置の画素部の開口率を向上させることが可能となる。

【0019】こうして、画素TFT115と保持容量116が形成される。図2において画素TFT115は一对のソースまたはドレイン間に二つのゲート電極が設けられたマルチゲートの構造を示しているが、ゲート電極の数に限定はなくシングルゲートの構造で形成しても良い。保持容量116は半導体膜102とゲート絶縁膜と同層の絶縁膜(図示せず)と容量配線105で形成される。図3は画素部の回路図を示し、点線117で囲まれた部分がほぼ一画素分に相当する。

【0020】画素電極の幅は基板面と平行な方向への電界の広がりを考慮して3μm以上であることが望ましい。また、画素電極と共通配線との間隔は10～20μm、好ましくは12～14μmとする。図1と2では本

発明のIPS方式の基本的な画素構成を示したが、画素のサイズや画像の視認性を考慮して画素電極と共通配線を楕円形に形成しても良い。

【0021】図17はその一例を示し、画素TF T 1015、保持容量1016、画素電極1012、共通電極1013が設けられている。画素TF T 1015は島状半導体膜1001、ゲート電極1003などから構成され、コンタクト部1008で画素電極1012と接続している。信号配線1006はコンタクト部1010で接続配線1011と接続し、接続配線1011はコンタクト部1007で島状半導体膜1001と、コンタクト部1014で隣接する画素の信号配線と接続している。共通配線1013と層間絶縁膜を介して信号配線1006と重なるように設けられている。

【0022】図2または図17で示す画素構造は信号配線と共通配線とを層間絶縁膜を介して重畳させて設けることにより、これらの配線部分を覆う遮光膜を必ずしも必要としないで済む。従って、透過型の液晶表示装置において透過光が遮られる面積を減少させることができ、開口率を50~60%と向上させることができる。その結果、従来のIPS方式の液晶表示装置と比較してバックライトが消費する電力化を低減させることができる。

【0023】[実施形態2] IPS方式では白色調を含めた視野角を広げる方法として、くの字型の電極構造が知られている。図4は実施形態1において説明した本発明の画素構造で、くの字型の電極構造を採用した例を示す。画素は画素TF T 215、保持容量216、画素電極212、共通電極213が設けられている。画素TF T 215は島状半導体膜201、ゲート電極203などから構成され、コンタクト部208で画素電極212と接続している。信号配線206はコンタクト部210で接続配線211と接続し、接続配線211はコンタクト部207で島状半導体膜201と、コンタクト部214で隣接する画素の信号配線と接続している。共通配線213と層間絶縁膜を介して信号配線206と重なるように設けられ、くの字型の角度は120~160度、好ましくは150度で形成する。くの字型の電極構造を採用すると、視野角がさらに広がり、基板面と垂直な方向はもとより、60~50度程度傾けた角度から見ても色調の変化がなく、コントラストの低下も少なくすることができる。

【0024】[実施形態3]図18(A)はIPS方式の画素構造の他の一例を示す。画素は画素TF T 1115、保持容量1116、画素電極1112、共通電極1113が設けられている。画素TF T 1115は島状半導体膜1101、ゲート電極1103などから構成され、コンタクト部1108で画素電極1112と接続している。信号配線1106はコンタクト部1110で接続配線1111と接続し、接続配線1111はコンタクト部1107で島状半導体膜1101と、コンタクト部

1114で隣接する画素の信号配線と接続している。共通配線1113と層間絶縁膜を介して信号配線1106と重なるように設けられている。このような画素の回路図を図18(B)に示す。

【0025】保持容量1116を形成する半導体膜1102はボロンに代表されるp型の不純物元素が添加されて一方の電極を形成し、ゲート絶縁膜と同じ層で形成された絶縁膜を介して隣接する画素のゲート配線1105を他方の電極としている。半導体膜1102をp型の導電型とするのは、ゲート配線1105がLowレベルのときにON状態とするためである。

【0026】図18(A)のような画素構造とすると容量配線を省略することが可能となり、画素部及び駆動回路を含めた回路構成を簡略化することができると共に、開口率をさらに向上させることができる。

【0027】

【実施例】[実施例1]本実施例ではIPS方式の画素構造で形成した画素部と、画素部の周辺に設ける駆動回路のTF Tを同時に作製する方法について詳細に説明する。

【0028】本実施例で示すTF Tのゲート電極は2層構造を有している。その第1層目と第2層目とはいずれもTa、W、Ti、Moから選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料で形成する。或いは、第1層目をリン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜で形成しても良い。好ましい組み合わせの一例は、第1層目をTaまたは窒化タンタル(TaN)、若しくは窒化タンタル(TaN)とTaの積層構造で形成し、第2層目をWで形成する。

【0029】ゲート電極の第1層目に半導体膜を用いる場合も同様であるが、Ta、W、Ti、Moから選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料は面積抵抗が約10以上の値であり、画面サイズが4インチクラスかそれ以上の表示装置を作製する場合には必ずしも適していない。画面サイズの大型化に伴って基板面上において配線を引回す長さが必然的に増大し、配線抵抗の影響による信号の遅延時間の問題を無視することができなくなるためである。また、配線抵抗を下げる目的で配線の幅を太くすると、画素部以外の周辺の領域の面積が増大し表示装置の外観を著しく損ねることになる。

【0030】まず、図6(A)に示すように、コーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスから成る基板501上に酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜502を形成する。例えば、プラズマCVD法でSiH₄、NH₃、N₂Oから作製される酸化窒化シリコン膜502aを10~200n

m (好ましくは50~100nm)形成し、同様にSiH₄、N₂Oから作製される酸化窒化シリコン膜502bを50~200nm (好ましくは100~150nm)の厚さに積層形成する。本実施例では下地膜502を2層構造として示したが、前記絶縁膜の単層膜または2層以上積層させた構造で形成しても良い。

【0031】この絶縁表面上に形成する島状半導体層503~506及び563は、非晶質構造を有する半導体膜をレーザー結晶化法や熱結晶化法を用いて作製した結晶質半導体膜で形成する。この島状半導体層503~506及び563の厚さは25~80nm (好ましくは30~60nm)の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム(SiGe)合金などで形成すると良い。

【0032】レーザー結晶化法で結晶質半導体膜を作製するには、パルス発振型または連続発光型のエキシマレーザーに代表されるガスレーザーやYAGレーザー、YVO₄レーザーに代表される固体レーザーを用いる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状または長方形または矩形に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数30Hzとし、レーザーエネルギー密度を100~400mJ/cm²(代表的には200~300mJ/cm²)とする。また、YAGレーザーを用いる場合にはその第2高調波を用いパルス発振周波数1~10kHzとし、レーザーエネルギー密度を300~600mJ/cm²(代表的には350~500mJ/cm²)とすると良い。そして幅100~1000μm、例えば400μmで線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率(オーバーラップ率)を80~98%として行う。

【0033】ゲート絶縁膜507はプラズマCVD法またはスパッタ法を用い、厚さを40~150nmとしてシリコンを含む絶縁膜で形成する。本実施例では、120nmの厚さで酸化窒化シリコン膜で形成する。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。例えば、酸化シリコン膜を用いる場合には、プラズマCVD法でTEOS(Tetraethyl Ortho Silicate)とO₂とを混合し、反応圧力40Pa、基板温度300~400とし、高周波(13.56MHz)電力密度0.5~0.8W/cm²で放電させて形成することができる。このようにして作製される酸化シリコン膜は、その後400~500の熱アニールによりゲート絶縁膜として良好な特性を得ることができる。

【0034】そして、ゲート絶縁膜507上にゲート電極を形成するための第1の導電膜508と第2の導電膜

509とを形成する。本実施例では、第1の導電膜508をTaで50~100nmの厚さに形成し、第2の導電膜をWで100~300nmの厚さに形成する。

【0035】Ta膜はスパッタ法で形成し、TaのターゲットをArでスパッタする。この場合、Arに適量のXeやKrを加えると、Ta膜の内部応力を緩和して膜の剥離を防止することができる。また、相のTa膜の抵抗率は20μcm程度でありゲート電極に使用することができるが、相のTa膜の抵抗率は180μcm程度でありゲート電極とするには不向きである。相のTa膜を形成するために、Taの相に近い結晶構造をもつ窒化タンタルを10~50nm程度の厚さでTaの下地に形成しておくこと相のTa膜を容易に得ることができる。

【0036】W膜を形成する場合には、Wをターゲットとしたスパッタ法で形成する。その他に6フッ化タンゲステン(WF₆)を用いる熱CVD法で形成することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は20μcm以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることができるが、W中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。このことより、スパッタ法による場合、純度99.9999%のWターゲットを用い、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率9~20μcmを実現することができる。

【0037】次に図6(B)に示すように、レジストによるマスク510~513を形成し、ゲート電極を形成するための第1のエッチング処理を行う。エッチング方法に限定はないが、好適にはICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッチング法を用い、エッチング用ガスにCF₄とCl₂を混合し、0.5~2Pa、好ましくは1Paの圧力でコイル型の電極に500WのRF(13.56MHz)電力を投入してプラズマを生成して行う。基板側(試料ステージ)にも100WのRF(13.56MHz)電力を投入し、実質的に負の自己バイアス電圧を印加する。CF₄とCl₂を混合した場合にはW膜及びTa膜とも同程度にエッチングされる。

【0038】上記エッチング条件では、レジストによるマスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第1の導電層及び第2の導電層の端部がテーパ形状となる。テーパ部の角度は15~45°となる。ゲート絶縁膜上に残渣を残すことなくエッチングするためには、10~20%程度の割合でエッチング時間を増加させると良い。W膜に対する酸化窒化シリコン膜の選択比は2~4(代表的には3)であるので、オーバーエッチング処理により、酸化窒化シリコン膜が露出した面は20~50nm程度エツ

チングされることになる。こうして、第1のエッチング処理により第1の導電層と第2の導電層から成る第1の形状の導電層515~518(第1の導電層515a~518aと第2の導電層515b~518b)を形成する。514はゲート絶縁膜であり、第1の形状の導電層515~518で覆われない領域は20~50nm程度エッチングされ薄くなった領域が形成される。

【0039】そして、第1のドーピング処理を行いn型を付与する不純物元素を添加する。ドーピングの方法はイオンドープ法若しくはイオン注入法で行えば良い。イオンドープ法の条件はドーピング量を $1 \times 10^{13} \sim 5 \times 10^{14}$ atoms/cm²とし、加速電圧を60~100keVとして行う。n型を付与する不純物元素として15族に属する元素、典型的にはリン(P)または砒素(As)を用いるが、ここではリン(P)を用いる。この場合、導電層515~518がn型を付与する不純物元素に対するマスクとなり、自己整合的に第1の不純物領域519~523が形成される。第1の不純物領域519~523には $1 \times 10^{20} \sim 1 \times 10^{21}$ atoms/cm³の濃度範囲でn型を付与する不純物元素を添加する。

【0040】次に図6(C)に示すように第2のエッチング処理を行う。同様にICPEッチング法を用い、エッチングガスにCF₄とCl₂とO₂を混合して、1Paの圧力でコイル型の電極に500WのRF電力(13.56MHz)を供給し、プラズマを生成して行う。基板側(試料ステージ)には50WのRF(13.56MHz)電力を投入し、第1のエッチング処理に比べ低い自己バイアス電圧を印加する。このような条件によりW膜を異方性エッチングし、かつ、それより遅いエッチング速度で第1の導電層であるTaを異方性エッチングして第2の形状の導電層529~532(第1の導電層529a~532aと第2の導電層529b~532b)を形成する。528はゲート絶縁膜であり、第2の形状の導電層529~532で覆われない領域はさらに20~50nm程度エッチングされ薄くなった領域が形成される。

【0041】W膜やTa膜のCF₄とCl₂の混合ガスによるエッチング反応は、生成されるラジカルまたはイオン種と反応生成物の蒸気圧から推測することができる。WとTaのフッ化物と塩化物の蒸気圧を比較すると、Wのフッ化物であるWF₆が極端に高く、その他のWCl₅、TaF₅、TaCl₅は同程度である。従って、CF₄とCl₂の混合ガスではW膜及びTa膜共にエッチングされる。しかし、この混合ガスに適量のO₂を添加するとCF₄とO₂が反応してCOとFになり、FラジカルまたはFイオンが多量に発生する。その結果、フッ化物の蒸気圧が高いW膜のエッチング速度が増大する。一方、TaはFが増大しても相対的にエッチング速度の増加は少ない。また、TaはWに比較して酸化されやすいので、O₂を添加することでTaの表面が酸化される。

Taの酸化物はフッ素や塩素と反応しないためさらにT

a膜のエッチング速度は低下する。従って、W膜とTa膜とのエッチング速度に差を作ることが可能となりW膜のエッチング速度をTa膜よりも大きくすることが可能となる。

【0042】そして、図7(A)に示すように第2のドーピング処理を行う。この場合、第1のドーピング処理よりもドーピング量を下げ高加速電圧の条件でn型を付与する不純物元素をドーピングする。例えば、加速電圧を70~120keVとし、 1×10^{13} atoms/cm²のドーピング量で行い、図6(B)で島状半導体層に形成された第1の不純物領域の内側に新たな不純物領域を形成する。ドーピングは、第2の形状の導電層529~532を不純物元素に対するマスクとして用い、第1の導電層529a~532aの下側の領域にも不純物元素が添加されるようにドーピングする。こうして、第1の導電層529a~532aと重なる第3の不純物領域537~540と、第1の不純物領域と第3の不純物領域との間の第2の不純物領域533~536とを形成する。n型を付与する不純物元素は、第2の不純物領域で $1 \times 10^{17} \sim 1 \times 10^{19}$ atoms/cm³の濃度となるようにし、第3の不純物領域で $1 \times 10^{16} \sim 1 \times 10^{18}$ atoms/cm³の濃度となるようにする。

【0043】そして図7(B)に示すように、pチャネル型TFETを形成する島状半導体層504に一導電型とは逆の導電型の第4の不純物領域544~546を形成する。第2の導電層530を不純物元素に対するマスクとして用い、自己整合的に不純物領域を形成する。このとき、nチャネル型TFETを形成する島状半導体層503、505、506はレジストのマスク541~543で全面を被覆しておく。不純物領域544~546にはそれぞれ異なる濃度でリンが添加されているが、ジボラン(B₂H₆)を用いたイオンドープ法で形成し、そのいずれの領域においても不純物濃度を $2 \times 10^{20} \sim 2 \times 10^{21}$ atoms/cm³となるようにする。

【0044】以上までの工程でそれぞれの島状半導体層に不純物領域が形成される。第2の形状の導電層529~532がゲート電極として機能する。

【0045】こうして導電型の制御を目的として図7(C)に示すように、それぞれの島状半導体層に添加された不純物元素を活性化する工程を行う。この工程はファーネスアニール炉を用いる熱アニール法で行う。その他に、レーザーアニール法、またはラピッドサーマルアニール法(RTA法)を適用することができる。熱アニール法では酸素濃度が1ppm以下、好ましくは0.1ppm以下の窒素雰囲気中で400~700℃、代表的には500~600℃で行うものであり、本実施例では500℃で4時間の熱処理を行う。

【0046】レーザーアニール法では波長400nm以下のエキシマレーザー光やYAGレーザー、YVO₄レーザーの第2高調波(532nm)を用いる。活性化の

条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数30Hzとし、レーザーエネルギー密度を100~300mJ/cm²とする。また、YAGレーザーを用いる場合にはその第2高調波を用いパルス発振周波数1~10kHzとし、レーザーエネルギー密度を200~400mJ/cm²とすると良い。そして幅100~1000μm、例えば400μmで線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率(オーバーラップ率)を80~98%として行う。

【0047】さらに、3~100%の水素を含む雰囲気中で、300~450 で1~12時間の熱処理を行い、島状半導体層を水素化する工程を行う。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。

【0048】活性化および水素化処理の後、ゲート配線、信号配線、容量配線を低抵抗の導電性材料で形成する。低抵抗の導電性材料はAlやCuを主成分とするものであり、このような材料でゲート配線を形成する。本実施例ではAlを用いる例を示し、Tiを0.1~2重量%含むAl膜を低抵抗導電層として全面に形成する(図示せず)。厚さは200~400nm(好ましくは250~350nm)で形成する。そして、所定のレジストパターンを形成し、エッチング処理して、ゲート配線547、549、信号配線548、容量配線550を形成する。これらの配線のエッチング処理は、リン酸系のエッチング溶液によるウエットエッチングで行うと、下地との選択加工性を保って形成することができる。

【0049】Cuをゲート配線に使用する場合には、密着性を高めるために下地に窒化Ta膜を50~200nmの厚さに形成しておく。Cuはスパッタ法やメッキ法で200~500nmの厚さに形成しエッチング処理により配線を形成する。Cu配線はAl配線に比べエレクトロマイグレーションの耐性が高く配線の微細化が可能となる。

【0050】図8において、第1の層間絶縁膜551は酸化窒化シリコン膜から100~200nmの厚さで形成する。その上に有機絶縁物材料から成る第2の層間絶縁膜552を形成する。第2の層間絶縁膜552は1.0~2.0μmの平均膜厚で形成する。有機絶縁物材料としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB(ベンゾシクロブテン)等を使用することができる。例えば、基板に塗布後、熱重合するタイプのポリイミドを用いる場合には、クリーンオープンで300 で焼成して形成する。また、アクリルを用いる場合には、2液性のものを用い、主材と硬化剤を混合した後、スピナーを用いて基板全面に塗布した後、ホットプレートで80 で60秒の予備加熱を行い、さらに

クリーンオープンで250 で60分焼成して形成することができる。

【0051】そして、駆動回路406において島状半導体層のソース領域とコンタクトを形成するソース配線553~555、ドレイン領域とコンタクトを形成するドレイン配線556~558を形成する。また、画素部407においては、共通配線559、画素電極561、容量配線562、接続電極560を形成する。この接続電極560により信号配線548は画素TFT404と電気的な接続が形成される。これら第2の層間絶縁膜552上に形成する配線は、例えば、図14(C)に示すように50~200nmのTi膜768a、100~300nmのAl膜768b、50~200nmのスズ(Sn)膜またはTi膜で形成する。このような構成で形成されたソース配線553~555、ドレイン配線556~558、画素電極561は、第2の層間絶縁膜に形成されたコンタクトホールを介して、TFTのソースまたはドレイン領域765とTi膜768aで接触を形成し、Alと半導体が直接接して反応することを防ぎ、コンタクト部分の信頼性を高めている。

【0052】以上の様にして、nチャネル型TFT401、pチャネル型TFT402、nチャネル型TFT403を有する駆動回路406と、画素TFT404、保持容量405とを有する画素部407を同一基板上に形成することができる。本明細書中ではこのような基板を便宜上アクティブマトリクス基板と呼ぶ。

【0053】駆動回路406のnチャネル型TFT401はチャネル形成領域563、ゲート電極を形成する第2の形状の導電層529と重なる第3の不純物領域537(Gate Overlapped Drain: GOLD領域)、ゲート電極の外側に形成される第2の不純物領域533(Lightly Doped Drain: LDD領域)とソース領域またはドレイン領域として機能する第1の不純物領域519を有している。pチャネル型TFT402にはチャネル形成領域564、ゲート電極を形成する第2の形状の導電層530と重なる第4の不純物領域546、ゲート電極の外側に形成される第4の不純物領域545、ソース領域またはドレイン領域として機能する第4の不純物領域544を有している。nチャネル型TFT403にはチャネル形成領域565、ゲート電極を形成する第2の形状の導電層531と重なる第3の不純物領域539(GOLD領域)、ゲート電極の外側に形成される第2の不純物領域535(LDD領域)とソース領域またはドレイン領域として機能する第1の不純物領域521を有している。

【0054】画素部の画素TFT404にはチャネル形成領域566、ゲート電極を形成する第2の形状の導電層532と重なる第3の不純物領域540(GOLD領域)、ゲート電極の外側に形成される第2の不純物領域536(LDD領域)とソース領域またはドレイン領域

として機能する第1の不純物領域522を有している。また、保持容量405の一方の電極として機能する半導体層523には第1の不純物領域と同じ濃度でn型を付与する不純物元素が添加されており、容量配線550とその間の絶縁層(ゲート絶縁膜と同じ層)とで保持容量を形成している。但し、図8で示す保持容量405は隣接する画素の保持容量を示している。

【0055】本実施例で作製するアクティブマトリクス基板の画素部の上面図は、図8のA-A'は、図2で示すA-A'線に対応している。即ち、図8で示す共通配線559、信号配線548、接続配線560、画素電極561、ゲート配線549、容量配線550は図2で示す共通配線113、信号配線106、接続電極111、画素電極112、ゲート配線104、容量配線105'に対応している。

【0056】このように、本発明のIPS方式の画素構造を有するアクティブマトリクス基板は、信号配線と共通電極を異なる層で形成し、図2で示すような画素構造とすることにより開口率を向上させることができる。また、ゲート配線を低抵抗導電材料で形成することにより、配線抵抗を十分低減でき、画素部(画面サイズ)が4インチクラス以上の表示装置に適用することができる。画素部の電極の構成は実施形態1または実施形態2のいずれの形態も適用することができる。

【0057】[実施例2]本実施例では実施例1で作製したアクティブマトリクス基板から、アクティブマトリクス型液晶表示装置を作製する工程を説明する。図9はアクティブマトリクス基板と対向基板569とを貼り合わせた状態を示している。最初に、図8の状態のアクティブマトリクス基板上に配向膜567を形成しラビング処理を行う。対向基板569にはカラーフィルター層570、571、オーバーコート層573、配向膜574を形成する。カラーフィルター層はTF Tの上方で赤色のカラーフィルター層570と青色のカラーフィルター層571とを重ねて形成し遮光膜を兼ねる構成とする。また、接続電極に合わせて赤色のカラーフィルター層570、青色のカラーフィルター層571、緑色のカラーフィルター層572とを重ね合わせてスペーサを形成する。各色のカラーフィルターはアクリル樹脂に顔料を混合したもので1~3 μ mの厚さで形成する。これは感光性材料を用い、マスクを用いて所定のパターンに形成することができる。スペーサの高さはオーバーコート層の厚さ1~4 μ mを考慮することにより2~7 μ m、好ましくは4~6 μ mとすることができ、この高さによりアクティブマトリクス基板と対向基板とを貼り合わせた時のギャップを形成する。オーバーコート層は光硬化型または熱硬化型の有機樹脂材料で形成し、例えば、ポリイミドやアクリル樹脂などを用いる。スペーサの配置は任意に決定すれば良いが、例えば図9で示すように接続配線上にその位置を合わせて形成すると良い。その後、ア

クティブマトリクス基板と対向基板とを貼り合わせる。

【0058】図12はアクティブマトリクス基板と対向基板とを貼り合わせる様子を模式的に示す。アクティブマトリクス基板650は、画素部653、走査線側駆動回路652、信号線側駆動回路651、外部入力端子654、外部入力端子から各回路の入力部までを接続する配線659などが形成されている。対向基板655にはアクティブマトリクス基板650の画素部及び駆動回路が形成されている領域に対応してカラーフィルター層656が形成されている。このようなアクティブマトリクス基板650と対向基板655とはシール材657を介して貼り合わせ、液晶を注入してシール材657の内側に液晶層658を設ける。さらに、アクティブマトリクス基板650の外部入力端子654にはFPC(フレキシブルプリント配線板:Flexible Printed Circuit)660を貼り付ける。FPC660の接着強度を高めるために補強板659を設けても良い。

【0059】図9の画素部におけるA-A'の切断線は図2で示す画素部の上面図のA-A'線に対応している。画素TF Tの上面には対向基板側に赤色のカラーフィルターと青色のカラーフィルターとが積層して形成されこれを遮光膜として用いている。

【0060】図11はこのようにして作製されたアクティブマトリクス基板を正面から見た図を示す。図11(A)で示す上面図は、画素部、駆動回路、FPC(フレキシブルプリント配線板:Flexible Printed Circuit)を貼り付ける外部入力端子712、外部入力端子712と各回路の入力部までを接続する配線714などが形成されたアクティブマトリクス基板710と、カラーフィルターなどが形成された対向基板711とがシール材713を介して貼り合わされている。

【0061】走査線側駆動回路716と信号線側駆動回路715の上面には対向基板側に赤色カラーフィルターまたは赤色と青色のカラーフィルターを積層させた遮光膜718が形成されている。また、画素部717上の対向基板側に形成されたカラーフィルター719は赤色(R)、緑色(G)、青色(B)の各色のカラーフィルター層が各画素に対応して設けられている。その画素の一部を拡大した模式図を図11(B)に示す。実際の表示に際しては、赤色(R)カラーフィルター層701、緑色(G)カラーフィルター層703、青色(B)カラーフィルター層702の3色で一画素を形成するが、これら各色のカラーフィルターの配列は任意なものとする。各画素のTF Tが形成されている領域705、柱状スペーサ706が形成される領域には遮光膜704として、赤色(R)カラーフィルター、または赤色(R)カラーフィルター層と青色(B)カラーフィルター層とを積層して形成している。

【0062】図11(B)で示すB-B'線の沿ったカラーフィルターの配列を持つ画素部の断面構造を図10

に示す。赤(R)画素626、青(B)画素627、緑(G)画素628が形成されている。アクティブマトリクス基板側では基板601上に下地膜602、ゲート絶縁膜603、信号配線604~607、層間絶縁膜609、画素電極611、613、615、共通配線610、612、614、616、配向膜624が形成されている。対向基板617側には、赤色(R)カラーフィルター618、青色(B)カラーフィルター619、緑色(G)カラーフィルター620が順次形成されその上にオーバーコート層621、配向膜622が形成されている。そして、その間に液晶層623が形成されている。隣接する画素間は、信号配線と共通配線が重畳して形成され、遮光部625を形成している。

【0063】図13は外部入力端子部の構成を示す図である。外部入力端子はアクティブマトリクス基板側に形成され、層間容量や配線抵抗を低減し、断線による不良を防止するために層間絶縁膜750を介して信号配線751と共通配線752と同じ層で形成する。外部入力端子にはベース樹脂753と配線754から成るFPCが異方性導電性樹脂755で貼り合わされている。さらに補強板756で機械的強度を高めている。

【0064】図14(A)はその詳細図を示し、図11で示す外部入力端子712のC-C'線に対する断面図を示している。アクティブマトリクス基板側に設けられる外部入力端子が信号配線と同じ層で形成される配線757と共通配線と同じ層で形成される配線760とから形成されている。勿論、これは端子部の構成を示す一例であり、どちらか一方の配線のみで形成しても良い。例えば、信号配線と同じ層で形成される配線757で形成する場合にはその上に形成されている層間絶縁膜を除去する必要がある。共通配線と同じ層で形成される配線760は実施例1で示す構成に従えば、Ti膜760a、Al膜760b、Sn膜760cの3層構造で形成されている。FPCはベースフィルム761と配線762から形成され、配線762と共通配線と同じ層で形成される配線760とは、熱硬化型の接着剤764とその中に分散している導電性粒子763とから成る異方性導電性接着剤で貼り合わされ、電気的な接続構造を形成している。

【0065】一方、図14(B)は図11(A)で示す外部入力端子712のD-D'線に対する断面図を示している。導電性粒子763の外径は配線760のピッチよりも小さく、接着剤764中に分散する量を適当なものとする隣接する配線と短絡することなく対応するFPC側の配線と電気的な接続を形成することができる。

【0066】以上のようにして作製されるIPS方式を用いたアクティブマトリクス型の液晶表示装置は各種電子機器の表示装置として用いることができる。

【0067】[実施例3]本実施例では、アクティブマト

リクス基板のTFT構造が異なる他の例を図15を用いて説明する。

【0068】図15に示すアクティブマトリクス基板は、第1のpチャンネル型TFT850と第1のnチャンネル型TFT851を有するロジック回路部855と第2のnチャンネル型TFT852から成るサンプリング回路部856とを有する駆動回路857と、画素TFT853と保持容量854を有する画素部858とが形成されている。駆動回路857のロジック回路部855のTFTはシフトレジスタ回路やバッファ回路などを形成し、サンプリング回路856のTFTは基本的にはアナログスイッチで形成する。

【0069】これらのTFTは基板801に形成した下地膜802上の島状半導体膜803~806にチャンネル形成領域やソース・ドレイン領域及びLDD領域などを設けて形成する。下地膜や島状半導体膜は実施例1と同様に形成する。ゲート絶縁膜808上に形成するゲート電極809~812は端部がテーパ形状となるように形成することに特徴があり、この部分を利用してLDD領域を形成している。このようなテーパ形状は実施例1と同様に、ICPエッチング装置を用いたW膜の異方性エッチング技術により形成することができる。

【0070】テーパ形状の部分を利用して形成されるLDD領域はnチャンネル型TFTの信頼性を向上させるために設け、これによりホットキャリア効果によるオン電流の劣化を防止する。このLDD領域はイオンドープ法により当該不純物元素のイオンを電界で加速して、ゲート電極の端部及び該端部の近傍におけるゲート絶縁膜を通して半導体膜に添加する。

【0071】第1のnチャンネル型TFT851にはチャンネル形成領域832の外側に第1のLDD領域835、第2のLDD領域834、ソースまたはドレイン領域833が形成され、第1のLDD領域835はゲート電極810と重なるように形成されている。また、第1のLDD領域835と第2のLDD領域834とに含まれるn型の不純物元素は、上層のゲート絶縁膜やゲート電極の膜厚の差により第2のLDD領域834の方が高くなっている。第2のnチャンネル型TFT852も同様な構成とし、チャンネル形成領域836、ゲート電極と重なる第1のLDD領域839、第2のLDD領域838、ソースまたはドレイン領域837から成っている。一方、pチャンネル型TFT850はシングルドレインの構造であり、チャンネル形成領域828の外側にp型不純物が添加された不純物領域829~831が形成されている。

【0072】画素部858において、nチャンネル型TFTで形成される画素TFTはオフ電流の低減を目的としてマルチゲート構造で形成され、チャンネル形成領域840の外側にゲート電極と重なる第1のLDD領域843、第2のLDD領域842、ソースまたはドレイン領域841が設けられている。また、保持容量854は島

状半導体膜 807 とゲート絶縁膜 808 と同じ層で形成される絶縁層と容量配線 815 とから形成されている。島状半導体膜 807 には n 型不純物が添加されていて、抵抗率が低いことにより容量配線に印加する電圧を低く抑えることができる。

【0073】層間絶縁膜は酸化シリコン、窒化シリコン、または酸化窒化シリコンなどの無機材料から成り、50~500nm の厚さの第 1 の層間絶縁膜 816 と、ポリイミド、アクリル、ポリイミドアミド、BCB (ベンゾシクロブテン) などの有機絶縁物材料から成る第 2 の層間絶縁膜 817 とで形成する。このように、第 2 の層間絶縁膜を有機絶縁物材料で形成することにより、表面を良好に平坦化させることができる。また、有機樹脂材料は一般に誘電率が低いので、寄生容量を低減することができる。しかし、吸湿性があり保護膜としては適さないので、第 1 の層間絶縁膜 816 と組み合わせて形成することが好ましい。

【0074】その後、所定のパターンのレジストマスクを形成し、それぞれの島状半導体膜に形成されたソース領域またはドレイン領域に達するコンタクトホールを形成する。コンタクトホールの形成はドライエッチング法により行う。この場合、エッチングガスに CF_4 、 O_2 、 He の混合ガスを用い有機樹脂材料から成る層間絶縁膜をまずエッチングし、その後、続いてエッチングガスを CF_4 、 O_2 として保護絶縁膜 816 をエッチングする。さらに、島状半導体膜との選択比を高めるために、エッチングガスを CHF_3 に切換えてゲート絶縁膜をエッチングすることにより、良好にコンタクトホールを形成することができる。

【0075】そして、導電性の金属膜をスパッタ法や真空蒸着法で形成し、レジストマスクパターンを形成し、エッチングによってソース及びドレイン配線 818~823 と、画素電極 826、共通配線 824、827、接続配線 825 を形成する。このようにして図 2 または図 4 で示すような構成の IPS 方式の画素部を有するアクティブマトリクス基板を形成することができる。また、本実施例のアクティブマトリクス基板を用いても、実施例 2 で示すアクティブマトリクス型の液晶表示装置を作製することができる。

【0076】[実施例 4] 本実施例では、アクティブマトリクス基板の TFT 構造が異なる他の例を図 16 を用いて説明する。

【0077】図 16 で示すアクティブマトリクス基板は、第 1 の p チャンネル型 TFT 950 と第 1 の n チャンネル型 TFT 951 を有するロジック回路部 955 と第 2 の n チャンネル型 TFT 952 から成るサンプリング回路部 956 とを有する駆動回路 957 と、画素 TFT 953 と保持容量 954 を有する画素部 958 とが形成されている。駆動回路 957 のロジック回路部 955 の TFT はシフトレジスタ回路やバッファ回路などを形成し、

サンプリング回路 956 の TFT は基本的にはアナログスイッチで形成する。

【0078】本実施例で示すアクティブマトリクス基板は、まず、基板 901 上に下地膜 902 を酸化シリコン膜、酸化窒化シリコン膜などで 50~200nm の厚さに形成する。その後、レーザー結晶化法や熱結晶化法で作製した結晶質半導体膜から島状半導体膜 903~907 を形成する。その上にゲート絶縁膜 908 を形成する。そして、n チャンネル型 TFT を形成する島状半導体膜 904、905 と保持容量を形成する島状半導体膜 907 に $1 \times 10^{16} \sim 1 \times 10^{19} \text{ atoms/cm}^3$ の濃度でリン (P) に代表される n 型を付与する不純物元素を選択的に添加する。

【0079】そして、W または Ta を成分とする材料でゲート電極 909~912、ゲート配線 914、容量配線 915、及び信号配線 913 を形成する。ゲート配線、容量配線、信号配線は実施例 1 または 3 のように Al 等の低効率の低い材料で別途形成しても良い。そして、島状半導体膜 903~907 ゲート電極 909~912 及び容量配線 915 の外側の領域に $1 \times 10^{19} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ の濃度でリン (P) に代表される n 型を付与する不純物元素を選択的に添加する。こうして第 1 の n チャンネル型 TFT 951、第 2 の n チャンネル型 TFT 952 には、それぞれチャンネル形成領域 931、934、LDD 領域 933、936、ソースまたはドレイン領域 932、935 が形成される。画素 TFT 953 の LDD 領域 939 はゲート電極 912 を用いて自己整合的に形成するものでチャンネル形成領域 937 の外側に形成され、ソースまたはドレイン領域 938 は、第 1 及び第 2 の n チャンネル型 TFT と同様にして形成されている。

【0080】層間絶縁膜は実施例 3 と同様に、酸化シリコン、窒化シリコン、または酸化窒化シリコンなどの無機材料から成る第 1 の層間絶縁膜 916 と、ポリイミド、アクリル、ポリイミドアミド、BCB (ベンゾシクロブテン) などの有機絶縁物材料から成る第 2 の層間絶縁膜 917 とで形成する。その後、所定のパターンのレジストマスクを形成し、それぞれの島状半導体膜に形成されたソース領域またはドレイン領域に達するコンタクトホールを形成する。そして、導電性の金属膜をスパッタ法や真空蒸着法で形成しソース及びドレイン配線 918~923 と、画素電極 926、共通配線 924、927、接続配線 925 を形成する。このようにして図 2 または図 4 で示すような構成の IPS 方式の画素部を有するアクティブマトリクス基板を形成することができる。また、本実施例のアクティブマトリクス基板を用いても、実施例 2 で示すアクティブマトリクス型の液晶表示装置を作製することができる。

【0081】ロジック回路 955 の第 1 の n チャンネル型 TFT 951 はドレイン側にゲート電極と重なる GOL

D領域が形成された構造としてある。このGOLD領域によりドレイン領域近傍に発生する高電界領域を緩和して、ホットキャリアの発生を防ぎ、このTF Tの劣化を防止することができる。このような構造のnチャンネル型TF Tはバッファ回路やシフトレジスタ回路に適している。一方、サンプリング回路956の第2のnチャンネル型TF T952はGOLD領域とLDD領域をソース側及びドレイン側に設けた構造であり、極性反転して動作するアナログスイッチにおいてホットキャリアによる劣化を防ぎ、さらにオフ電流を低減することを目的とした構造となっている。画素TF T953はLDD構造を有し、マルチゲートで形成され、オフ電流の低減を目的とした構造となっている。一方、pチャンネル型TF Tはシングルドレイン構造で形成され、チャンネル形成領域928の外側にp型の不純物元素が添加された不純物領域929、930を形成する。

【0082】このように、図16で示すアクティブマトリクス基板は、画素部及び駆動回路が要求する仕様に依りて各回路を構成するTF Tを最適化し、各回路の動作特性と信頼性をさせることを特に考慮した構成となっている。

【0083】[実施例5]実施例1ではゲート電極をTa、W、Ti、Moから選ばれた元素または該元素を成分とする合金材料若しくは化合物材料で形成し、ゲート配線をAlやCuなどの抵抗率の低い材料を用いて形成する例について示した。本実施例では、ゲート電極にAlを用いる例について示す。アクティブマトリクス基板を作製する工程は図6～8に従い、実施例1とほぼ同等であるので、ここではその差異について説明する。

【0084】図6(A)において、第1の導電膜508はTa、W、Tiを成分とする導電膜で形成する。例えば、Ta膜やW膜、または窒化Ta膜などをスパッタ法や真空蒸着法で形成する。第2の導電膜509はAlやCuを成分とする導電膜で形成する。例えば、スカンジウム(Sc)を0.5～2atomic%含むAl膜で形成する。

【0085】図6(B)で示す第1のエッチング処理において、Al膜のテーパエッチングはICPEッチング装置を用い、三塩化ホウ素(BCl_3)と塩素(Cl_2)との混合ガスを用いてドライエッチング法で行う。また、図6(C)で示す第2のエッチング処理は、第1のエッチング処理と同様にドライエッチング法で行っても良いが、Alのエッチングをリン酸溶液を用いたウェットエッチング処理でも良い。

【0086】また、図では詳細に示さないが、信号配線548、ゲート配線549、容量配線550はゲート電極と同時に、本実施例で示す第1の導電層と第2の導電層とから形成する。

【0087】図6(B)～図7(B)で示すドーピング処理を行った後、ゲート電極529～532、信号配線

548、ゲート配線549、容量配線550上に第1の層間絶縁膜を窒化シリコン膜または酸化窒化シリコン膜で50～200nmの厚さにプラズマCVD法で形成する。その後、1～3%の水素を含む窒素または不活性ガス雰囲気中で300～500、好ましくは350～450で水素化処理を行う。島状半導体膜に添加されたp型またはn型の不純物元素の活性化はレーザーアニール法により行う。レーザー光はYAGレーザー、YVO₄レーザー、YLFレーザーなどの固体レーザーを用い、その第2高調波(532nm)によりレーザーアニールを行う。レーザー発振器から出射するレーザー光は光学系にて線状または長方形状、或いは矩形状に集光して第1の層間絶縁膜を通して島状半導体膜に照射する。波長532nmの第2高調波は第1の層間絶縁膜として形成される窒化シリコン膜または酸化窒化シリコン膜を殆ど透過して半導体膜で吸収されるので、半導体膜を加熱して不純物元素を活性化するのに適している。また、波長532nmの第2高調波のレーザー光は、ゲート電極のAl表面では殆ど反射されるため、島状半導体膜を優先的に加熱するので、耐熱性の低いAlを変質させることなく不純物元素の活性化を行うことができる。

【0088】以降の工程は実施例1に従えば良く、図8に示すアクティブマトリクス基板を作製することができる。こうして作製されたアクティブマトリクス基板を用いても実施例2で示すような液晶表示装置を作製することができる。

【0089】[実施例6]本実施例では本発明に適用できる半導体膜の作製方法について説明する。図21(A)は、基板1601の主表面に、酸化窒化シリコン膜からなる下地膜1602を形成し、その上に非晶質半導体膜1603を形成する。非晶質半導体膜の厚さは、10～200nm、好ましくは30～100nmに形成すれば良い。さらに、重量換算で10ppmの触媒元素を含む水溶液をスピコート法で塗布して、触媒元素含有層1604を非晶質半導体膜1603の全面に形成する。また、触媒元素含有層1604はスパッタ法や真空蒸着法で該当する元素を含む層を1～5nmの厚さに形成しても良い。或いは、該当する元素から成る電極に高周波電力を印加して発生するグロー放電プラズマ中に基板を晒しても良い。ここで使用可能な触媒元素は、ニッケル(Ni)の以外にも、ゲルマニウム(Ge)、鉄(Fe)、パラジウム(Pd)、スズ(Sn)、鉛(Pb)、コバルト(Co)、白金(Pt)、銅(Cu)、金(Au)、といった元素である。結晶化のための熱処理は、最初に350～500で膜中に残留する水素を放出させ、その後、500～600で4～12時間、例えば550で4時間の熱処理を行うことで図21(B)に示す結晶質半導体膜1605を形成する。

【0090】次に、結晶化の工程で用いた触媒元素を結晶質半導体膜から除去するゲッターリングの工程を行う。

このゲッターリングの工程により結晶質半導体膜中の触媒元素の濃度を 1×10^{17} atoms/cm³以下、好ましくは 1×10^{16} atoms/cm³にまで低減する。まず、結晶質半導体層1605の表面にマスク絶縁膜1606を150nmの厚さに形成し、パターニングにより開口部1607が設け、結晶質半導体層を露出させた領域を設ける。その部分にイオンドーピング法などでリンを添加して、結晶質半導体膜にリン含有領域1608を設ける(図21(C))。

【0091】この状態で、窒素雰囲気中で550~800、5~24時間、例えば600、12時間の熱処理を行うと、リン含有領域1608がゲッターリングサイトとして働き、結晶質半導体膜1605に残存していた触媒元素をリン含有領域1608に偏析させることができる(図21(D))。そして、マスク絶縁膜1606と、リン含有領域1608とをエッチングして除去することにより、結晶化の工程で使用した触媒元素の濃度を 1×10^{17} atoms/cm³以下にまで低減された結晶質半導体膜を得ることができる。その後、結晶性半導体膜1609上にゲート絶縁膜1610を形成する(図21(E))。

【0092】また、図22で示す例では、基板1701上に、下地膜1702、非晶質半導体膜1703の順に形成し、そして、非晶質半導体膜1703の表面に酸化シリコン膜1704を形成する。この時、酸化シリコン膜1704の厚さは150nmとした。さらに、酸化シリコン膜1704をパターニングして、選択的に開口部1705を形成し、その後、重量換算で10ppmの触媒元素を含む水溶液を塗布する。これにより、触媒元素含有層1706が形成され、触媒含有層1706は開口部1705のみで非晶質半導体膜1703と接触する構造とする(図22(A))。

【0093】次に、500~650で4~24時間、例えば570、14時間の熱処理を行い、結晶質半導体膜1707を形成する。この結晶化の過程では、触媒元素が接した非晶質半導体膜の領域が最初に結晶化し、そこから横方向へと結晶化が進行する。こうして形成される結晶質半導体膜1707は棒状または針状の結晶が集合して成り、その各々の結晶は巨視的に見ればある特定の方向性をもって成長しているため、結晶性が揃っているという利点がある(図22(B))。

【0094】次に、図21と同様に結晶化の工程で用いた触媒元素を結晶質半導体膜から除去する工程を行う。図22(B)と同じ状態の基板に対し、リンを添加する工程を実施して結晶質半導体膜にリン含有領域1709を設ける。この領域のリンの含有量は 1×10^{19} ~ 1×10^{21} atoms/cm³とする(図22(C))。この状態で、窒素雰囲気中で550~800、5~24時間、例えば600、12時間の熱処理を行うと、リン含有領域1709がゲッターリングサイトとして働き、結晶質

半導体層1707に残存していた触媒元素をリン含有領域1709に偏析させることができる(図22(D))。

【0095】そして、マスク用酸化膜と、リン含有領域1709とをエッチングして除去して、島状の結晶質半導体膜1710を形成する。そして、結晶質半導体膜1710に密接してゲート絶縁膜1711を形成する。ゲート絶縁膜1711には、酸化シリコン膜、酸化窒化シリコン膜から選ばれた一層もしくは複数の層から形成する。その厚さは10~100nm、好ましくは50~80nmとして形成すれば良い(図22(E))。

【0096】或いは、このリンゲッターリングの工程を行わず、ハロゲン(代表的には塩素)と酸素を含む雰囲気中で熱処理を行い、触媒元素を結晶質半導体膜中から除去する方法を適用することもできる。また、ゲート絶縁膜1711を形成した後、ハロゲンと酸素を含む雰囲気中で例えば950、30分の熱処理を行うと結晶質半導体膜1710とゲート絶縁膜1711との界面で熱酸化膜が形成され、界面準位密度の低い良好な界面を形成することができる。尚、処理温度は700~1100の範囲で選択すれば良く、処理時間も10分から8時間の間で選択すれば良い。

【0097】また、図21及び図22で説明したリンによるゲッターリング処理は実施例1の図7(C)で示す活性化における熱アニール工程で同時に行うこともできる。その場合には、リンが添加されている不純物領域がゲッターリングサイトとなり、チャネル形成領域から触媒元素を該不純物領域に偏析させることができる。

【0098】このようして作製した島状半導体膜を用い、実施例1、3、4、5に示すアクティブマトリクス基板を作製することができる。

【0099】[実施例7]実施例1、3、4で示すアクティブマトリクス基板において、ゲート電極と、ゲート配線、信号配線、容量配線を同じ材料で同時に形成することにより工程で使用するフォトマスクの枚数を5枚とすることができる。即ち、フォトマスクは島状半導体膜の形成、ゲート電極及びその他の配線形成、p型不純物添加時のマスク、コンタクトホール形成、画素電極及び共通配線などの形成用の計5枚となる。マスク数の削減は単にフォトリソ工程が削減されるのみでなく、その前後に行う成膜、洗浄、エッチング工程なども不要となるので、製造コストの低減のみならず、工程における歩留まりを向上させることができる。

【0100】[実施例8]本実施例では、実施例2で示すよアクティブマトリクス型液晶表示装置を組み込んだ半導体装置について図19、20で説明する。

【0101】このような半導体装置には、携帯情報端末(電子手帳、モバイルコンピュータ、携帯電話等)、ビデオカメラ、スチルカメラ、パーソナルコンピュータ、テレビ等が挙げられる。それらの一例を図19と図20

に示す。

【0102】図19(A)は携帯電話であり、本体9001、音声出力部9002、音声入力部9003、表示装置9004、操作スイッチ9005、アンテナ9006から構成されている。本発明はアクティブマトリクス基板を備えた表示装置9004に適用することができる。

【0103】図19(B)はビデオカメラであり、本体9101、表示装置9102、音声入力部9103、操作スイッチ9104、バッテリー9105、受像部9106から成っている。本発明はアクティブマトリクス基板を備えた表示装置9102に適用することができる。

【0104】図19(C)はモバイルコンピュータ或いは携帯型情報端末であり、本体9201、カメラ部9202、受像部9203、操作スイッチ9204、表示装置9205で構成されている。本発明は受像部9203として設けられるイメージセンサーの読み取り回路を構成するTFTやアクティブマトリクス基板を備えた表示装置9205に適用することができる。

【0105】図19(D)はヘッドマウントディスプレイであり、本体9301、表示装置9302、アーム部9303で構成される。本発明は表示装置9302に適用することができる。

【0106】図19(E)はテレビであり、本体9401、スピーカー9402、表示装置9403、受信装置9404、増幅装置9405等で構成される。本発明のアクティブマトリクス型液晶表示装置は表示装置9403に適用することができる。

【0107】図19(F)は携帯書籍であり、本体9501、表示装置9502、9503、記憶媒体9504、操作スイッチ9505、アンテナ9506から構成されており、ミニディスク(MD)やDVDに記憶されたデータや、アンテナで受信したデータを表示するものである。表示装置9502、9503は直視型の表示装置であり本発明はこれらに適用することができる。

【0108】図20(A)はパーソナルコンピュータであり、本体9601、画像入力部9602、表示装置9603、キーボード9604で構成される。本発明のアクティブマトリクス型液晶表示装置は表示装置9603に適用することができる。

【0109】図20(B)はプログラムを記録した記録媒体(以下、記録媒体と呼ぶ)を用いるプレーヤーであり、本体9701、表示装置9702、スピーカ部9703、記録媒体9704、操作スイッチ9705で構成される。なお、この装置は記録媒体としてDVD(Digital Versatile Disc)、CD等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本発明のアクティブマトリクス型液晶表示装置は表示装置9702に適用することができる。

*【0110】図20(C)はデジタルカメラであり、本体9801、表示装置9802、接眼部9803、操作スイッチ9804、受像部(図示しない)で構成される。本発明のアクティブマトリクス型液晶表示装置は表示装置9802に適用することができる。

【0111】

【発明の効果】本発明のIPS方式の画素構造を有するアクティブマトリクス基板は、信号配線と共通電極を異なる層で形成し、図2、4、17、18で示すような画素構造とすることにより開口率を向上させることができる。また、ゲート配線を低抵抗導電材料で形成することにより、配線抵抗を十分低減でき、画素部(画面サイズ)が4インチクラス以上の表示装置に適用することができる。画素部の電極の構成は実施形態1または実施形態2のいずれの形態も適用することができる。

【0112】また、本実施例で示す工程に従えば、アクティブマトリクス基板の作製に必要なフォトマスクの数を5枚(島状半導体膜パターン、ゲート電極パターン、nチャネル領域のマスクパターン、コンタクトホールパターン、配線パターン)とすることができる。その結果、工程を短縮し、製造コストの低減及び歩留まりの向上に寄与することができる。

【図面の簡単な説明】

【図1】 本発明の一実施形態における画素部の工程を示す上面図。

【図2】 本発明の一実施形態における画素部の工程を示す上面図。

【図3】 本発明の一実施形態における画素部の回路図。

【図4】 本発明の一実施形態における画素部の上面図。

【図5】 従来のIPS方式の画素部の構造を説明する上面図。

【図6】 画素TFT、駆動回路のTFTの作製工程を説明する断面図。

【図7】 画素TFT、駆動回路のTFTの作製工程を説明する断面図。

【図8】 画素TFT、駆動回路のTFTの作製工程を説明する断面図。

【図9】 本発明のアクティブマトリクス型液晶表示装置の断面図。

【図10】 本発明のアクティブマトリクス型液晶表示装置の画素部の構造を説明する断面図。

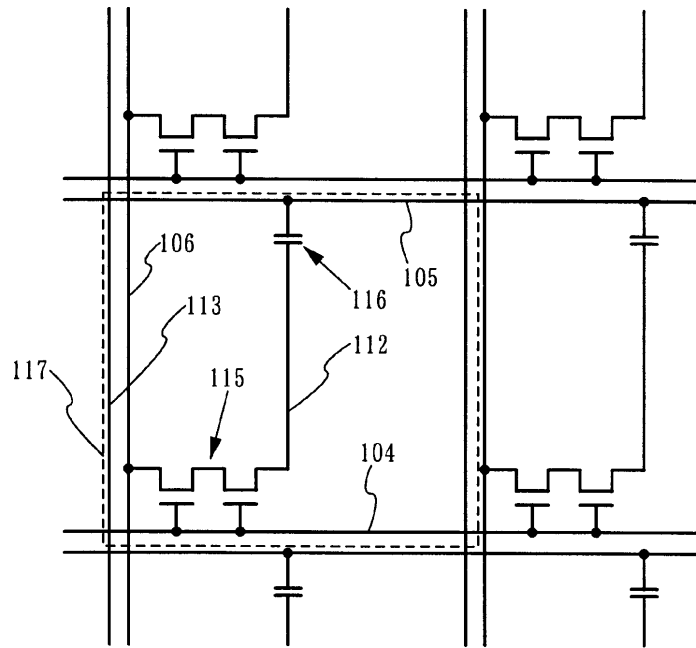
【図11】 アクティブマトリクス型液晶表示装置の上面図及び画素の一部を拡大した模式図。

【図12】 アクティブマトリクス型液晶表示装置の組立図。

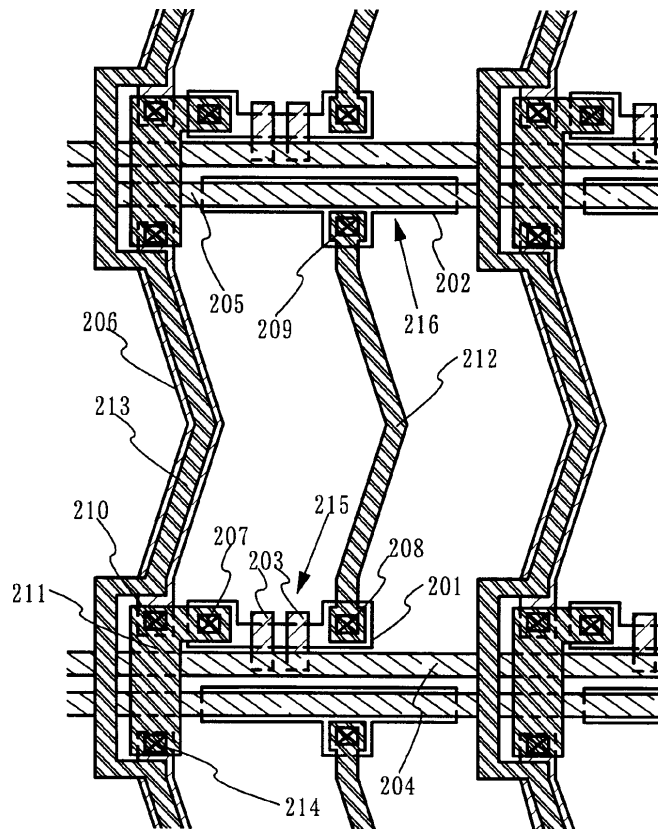
【図13】 端子部の構成を説明する断面図。

【図14】 端子部及び配線の構成を詳細に説明する断面図。

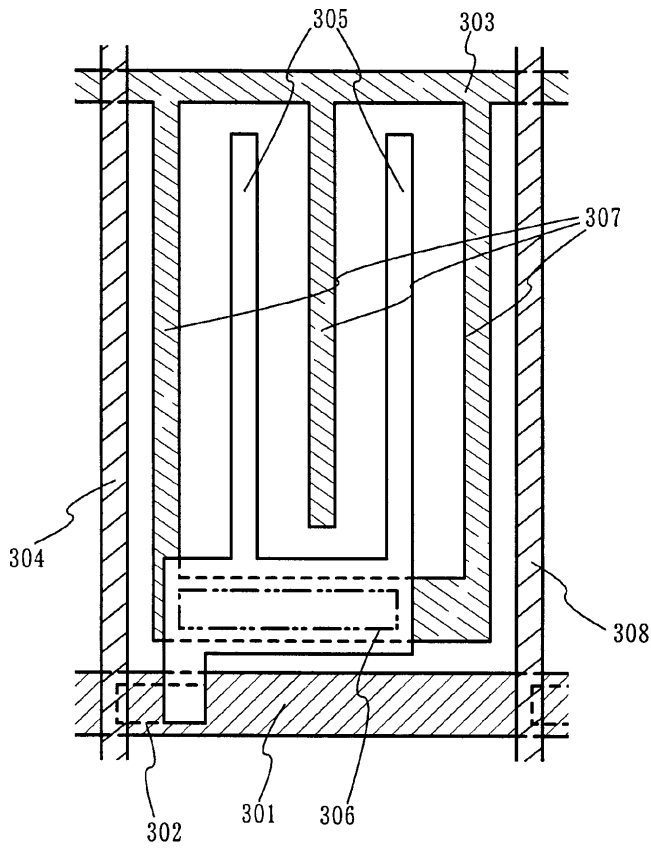
【図3】



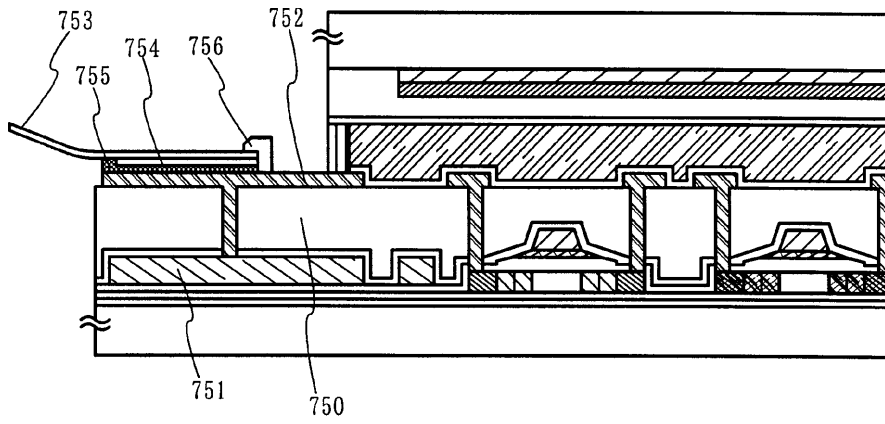
【図4】



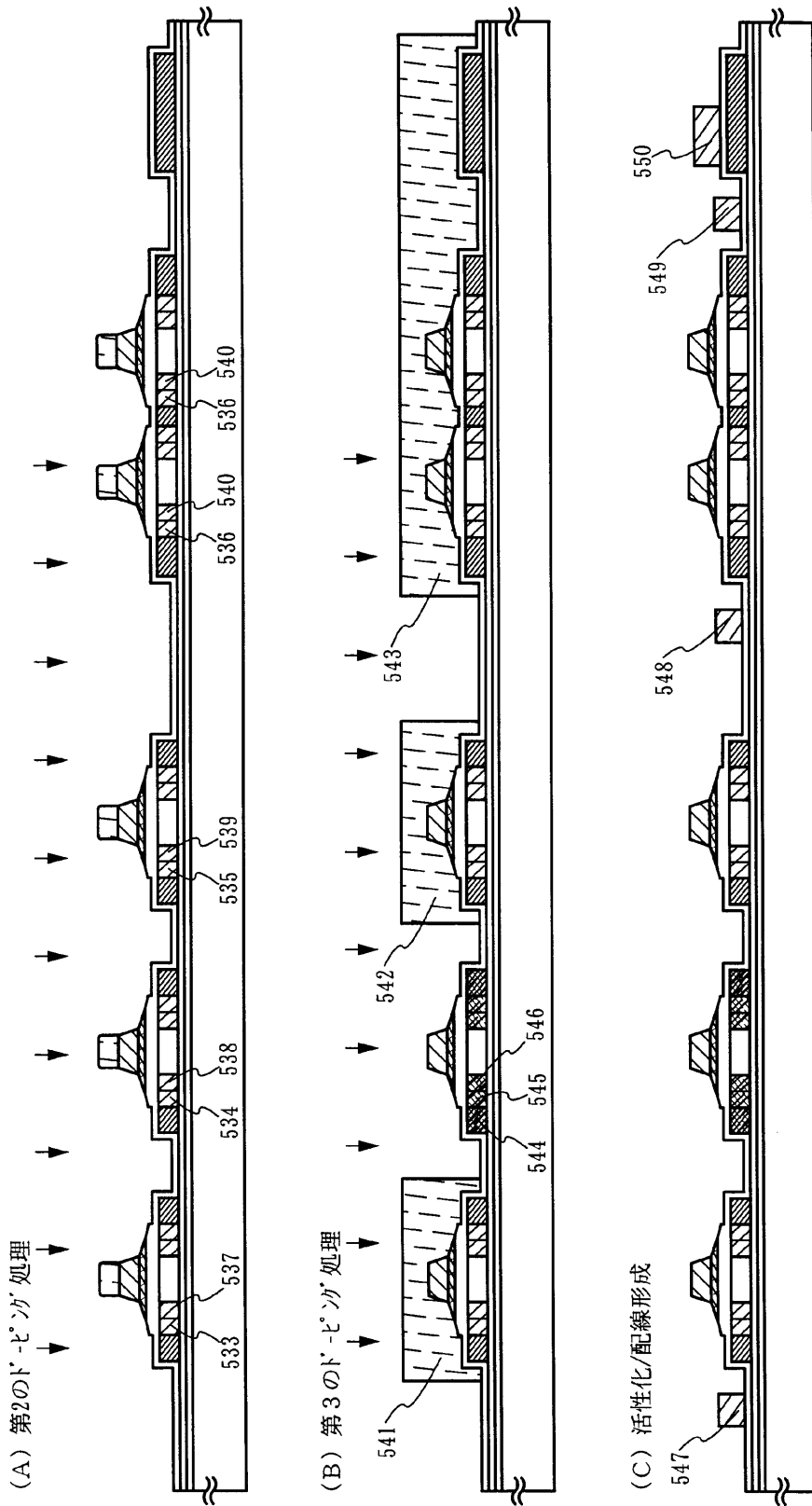
【図5】



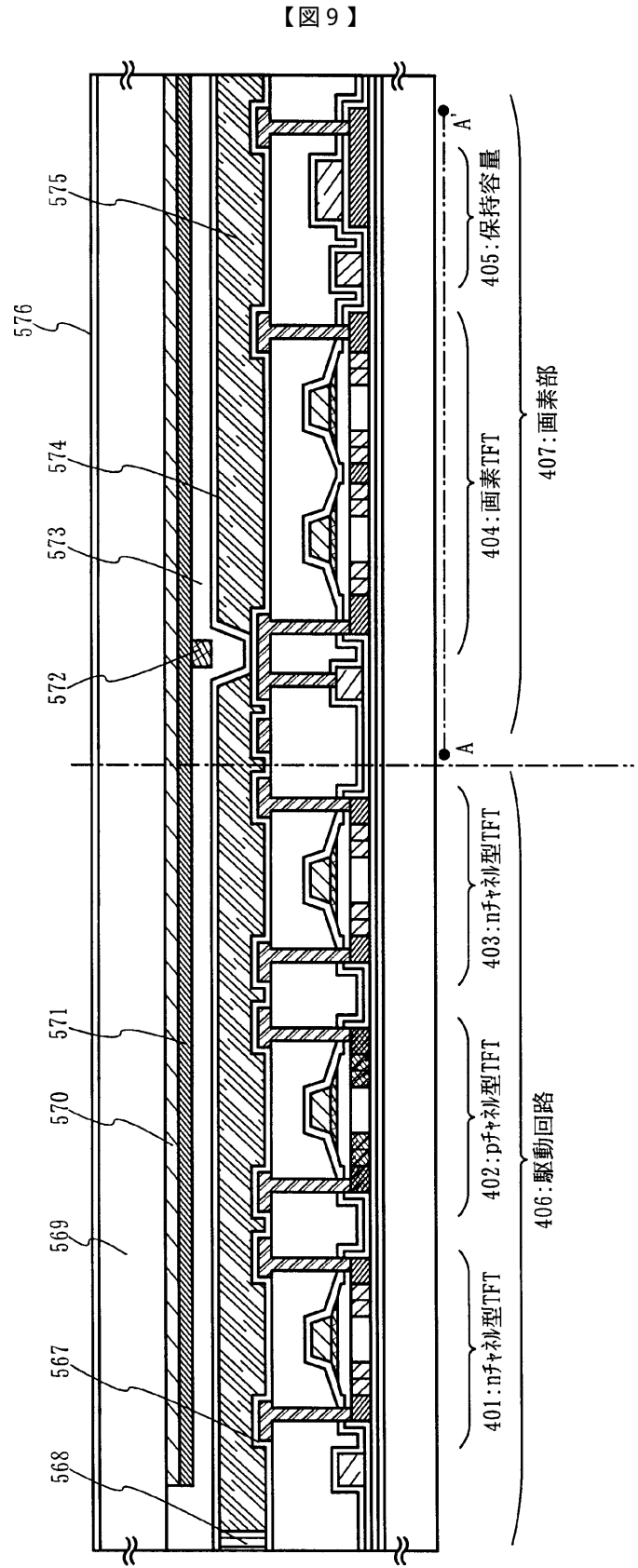
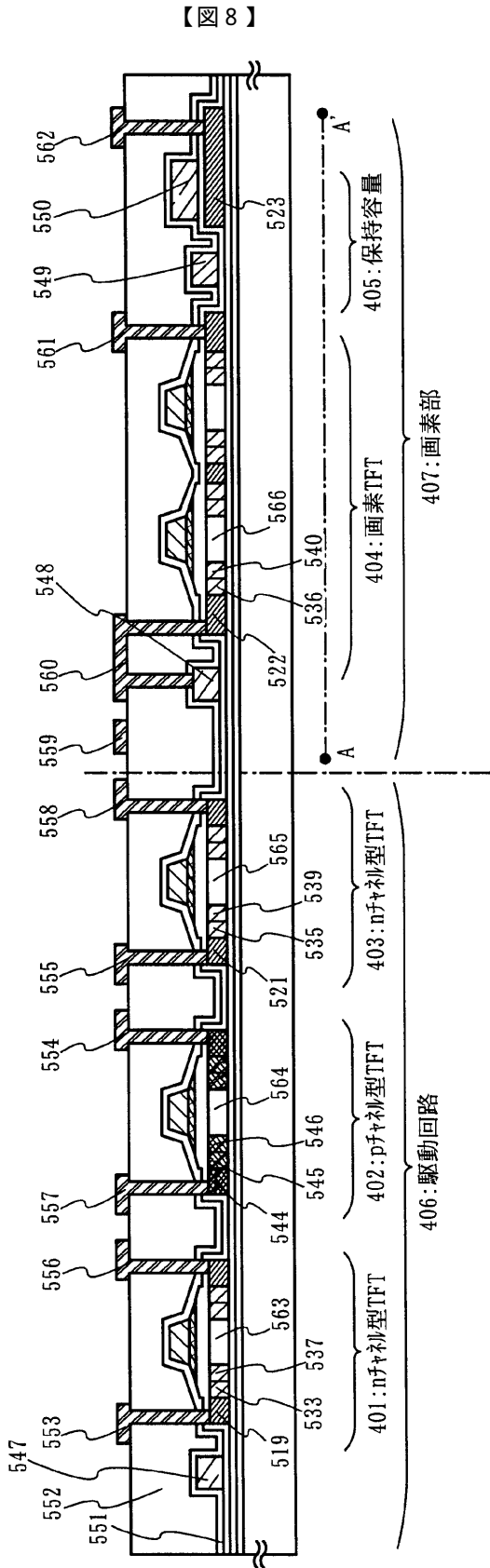
【図13】



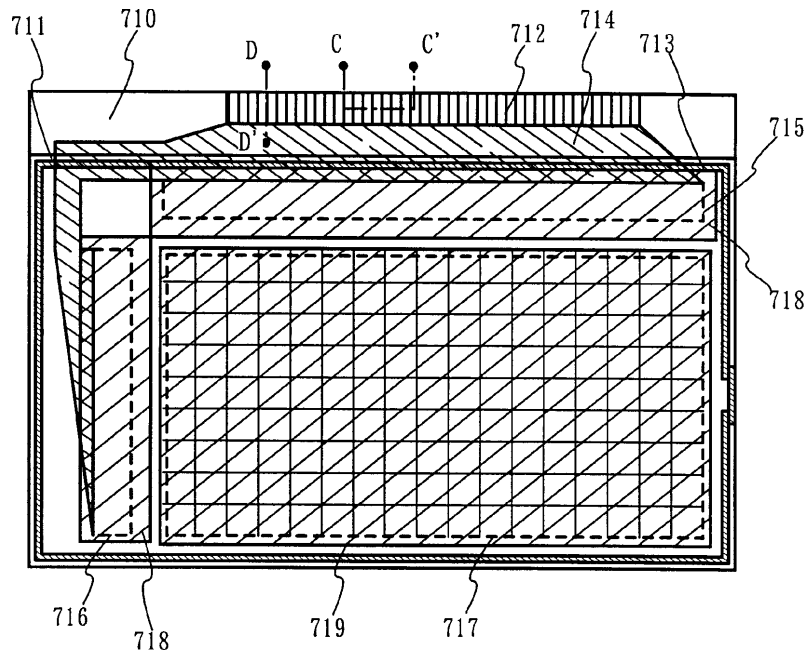
【図7】



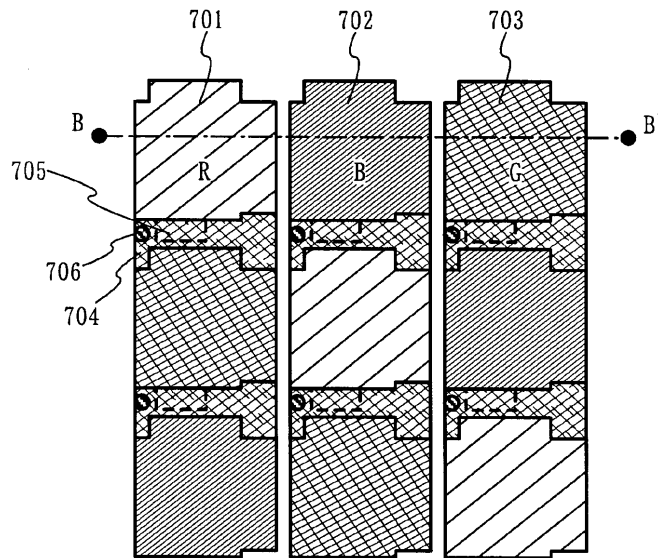
層間絶縁膜形成/画素電極、配線形成



【図11】

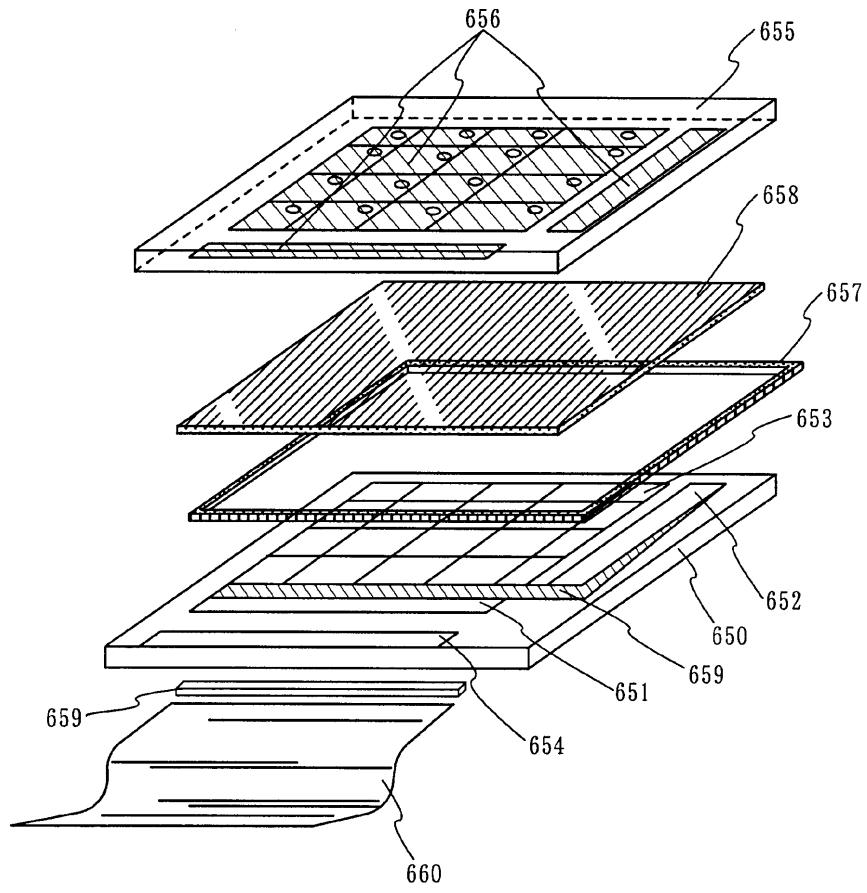


(A) 上面図

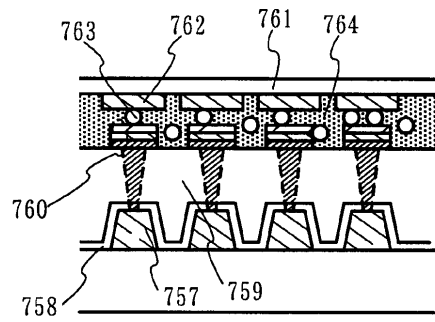


(B) 画素の一部を拡大した模式図

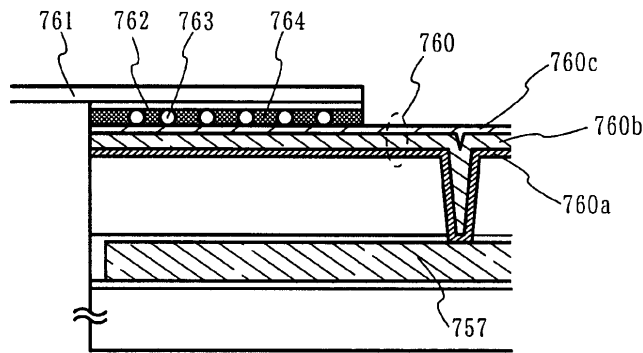
【図12】



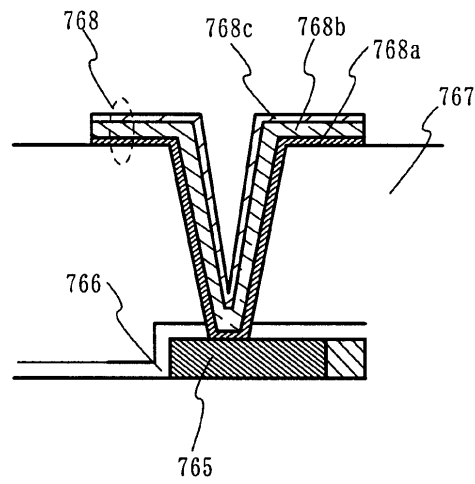
【図14】



(A)

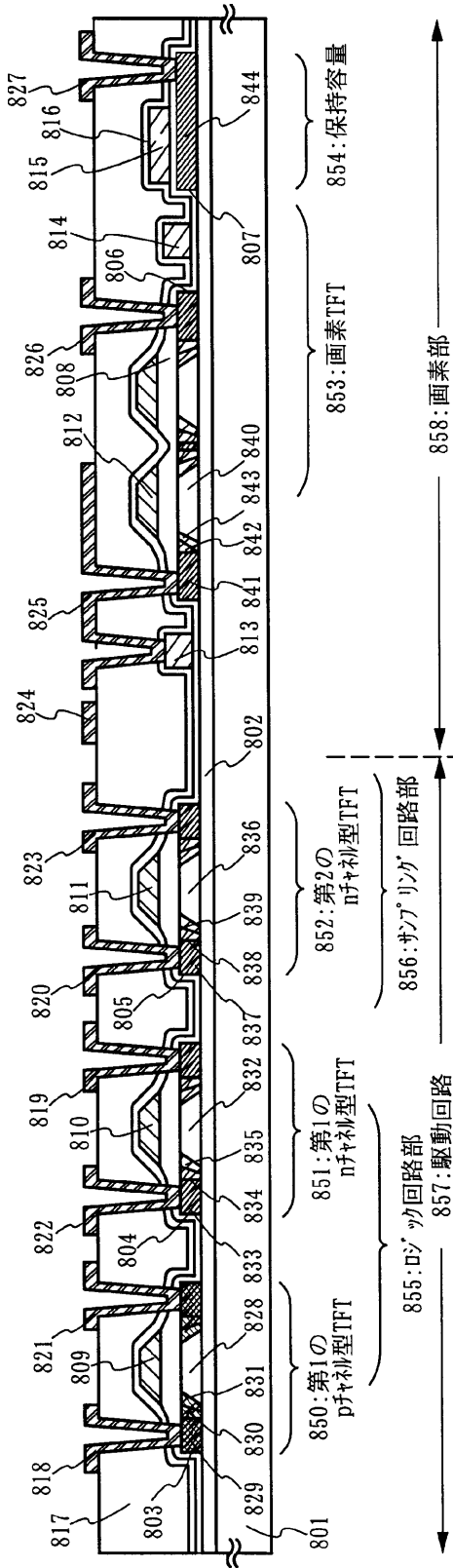


(B)

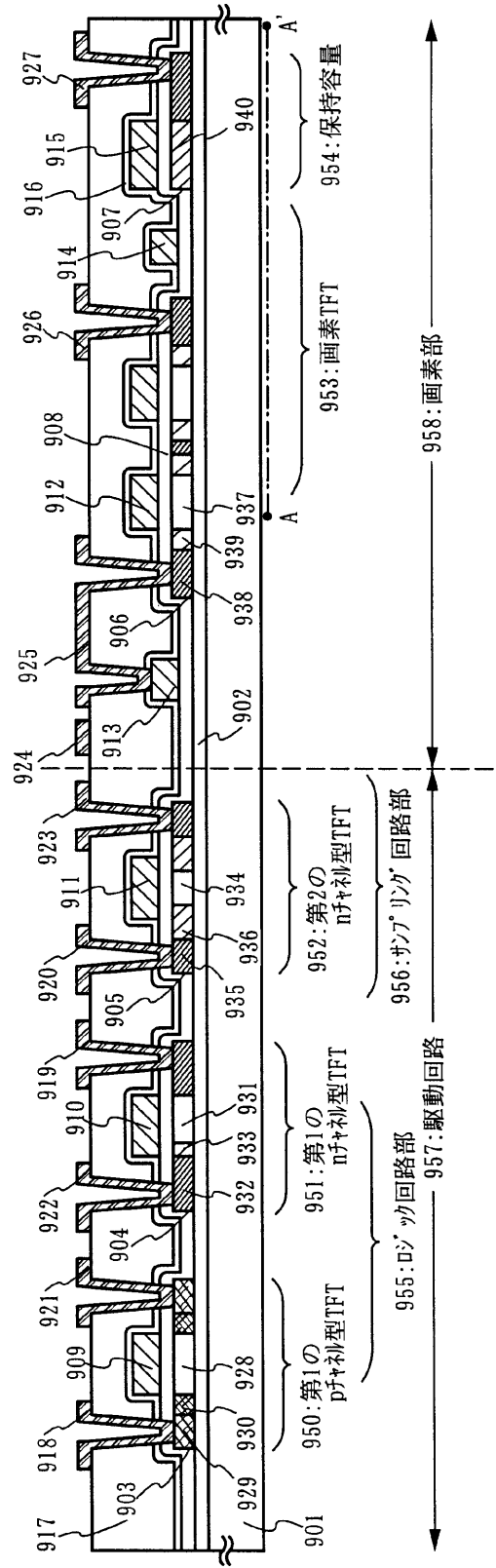


(C)

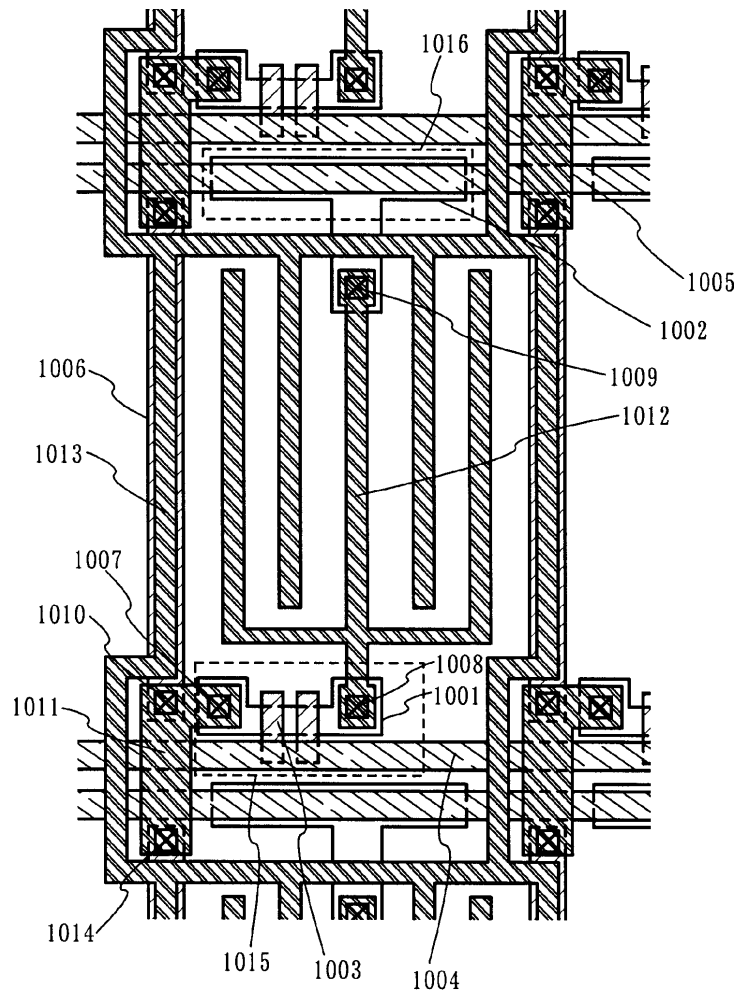
【図15】



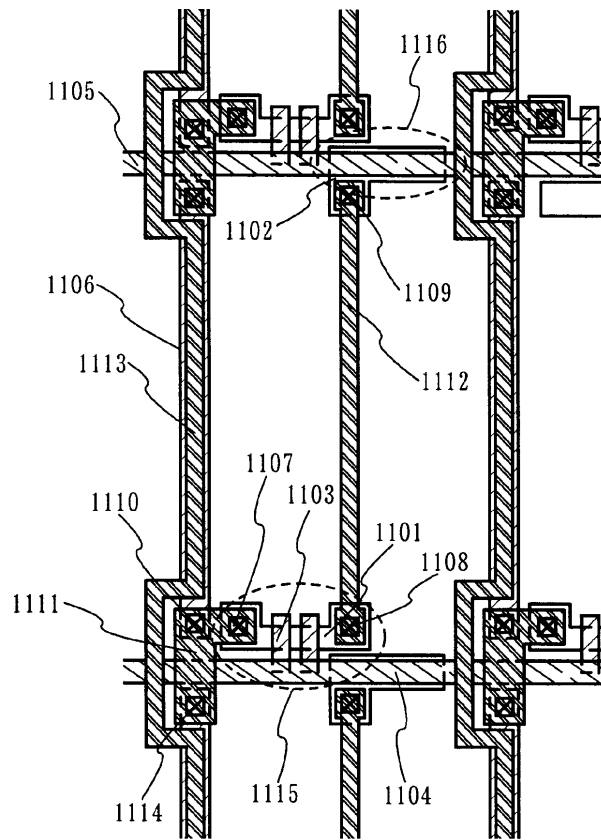
【図16】



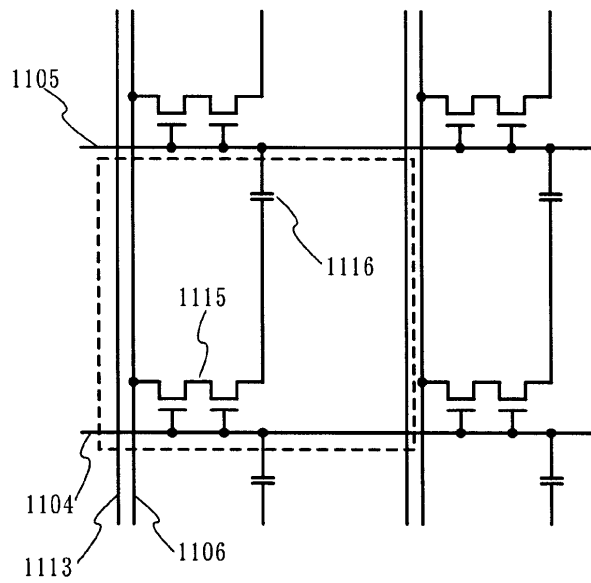
【図17】



【図18】

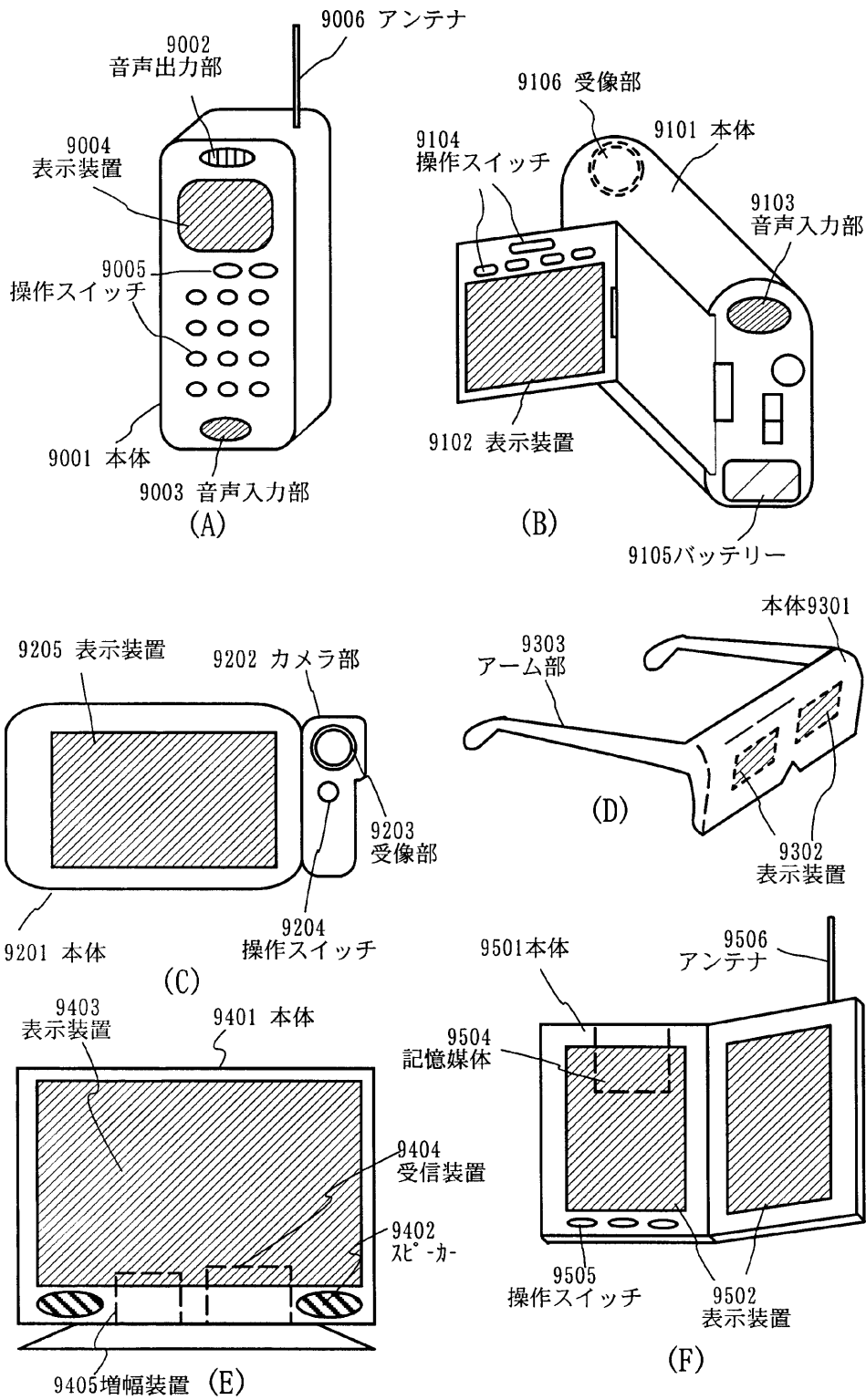


(A)

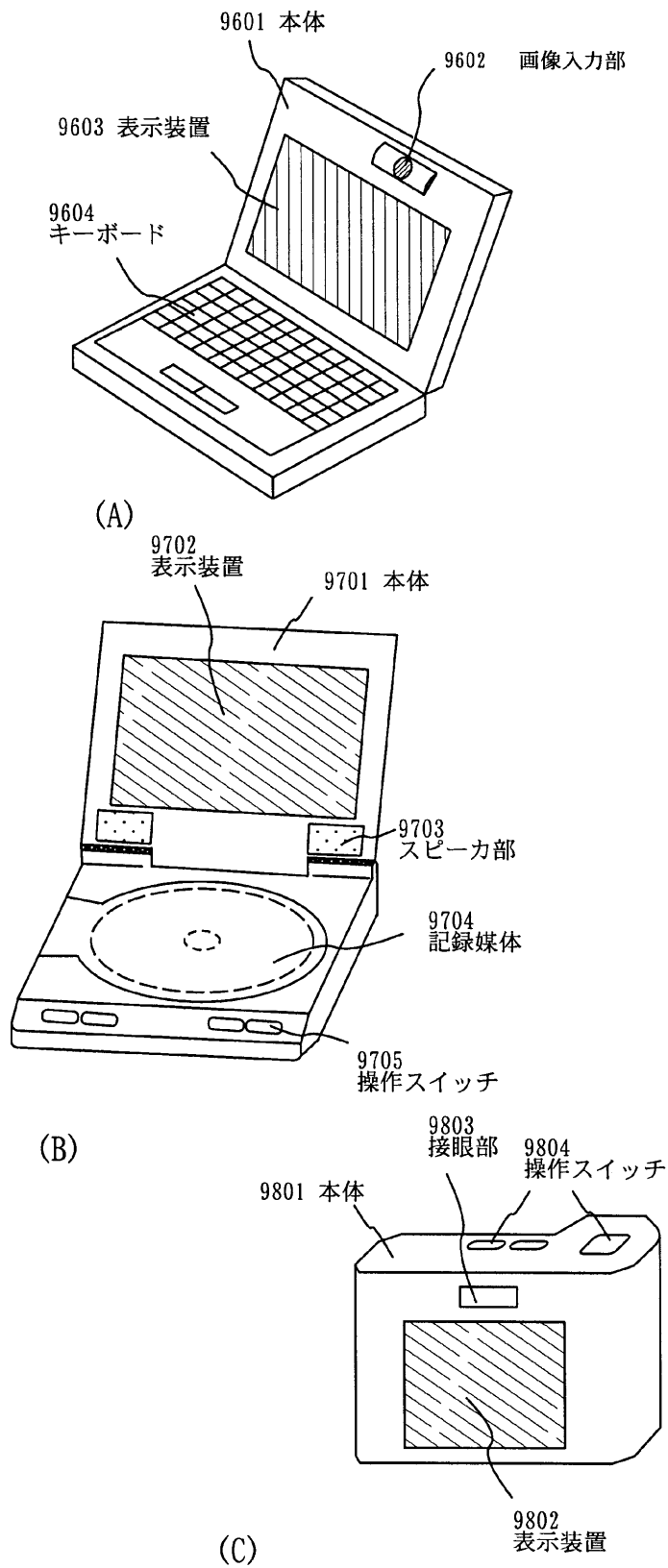


(B)

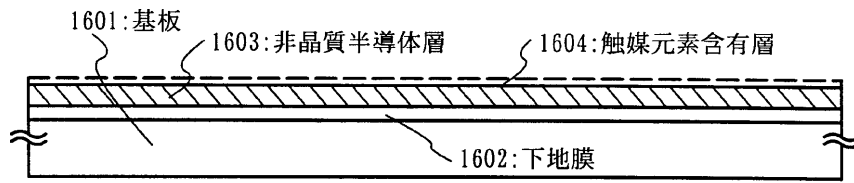
【図19】



【図20】



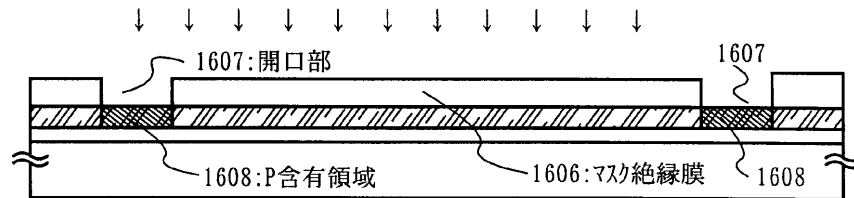
【図21】



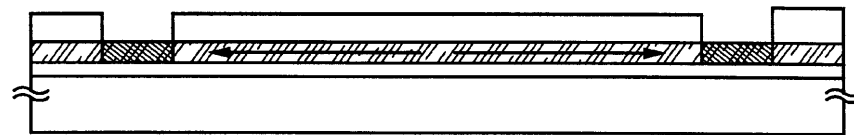
(A) 下地膜、非晶質半導体層の形成



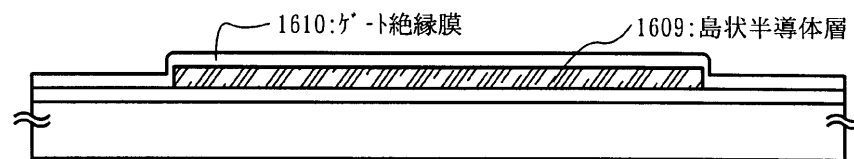
(B) 結晶化の工程



(C) P⁺領域の工程

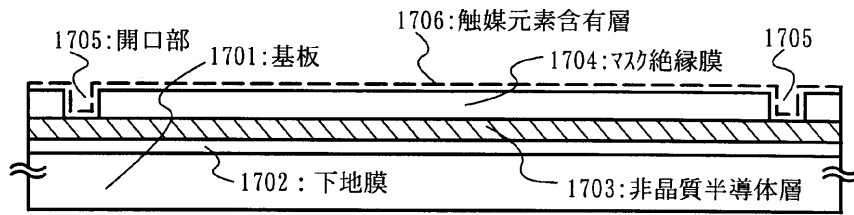


(D) ゲートの形成工程

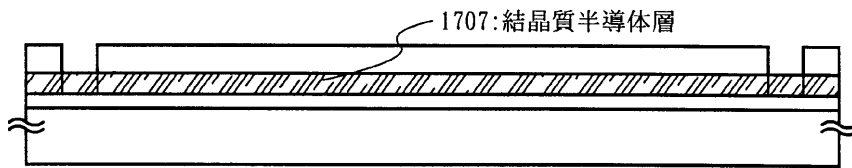


(E) ゲート絶縁膜の形成

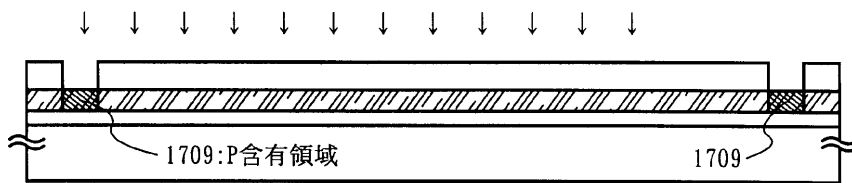
【図22】



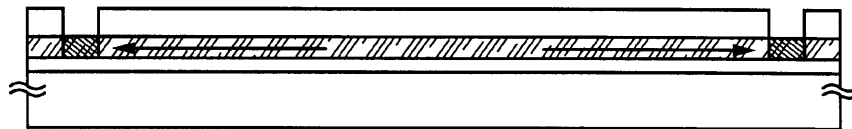
(A) 触媒元素を添加する工程



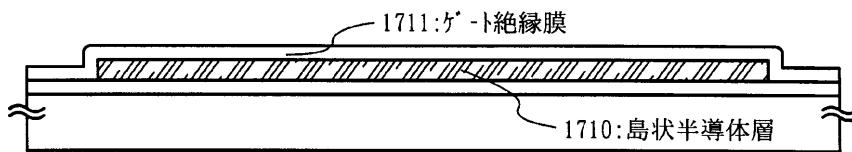
(B) 結晶化の工程



(C) P⁺- γ の工程



(D) ゲッターパターンの工程



(E) ゲ-ト絶縁膜の形成

フロントページの続き

(51)Int.Cl.⁷
H01L 21/336

識別記号

F I
H01L 29/78

テ-マコード(参考)

612D
617N

专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	JP2001281703A	公开(公告)日	2001-10-10
申请号	JP2001017704	申请日	2001-01-25
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	山崎 舜平 小山 潤		
发明人	山崎 舜平 小山 潤		
IPC分类号	G02F1/1368 G02F1/1343 G09F9/30 H01L21/336 H01L29/786		
FI分类号	G02F1/1368 G02F1/1343 G09F9/30.338 G09F9/30.348.A H01L29/78.612.C H01L29/78.612.D H01L29/78.617.N		
F-TERM分类号	2H092/GA14 2H092/GA59 2H092/JA24 2H092/JA38 2H092/JA40 2H092/JA46 2H092/JB32 2H092/JB42 2H092/KA05 2H092/KB25 2H092/MA05 2H092/MA08 2H092/MA17 2H092/MA27 2H092/MA30 2H092/NA07 2H092/QA05 2H192/AA24 2H192/BB03 2H192/BB53 2H192/BB84 2H192/BC01 2H192/BC31 2H192/BC32 2H192/CB02 2H192/CB13 2H192/CC02 2H192/CC07 2H192/CC12 2H192/CC32 2H192/CC44 2H192/CC55 2H192/CC73 2H192/DA02 2H192/DA12 2H192/DA42 2H192/DA44 2H192/EA04 2H192/EA17 2H192/EA26 2H192/EA28 2H192/EA43 2H192/EA67 2H192/FA73 2H192/FB06 2H192/FB13 2H192/FB15 2H192/FB72 2H192/GD23 2H192/HA66 2H192/HA82 5C094/AA10 5C094/AA12 5C094/BA03 5C094/BA43 5C094/CA19 5C094/CA20 5C094/DA14 5C094/DA15 5C094/EA04 5C094/EA07 5C094/EB02 5F110/BB02 5F110/BB04 5F110/CC02 5F110/DD02 5F110/DD03 5F110/DD13 5F110/DD14 5F110/DD15 5F110/DD17 5F110/EE01 5F110/EE02 5F110/EE03 5F110/EE04 5F110/EE05 5F110/EE06 5F110/EE09 5F110/EE14 5F110/EE23 5F110/EE28 5F110/EE37 5F110/EE44 5F110/EE45 5F110/EE48 5F110/FF02 5F110/FF04 5F110/FF28 5F110/FF30 5F110/FF36 5F110/GG01 5F110/GG02 5F110/GG13 5F110/GG25 5F110/HJ01 5F110/HJ12 5F110/HJ13 5F110/HJ23 5F110/HL01 5F110/HL02 5F110/HL03 5F110/HL04 5F110/HL11 5F110/HL22 5F110/HL23 5F110/HM15 5F110/HM19 5F110/NN03 5F110/NN04 5F110/NN22 5F110/NN27 5F110/NN36 5F110/NN72 5F110/NN73 5F110/NN78 5F110/PP01 5F110/PP03 5F110/PP05 5F110/PP10 5F110/PP23 5F110/PP34 5F110/PP35 5F110/QQ11 5F110/QQ24 5F110/QQ25 5F110/QQ28		
优先权	2000017636 2000-01-26 JP		
其他公开文献	JP2001281703A5 JP4387065B2		
外部链接	Espacenet		

摘要(译)

本发明的目的是提高IPS型有源矩阵型液晶显示装置的开口率，实现宽视角，并实现清晰明亮的图像显示。在像素部分中，具有半导体膜和在第一绝缘层上形成的栅电极的TFT，通过第二绝缘层与栅布线相交的公共布线和第二绝缘层形成在层上并连接至像素部分的TFT的像素电极，以及形成在公共布线下方的信号布线，以使其彼此重叠并在其间插入第二绝缘层。布置公共布线以产生平行于基板表面的电场，并且信号布线和半导体膜具有包括其中它们通过形成在第二绝缘层上的连接电极彼此连接的结构。表征。

