

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A) (11)特許出願公開番号

特開2001 - 272697

(P2001 - 272697A)

(43)公開日 平成13年10月5日(2001.10.5)

(51) Int.Cl. ⁷	識別記号	F I	テ-マコード (参考)
G 0 2 F 1/1368		G 0 2 F 1/133 550	2 H 0 9 1
1/133	550	1/1335 500	2 H 0 9 2
1/1335	500	1/1343	2 H 0 9 3
1/1343		G 0 9 F 9/30 338	5 C 0 9 4
G 0 9 F 9/30	338	G 0 2 F 1/136 500	
審査請求 未請求 請求項の数 42 O L (全 39数)			

(21)出願番号 特願2000 - 87109(P2000 - 87109)

(22)出願日 平成12年3月23日(2000.3.23)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 太田 益幸

千葉県茂原市早野3300番地 株式会社日立
製作所ディスプレイグループ内

(72)発明者 石井 正宏

千葉県茂原市早野3300番地 株式会社日立
製作所ディスプレイグループ内

(74)代理人 100075096

弁理士 作田 康夫

最終頁に続く

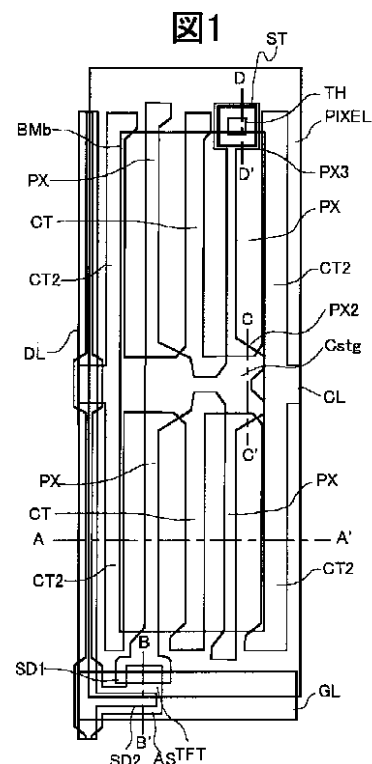
(54)【発明の名称】 液晶表示装置

(57)【要約】

【課題】量産性が向上された広視野角、高画質で、信頼性の高い液晶表示装置を得る。

【解決手段】 広視野角を有する I P S 方式の液晶表示装置は、通電して表示を続けていると、黒いスポット状のむら（核しみ）が発生する。また、I P S 方式では、比抵抗の低い液晶を用いるため、液晶中の不純物が、表示中に流動し、不定形の黒いむらになったり、表示パターンの端の部分に溜り、残像（焼き付き）が発生する。これを防止するために、一対の基板に挟持された液晶層と、基板の一方の側にマトリクス状に複数の画素が形成された液晶表示装置において、複数の画素が形成される側の基板には映像を表示するための第1の電極群及び配線群が形成され、液晶層と第1の電極群及び配線群の間には保護膜が形成され、前記保護膜と前記基板の他方の基板の間に陰極と陽極の一方又は双方からなる第2の電極又は配線が前記複数の画素内に少なくとも1つ形成されてなることを特徴とする液晶表示装置。

【効果】核しみおよび黒むらが解消される。また、残像（焼き付き）が軽減される。



【特許請求の範囲】

【請求項 1】 一对の基板に挟持された液晶層と、該基板の一方の側にマトリクス状に複数の画素が形成された液晶表示装置において、前記複数の画素が形成される側の基板には映像を表示するための第1の電極群及び配線群が形成され、前記液晶層と前記第1の電極群及び配線群の間には保護膜が形成され、前記保護膜の上に陰極と陽極の一方又は双方からなる第2の電極又は配線が前記複数の画素内に少なくとも1つ形成され、前記第2の電極又は配線は、コンタクトホールを介して、前記第1の電極群及び配線群のいずれかに接続されてなることを特徴とする液晶表示装置。

【請求項 2】 前記基板の一方の側にマトリクス状に複数の画素が形成された液晶表示装置は、該複数の画素ごとに薄膜トランジスタが形成され、前記基板の他方の側にはカラーフィルター及びブラックマトリクスが形成されており、前記第1の電極は少なくとも一对の画素電極又は対向電極を含み、前記第1の配線は少なくとも走査信号線及び映像信号線を含むことを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】 前記コンタクトホールを介して、前記陰極の第2の電極又は配線と接続されるのは、前記走査信号線であることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 4】 前記コンタクトホールを介して、前記陽極の第2の電極又は配線と接続されるのは、対向電極又は前記対向電極に接続された対向電圧信号線のいずれかであることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 5】 前記コンタクトホールを介して、前記陽極の第2の電極又は配線と接続されるのは、櫛歯形状に形成された画素電極であることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 6】 前記走査信号線は前記複数の画素が形成される側の基板の上に形成され、それらの上にはゲート保護膜が被覆され、該ゲート保護膜の上には前記映像信号線が形成され、それらを覆って前記保護膜が形成され、前記陰極と陽極の一方又は双方からなる第2の電極又は配線が前記パッシベーションの上に形成され、前記液晶層の配向を制御する配向膜が前記第2の電極又は配線の上に形成されていることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 7】 前記第2の電極又は配線は、前記ブラックマトリクスによって覆われていることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 8】 前記第2の電極又は配線は、マトリクス状に形成されていることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 9】 前記第2の電極又は配線は前記複数の画素の各画素ごとに少なくとも1つ形成されていることを特徴とする請求項 1 から 6 に記載の液晶表示装置。

【請求項 10】 前記第2の電極又は配線は前記複数の画素の各画素ごとに複数個設けられていることを特徴とする請求項 1 から 6 に記載の液晶表示装置。

【請求項 11】 一对の基板に配向膜を介して挟まれた液晶層と、該基板の一方の側に複数の走査信号線と映像信号線によってマトリクス状に複数の画素が形成された液晶表示装置において、前記複数の各画素は、前記一对の基板の一方の基板に形成され、前記走査信号線の走査信号に基づいて、前記映像信号線の映像信号が薄膜トランジスタを介して供給される画素電極と、前記一对の基板の一方の基板に形成され、対向電圧信号線を介して対向電圧が供給される対向電極を有し、前記一方の基板と前記配向膜の間に形成された保護膜と少なくとも前記映像信号線と前記画素電極は前記一方の基板と保護膜との間に形成され、前記走査信号線又は前記対向電圧信号線又は前記対向電極のうちのいずれかは、前記配向膜と保護膜との間に形成され、前記配向膜と前記保護膜の間に陰極と陽極の一方又は双方からなる電極又は配線が前記複数の画素内に少なくとも1つ形成され、前記陰極と陽極の一方又は双方からなる電極又は配線は、コンタクトホールを介して、前記一方の基板と保護膜との間に形成されたいずれかの信号線又は電極に接続されてなることを特徴とする液晶表示装置。

【請求項 12】 前記コンタクトホールを介して、前記陰極の電極又は配線と接続されるのは、前記走査信号線であることを特徴とする請求項 11 に記載の液晶表示装置。

【請求項 13】 一对の基板に挟持された液晶層と、該基板の一方の側にマトリクス状に複数の画素が形成された表示領域と、前記複数の画素が形成される側の基板には、走査信号線、映像信号線、画素電極、対向電極、対向電圧信号線及び薄膜トランジスタからなる第1の電極群が形成され、前記液晶層と前記第1の電極群の間には保護膜が形成され、前記保護膜と前記基板の他方の基板の間には陰極と陽極の一方又は双方からなる第2の電極群が前記表示領域内に少なくとも1つ形成され、前記第2の電極群は透明電極であり、電気的に接続する手段を介して、前記第1の電極群のいずれかに接続されてなることを特徴とする液晶表示装置。

【請求項 14】 前記透明電極は、ITO又はIZOからなることを特徴とする請求項 13 に記載の液晶表示装置。

【請求項 15】 前記電気的に接続する手段を介して、前記第2の電極群のうち陰極の電極群と接続されるのは、前記走査信号線であることを特徴とする請求項 13 に記載の液晶表示装置。

【請求項 16】 前記電気的に接続する手段を介して、前記第2の電極群のうち陽極の電極群と接続されるのは、画素電極又は対向電極又は対向電圧信号線又は映像信号線のいずれかであることを特徴とする請求項 13 に記載

の液晶表示装置。

【請求項 17】前記基板の他方の側にはカラーフィルタ及びブラックマトリクスが形成されており、前記第 2 の電極群は前記他方の基板の液晶層側に形成されていることを特徴とする請求項 13 に記載の液晶表示装置。

【請求項 18】前記他方の基板の液晶層側に形成される第 2 の電極群は、前記表示領域の外で前記電氣的に接続する手段を介して、前記第 1 の電極群のいずれかに接続されてなることを特徴とする請求項 17 に記載の液晶表示装置。

【請求項 19】前記第 2 の電極群は前記複数の画素の各画素ごとに少なくとも 1 つ形成されていることを特徴とする請求項 13 に記載の液晶表示装置。

【請求項 20】前記第 2 の電極群は前記複数の画素の各画素ごとに複数個設けられていることを特徴とする請求項 13 に記載の液晶表示装置。

【請求項 21】一対の基板面に形成された配向膜を介して挟まれた液晶層と、該基板の一方の側に複数の走査信号線と映像信号線によってマトリクス状に複数の画素が形成された液晶表示装置において、前記複数の各画素は、前記一対の基板の一方の基板に形成され、前記走査信号線の走査信号に基づいて、前記映像信号線の映像信号が薄膜トランジスタを介して供給される画素電極と、前記一対の基板の一方の基板に形成され、対向電圧信号線を介して対向電圧が供給される対向電極を有し、前記一方の基板と前記配向膜の間に形成された保護膜と少なくとも前記映像信号線と前記画素電極は前記一方の基板と保護膜との間に形成され、前記走査信号線又は前記対向電圧信号線又は前記対向電極のうちのいずれかは、前記配向膜と保護膜との間に形成され、前記配向膜と前記保護膜の間に陰極と陽極の一方又は双方からなるITO又はIZOを含有する部材が前記複数の画素内に少なくとも 1 つ形成され、前記陰極と陽極の一方又は双方からなる電極又は配線は、電氣的に接続する手段を介して、前記一方の基板と保護膜との間に形成されたいずれかの信号線又は電極に接続されてなることを特徴とする液晶表示装置。

【請求項 22】配向膜が被覆された一対の基板と、前記一対の基板の少なくとも配向膜が形成された側に挟まれた液晶層と、前記配向膜の下に形成された保護膜と、前記一対の基板の一方と前記保護膜の間に形成される複数の走査信号線と、前記一対の基板の一方と前記保護膜の間に形成され、前記走査信号線とマトリクス状に交差する複数の映像信号線と、前記複数の走査信号線及び映像信号線で囲まれる領域に形成される複数の画素と、前記複数の画素は、前記一対の基板の一方と前記保護膜の間に形成される少なくとも一対の画素電極と対向電極と、を有する液晶表示装置において、前記各画素は、前記配向膜と前記保護膜の間に金属原子を含む層が形成され、前記走査信号線、画素電極、対向電極、又は前記映像信

号線のうちのいずれかは、電氣的に接続する手段を介して前記金属原子を含む層と接続されることを特徴とする液晶表示装置。

【請求項 23】前記電氣的に接続する手段を介して、前記金属原子を含む層と接続されるのは、前記走査信号線であることを特徴とする請求項 22 に記載の液晶表示装置。

【請求項 24】前記電氣的に接続する手段を介して、前記金属原子を含む層と接続されるのは、対向電極、又は前記対向電極に接続され前記対向電極に対向電圧を印加する対向電圧信号線のいずれかであることを特徴とする請求項 22 に記載の液晶表示装置。

【請求項 25】前記電氣的に接続する手段を介して、前記金属原子を含む層と接続されるのは、画素電極であることを特徴とする請求項 22 に記載の液晶表示装置。

【請求項 26】前記金属原子を含む層は、前記走査信号線、画素電極、対向電極、対向電圧信号線又は映像信号線のいずれかと、前記保護膜を介してその一部又は全部がオーバーラップすることを特徴とする請求項 22 に記載の液晶表示装置。

【請求項 27】前記電氣的に接続する手段は、前記基板の深さ方向に形成された部分と、前記基板の平面方向に形成された部分とからなることを特徴とする請求項 22 に記載の液晶表示装置。

【請求項 28】前記保護膜は SiNx と SiOx のいずれかを含む無機材料からなることを特徴とする請求項 22 に記載の液晶表示装置。

【請求項 29】前記保護膜はアクリル樹脂、エポキシ、ポリイミドのいずれかを含む有機材料からなることを特徴とする請求項 22 に記載の液晶表示装置。

【請求項 30】前記金属原子を含む層は前記複数の画素の各画素ごとに少なくとも 1 つ形成されていることを特徴とする請求項 22 に記載の液晶表示装置。

【請求項 31】前記金属原子を含む層は前記複数の画素の各画素ごとに複数個設けられていることを特徴とする請求項 22 に記載の液晶表示装置。

【請求項 32】前記画素電極が情報を保持している状態において、前記画素電極と前記映像信号線の電圧の直流成分の電位の差が 1 V 以内であることを特徴とする請求項 1、11、13、21、22 に記載の液晶表示装置の駆動方法。

【請求項 33】前記画素電極が情報を保持している状態において、前記画素電極と前記映像信号線の電圧の直流成分の電位の差が 0.5 V 以内であることを特徴とする請求項 1、11、13、21、22 に記載の液晶表示装置の駆動方法。

【請求項 34】薄膜トランジスタによって画素電極を駆動する液晶表示装置の駆動方法において、前記走査信号線の走査電圧が、3 値以上の電位によって、駆動されることを特徴とする請求項 1、11、13、21、22 に

記載の液晶表示装置の駆動方法。

【請求項 35】薄膜トランジスタによって画素電極を駆動する液晶表示装置の駆動方法において、前記画素電極には、第 1 の容量 (Cadd) が付加されており、前記画素電極に信号電圧が供給された状態が終了し、薄膜トランジスタがオフ状態になった後に走査電圧を変化させ、前記第 1 の容量 (Cadd) による容量結合によって、前記画素電極の電位を補正することを特徴とする請求項 34 に記載の液晶表示装置の駆動方法。

【請求項 36】前記画素電極は、第 2 の容量 (Cst) が更に付加されていることを特徴とする請求項に記載の液晶表示装置の駆動方法。

【請求項 37】一対の基板に挟持された液晶層と、該基板の一方の側にマトリクス状に複数の画素が形成された液晶表示装置において、前記複数の画素が形成される側の基板には映像を表示するための第 1 の電極群及び配線群が形成され、前記液晶層と前記第 1 の電極群及び配線群の間には保護膜が形成され、前記保護膜と液晶層の間に陰極と陽極からなる第 2 の電極対又は配線対が前記複数の画素内に少なくとも 1 対形成されてなることを特徴とする液晶表示装置。

【請求項 38】前記第 1 の電極群及び配線群は、コンタクトホールを介して、前記陰極と陽極からなる第 2 の電極対又は配線対と接続される請求項 37 に記載の液晶表示装置において、前記陰極の第 2 の電極又は配線は、前記第 1 の電極群及び配線群のうちの前記走査信号線と接続され、前記陽極の第 2 の電極又は配線は、前記第 1 の電極群及び配線群のうちの前記画素電極又は対向電極又は対向電圧信号線又は映像信号線のいずれかと接続されることを特徴とする請求項 37 に記載の液晶表示装置。

【請求項 39】一対の基板に挟持された液晶層と、前記基板の液晶層側に形成された配向膜と、前記配向膜と前記一対の基板の一方との間に形成された保護膜と、前記保護膜と前記一対の基板の一方との間に形成された第 1 の電極群及び配線群を有する液晶表示装置において、前記保護膜と前記配向膜の間には第 2 の電極又は配線が前記複数の画素内に少なくとも 1 つ形成され、かつ前記保護膜と前記配向膜の間には前記第 2 の電極に印加される電圧とは異なる電圧が印加される第 3 の電極又は配線が前記複数の画素内に少なくとも 1 つ形成されてなることを特徴とする液晶表示装置。

【請求項 40】前記第 1 の電極群及び配線群は、走査信号線、映像信号線、画素電極、対向電極、対向電圧信号線であり、前記第 2 の電極又は配線は、スルーホールを介して前記走査信号線に接続され、前記第 3 の電極又は配線は、スルーホールを介して前記映像信号線、前記画素電極、前記対向電極、前記対向電圧信号線のいずれかに接続されることを特徴とする請求項 39 に記載の液晶表示装置。

【請求項 41】前記第 3 の電極又は配線は前記複数の画

素の各画素ごとに少なくとも 1 つ形成されていることを特徴とする請求項 37 又は 39 に記載の液晶表示装置。

【請求項 42】前記第 3 の電極又は配線は前記複数の画素の各画素ごとに複数個設けられていることを特徴とする請求項 37 又は 39 に記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示装置に関し、特にアクティブマトリクス型液晶表示装置に関する。

【0002】

【従来の技術】薄膜トランジスタ (TFT) に代表されるアクティブ素子を用いたアクティブマトリクス型液晶表示装置は薄い、軽量という特徴とブラウン管に匹敵する高画質という点から、OA 機器等の表示端末として広く普及し始めている。

【0003】この液晶表示装置の表示方式には、大別して、次の 2 通りがある。1 つは、透明電極が構成された 2 つの基板により液晶を挟み込み、透明電極に印加された電圧で動作させ、液晶に入射した光を変調して表示する方式であり、現在、普及している製品がほとんどがこの方式を採用している。また、もう 1 つは、同一基板上に構成した 2 つの電極の間の基板面にほぼ平行な電界により液晶を動作させ、液晶に入射した光を変調して表示する方式であり、視野角が著しく広いという特徴を持ち、主に液晶モニタ製品の一部に採用されている。

【0004】後者の方式の特徴に関しては、たとえば、特許出願公表平 5 - 505247 あるいは特公昭 63 - 21907、特開平 6 - 160878、特開平 9 - 15650、特開平 7 - 225388、特開平 7 - 306417、米国特許 5,754,266、米国特許 2,701,698、米国特許 5,910,271 等の文献に記載されている。

【0005】さらに、前者の方式の中で保護膜上に電極を設けるものとして、特開平 5 - 165059、特開平 5 - 323373、米国特許 5,334,859 がある。

【0006】

【発明が解決しようとする課題】しかし、このような構成からなる後者の液晶表示装置は、通電して表示を続けていると、所々に、黒いスポット状のむら (以下、核しみと称する) が発生することが確認されている。また、この核しみは、特に、特開平 7 - 225388、特開平 7 - 306417 に記載されているような、シアノ基を有する液晶を用いたものに発生し易いことが、確認されている。

【0007】また、別の課題として、後者の方式では、特開平 7 - 306417 に記載されているように、比抵抗の低い液晶を用いることが可能だが、このような液晶は、不純物を取り込み易い傾向にあるため、液晶中の不

純物が、表示中に流動し、不定形の黒いむらになったり、表示パターンの端の部分に溜り、残像（焼き付き）として観測されるという問題があることが明らかになった。

【0008】本発明は、このような事情に基づいてなされたものであり、その目的は、横電界液晶表示装置（IPS; In-Plane Switching mode）の量産に特有な弊害である不定形の黒いむら（核しみ）等を防止し、高視野角、高画質かつ高信頼性を有する液晶表示装置を提供することにある。

【0009】

【課題を解決するための手段】本願において開示される発明のうち、代表的な発明の概要を簡単に説明すれば、以下のとおりである。すなわち、一对の基板の一方に形成されたパッシベーション膜の下には映像を表示するための走査信号線、映像信号線、画素電極、対向電極が形成され、該パッシベーション膜の上には、陽極又は陰極の一方又は双方からなる電極又は配線を形成し、前記映像を表示するための電極又は配線と、前記陽極又は陰極の一方又は双方からなる電極又は配線を、スルーホールを介して接続した構成を有する横電界方式の液晶表示装置である。

【0010】これにより、各電極および配線上に保護膜欠陥が存在した場合に発生する、スポット状の黒いむら（核しみ）を抑制することができる。なお、本発明において、陰極側の電極又は配線とは走査信号線を意味する。さらに、走査信号線に対して電位の高い電極又は配線を陽極側の電極又は配線とし、陽極側の電極又は配線とは映像信号線、画素電極、対向電極などの映像を表示するために必要な電極又は配線を意味する。

【0011】

【発明の実施の形態】本発明の概要を以下に示す。なお、以下の実施例の組み合わせは、全て本発明の範疇である。

【0012】（実施例1）

《アクティブ・マトリクス液晶表示装置》以下、アクティブ・マトリクス方式のカラー液晶表示装置に本発明を適用した実施例を説明する。なお、以下説明する図面で、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0013】《マトリクス部（画素部）の平面構成》図1は本発明のアクティブ・マトリクス方式カラー液晶表示装置の一つの画素、図2はその周辺の関係を示す平面図である。

【0014】図1、図2に示すように、各画素PIXELは、隣接する2本の走査信号線（ゲート信号線または水平信号線）GLと、隣接する2本の映像信号線（ドレイン信号線または垂直信号線）DLとの交差領域内（4本の信号線で囲まれた領域内）に配置されている。各画素PIXELは薄膜トランジスタTFT、蓄積容量Cs

t g、画素電極PX、対向電極CT、CT2および対向電圧信号線CLを含む。走査信号線GL、対向電圧信号線CLは図1、図2では左右方向に延在し、上下方向に複数本配置されている。映像信号線DLは上下方向に延在し、左右方向に複数本配置されている。画素電極PXは導電膜d3で形成され、一体形成されたソース電極SD1を介して薄膜トランジスタTFTと電気的に接続され、一方、対向電極CT、CT2は導電膜g3で形成され、対向電圧信号線CLと電気的に接続されている。また、薄膜トランジスタTFTのドレイン電極SD2は画素電極PXと同一の導電膜d3で形成され、映像信号線DLと一体形成されている。尚、薄膜トランジスタTFTのゲート電極は、走査信号線GLの一部が兼用している。更に、蓄積容量Cs t gは、対向電極信号線CLと画素電極の一部PX2を重畳させることにより形成している。

【0015】画素電極PXと対向電極CT、CT2は互いに対向し、各画素電極PXと対向電極CT、CT2との間の基板面にほぼ平行な電界または、基板面に平行な成分を持つ電界により液晶LCの光学的な状態を制御し、表示を制御する。画素電極PXと対向電極CT、CT2は櫛歯状に構成され、それぞれ、図1、図2の上下方向に長細い電極となっている。

【0016】1画素内の対向電極CTの本数O（櫛歯の本数）は、画素電極PXの本数（櫛歯の本数）Pと $O = P - 1$ の関係を保つように構成し（本実施例では、 $O = 1$ 、 $P = 2$ ）、対向電極CT2の本数は必ず2本とする。これは、対向電極CT、CT2と画素電極PXを交互に配置し、かつ、対向電極CT2を映像信号線DLに必ず隣接させるためである。これにより、対向電極CT、CT2と画素電極PXの間の電界が、映像信号線DLから発生する電界から影響を受けないように、対向電極CT2で映像信号線DLからの電気力線をシールドすることができる。対向電極CT2は、対向電圧信号線CLにより常に外部から電位を供給されているため、電位は安定している。そのため、映像信号線DLに隣接しても、電位の変動がほとんどない。また、これにより、画素電極PXの映像信号線DLからの幾何学的な位置が遠くなるので、画素電極PXと映像信号線DLの間の寄生容量が大幅に減少し、画素電極電位Vsの映像信号電圧による変動も抑制できる。その結果、上下方向に発生するクロストーク（縦スミアと呼ばれる画質不良）を抑制することができる。

【0017】画素電極PXの電極幅は、開口率を大きくするために加工精度の許す限り細くする。また、対向電極CTの電極幅も、開口率を大きくするために加工精度の許す限り細くする。本実施例では、画素電極PXを5 μm 、対向電極CTを5 μm とした。尚、画素電極PXと対向電極CTの電極幅は、異ならしめても良く、4 μm 、6 μm 、7 μm 、8 μm など画素設計の都合に

よりそれぞれ異なる。

【0018】また、映像信号線DLの電極幅は、画素電極PXまたは対向電極CTの電極幅と同一でも良いが、断線を防止するために、画素電極PXと対向電極CTに比較して若干広くした方が好ましい。本実施例では、映像信号線DLの電極幅を8 μ mとした。ここで、映像信号線DLの電極幅は、隣接する対向電極CT2の電極幅の2倍未満になるように設定する。または、映像信号線DLの電極幅が歩留りの生産性から決まっている場合には、映像信号線DLに隣接する対向電極CT2の電極幅を映像信号線DLの電極幅の1/2を超える値にする。これは、映像信号線DLから発生する電気力線をそれぞれ両脇の対向電極CT2で吸収するためであり、ある電極幅から発生する電気力線を吸収するには、それと同一幅以上の電極幅を持つ電極が必要である。

【0019】したがって、映像信号線DLの電極の半分(4 μ mずつ)から発生する電気力線をそれぞれ両脇の対向電極CT2が吸収すればよい。映像信号線DLに隣接する対向電極CTの電極幅が1/2超とする。

【0020】また、対向電極CT2と画素電極PXの間の領域の液晶分子を動作させるため、対向電極CT2は画素電極PXの電気力線も吸収し、電界を発生する必要がある。対向電極CT2の電極幅は画素電極PXの電極幅の1/2超が必要である。したがって、対向電極CT2の電極幅は、これらの両方を満足するために、映像信号線DLの電極幅の1/2に画素電極PXの電極幅の1/2を加えた値以上必要である。本実施例では、対向電極CT2の電極幅は、10 μ mとした。また、全体として、画素電極PXの幅の総和と映像信号線の幅を加えた値が、対向電極CT、CT2の総和以下になるようにすることが好ましい。

【0021】これにより、画素電極PXと対向電極CT、CT2の間の電界を有効かつ均一に印加できると共に、映像信号の影響により、クロストークが発生する、特に上下方向(縦方向のクロストーク)を防止することができる。

【0022】また、画素電極PX、対向電極CT、CT2、映像信号線DLの幅は、液晶層の厚み方向に対して、液晶層全体に十分な電界を印加するために、後述の液晶層の厚みよりも大きくした方が好ましい。

【0023】走査信号線GLは末端側の画素(後述の走査電極端子GTMの反対側)のゲート電極GTに十分に走査電圧が印加するだけの抵抗値を満足するように電極幅を設定する。また、対向電圧信号線CLも末端側の画素(後述の共通バスラインCB1およびCB2から最も遠い画素すなわちCB1とCB2の中間の画素)の対向電極CTに十分に対向電圧が印加できるだけの抵抗値を満足するように電極幅を設定する。

【0024】一方、画素電極PXと対向電極CT、CT2の間の電極間隔および画素電極PXの本数と対向電極

CTの本数は、画素ピッチ、液晶材料、特に液晶材料固有の駆動電圧パラメータと映像信号駆動回路(信号側ドライバ)の耐圧によって決定される。これは、液晶材料によって最大透過率を達成する電界強度が異なるため、電極間隔を液晶材料に応じて設定し、用いる映像信号駆動回路(信号側ドライバ)の耐圧で設定される信号電圧の最大振幅の範囲で、最大透過率が得られるようにするためである。本実施例では、画素ピッチを99 μ mとしたので、後述の液晶材料の誘電率異方性 $\Delta\epsilon$ とツイスト弾性定数 K_{22} で決まる駆動電圧パラメータから、電極間隔は13.5 μ m、画素電極PXの本数は4とした。

【0025】尚、本実施例で示した具体的な数値は、一例であり、上述の関係を満たす範囲では、任意に設定しても、本発明と同じ効果を得られることは明らかである。

【0026】本発明の要旨となり、最も重要な構成要素は、図1に示される電極STである。この電極STにより、円状に黒く、くすんでくるしみ(核しみ)を低減させることができる。本実施例では、電極STは、スルーホールTHを介して、画素電極の一部PX3に接続されている。詳細は以下に説明する。

【0027】《電極ST》本発明の要旨である電極STは、円状に通電時間と共に黒く、くすんでくるスポット状のしみ(核しみ)を低減させることができる。

【0028】図62は、従来例の一つの画素の平面図を示したものである。図62の画素には、保護膜PSV上には、電極はなく、各電極および各配線は、保護膜PSVで液晶とは、完全に絶縁されている。核しみは、液晶中に直流電流が流れることによる電極反応で液晶の保持率が低下し、発生するものである。その原理を以下に示す。

【0029】従来の画素で、液晶に電流が流れるためには、電位の異なる電極が、2つとも保護膜PSV上に露出し、その間をリーク電流が流れることが考えられた。しかしながら、核しみ部の顕微鏡観察からは、核しみ部には絶縁膜の欠陥が、殆どは一つしか観測できない。このことから、露出した電極から、他の電極の保護膜容量への充電による電流によるメカニズムが推測された。この場合は、保護膜欠陥が一つの場合でも、充電電流が流れ、核しみが発生する。

【0030】そこで、故意に保護膜PSVおよび絶縁膜GIに欠陥を生成した試作品を作製し、核しみの状態を確認した。その結果、一つの電極上にしか欠陥を作っていない領域でも核しみが発生しており、また、異なる電位を持つ2つの電極のそれぞれに欠陥を生成した領域でも、2つの核しみが観測され、それぞれの欠陥部で発生していることが明らかになった。この事実からも、後者の保護膜容量への充電電流による電極反応で核しみが発生していることが裏付けられている。

【0031】図63、図64にその詳細メカニズムを示

す。図 63 に示すように、例えば、電位の高い陽極側の電極上では、保護膜欠陥を引き起こした金属製の異物もしくは電極自体が酸化され、陽イオンとなり、他の電極の保護膜容量を、陽極側の電位に充電していく。この充電電流は、周りの画素容量へも流れ、陽極側の電位に充電された領域が拡大する。充電された領域は、陽イオンの増加で、イオン濃度が高くなり、液晶の比抵抗が低下し、液晶にかかる電圧の保持率が低下する。その結果、電圧無印加で黒を得るノーマリブラックモードでは、保護膜欠陥の周りの画素は、その周りよりも暗くなり、黒いスポット状の輝度むらとして観測される。

【0032】また、図 64 に示すように、電位の低い陽極側の電極上では、液晶分子が還元、分解され、陰イオンとなり、他の電極の保護膜容量を、陰極側の電位に充電していく。この充電電流は、周りの画素容量へも流れ、陰極側の電位に充電された領域が拡大する。充電された領域は、陰イオンの増加で、イオン濃度が高くなり、液晶の比抵抗が低下し、液晶にかかる電圧の保持率が低下する。その結果、陽極の場合と同様に、保護膜欠陥の周りの画素は、その周りよりも暗くなり、黒いスポット状の輝度むらとして観測される。

【0033】ここで図中の XY は液晶分子を表し、X、Y⁺ はその分解後の状態を表す。また、 α^+ 、 β^+ は、液晶中の不純物イオンまたはドーパントが解離した状態を表し、Z⁺ は、異物または電極が溶解しイオン化した状態を表す。

【0034】特に、基板面に平行な電界をかける方式 (In-Plane Switching 方式) では、比抵抗が低く、Twisted Nematic 方式の TFT-LCD では使えないが、高速応答で、低電圧駆動ができるシアノ基を有するシアノ系液晶を用いた方が有利である。図 65 に、シアノ系液晶の分子構造の一例を示す。尚、図には、分子構造の一部のみ示してある。

【0035】このような液晶分子は、陰極で例えば、図 66 のような還元反応をし、中性の母体部分と、シアノイオンに分解される。この様に、従来の画素では、保護膜欠陥が一つでもあると、黒いスポット状のしみ (核しみ) が発生する。この核しめは、初期状態では、反応が起きていないので、確認されないが、通電を続けていると反応が進行し、確認できるレベルになり、表示不良を引き起こす。

【0036】そこで、本発明では、保護膜上に故意に電位の与えられた電極または導電体を設置する。言い換えれば、電位の与えられた電極または導電体を保護膜上または配向膜の下に形成する。これにより、保護膜容量に、事前に充電させておくことにより、保護膜欠陥が発生し、電極が露出しても、充電電流を流れにくくする。

【0037】これにより、陰極または陽極での電極反応 (電気化学反応) が抑制され、金属イオンの溶解、液晶分子の還元が抑制される。言い換えれば、電極反応は電

流が流れて初めて起こる現象であり、電流が流れなければ起こらないので核しめの発生は抑制される。その結果、液晶分子にかかる電圧の保持率の低下を防ぐので、核しめは軽減される。図 67 に陽極側に電極 ST を設置した場合、図 68 に陰極側に設置した場合を示す。

【0038】本実施例では、電極 ST は、金属膜 (金属原子を含む層) i1 で形成されており、スルーホール TH を介して、画素電極の一部 PX3 に接続されている。更に、この電極 ST は、外部から必ず電位が供給されていることが必要であり、フローティング電極では効果がないので、図 1、図 6 に示したように保護膜 PSV にスルーホール TH を開けて、他の電極に接続させている。本実施例では、画素電極 PX と一体形成された画素電極の一部 PX3 に接続させた。

【0039】また、画素電極の一部 PX3 はスルーホールや電極 ST が製造上の加工ばらつきがあっても必ず、コンタクトが取れるように、図 1 に示すような画素電極 PX より大きい台座を、画素電極端のスルーホール TH に合わさる部分に、画素電極 PX と一体的に設けた。

【0040】この様に、本実施例で、画素電極に電氣的に接続した電極 ST を保護膜 PAS 上に形成した。これにより、画素電極 PX および対向電極 CT、CT2 と液晶との間に結果的に形成される、保護膜 PSV または保護膜 PSV1 および絶縁膜 GI を誘電体とした容量 (保護膜容量) に、電極 ST により定常的に充電され、電極 ST と直流的にほぼ同電位 (交流の場合はその直流成分が同電位) を持った電極が異物等で、液晶層に露出しても、充電電流が流れることはない。したがって、露出した電極付近での電気化学反応 (電極反応) は起こらない。すなわち、電極 ST を保護膜 PSV 上に形成することにより、電極上の保護膜欠陥による他の電極の保護膜容量への充電電流を抑制し、核しめの発生が抑えられる。

【0041】特に本発明においては、陰極側の電極又は配線としてゲート電極 GT 又は走査信号線 GL が定義される。さらに、ゲート電極 GT 又は走査信号線 GL に対して電位の高い電極又は配線を陽極側の電極又は配線と定義し、陽極側の電極又は配線としてはソース電極 SD1、ドレイン電極 SD2、映像信号線 DL、画素電極 PX、対向電極 CT、CT2、対向電圧信号線 CL がある。上述の如く、本実施例においては、陽極側の電極又は配線の一例として電極 ST が画素電極 PX に電氣的に接続されているが、電極 ST には陰極と陽極の一方又は双方からなる電極又は配線に接続されても良い。これらの組み合わせ及びその特有な効果については、他の実施例として後述する。

【0042】また、本実施例では電極 ST に金属膜 (金属原子を含む層) を用いているが、ITO、IZO を用いても良い。また、アルミニウム、アルミニウム合金等の自己酸化膜を形成する金属を用いても良い。ITO、

IZO、アルミニウム、アルミニウム合金等の自己酸化金属は酸化物であるため、電極STの形成後に、酸化反応が他の金属膜に比較して生じにくいのである。特に、電極STは保護膜PSV上に設けるため、酸化反応が生じると電子又は正孔が流出して、液晶材料中に金属イオンが溶け出す恐れもあるため、上述した酸化膜を用いることが好ましい。ただし、そのような恐れがない場合は酸化物でない金属材料を用いても良い。

【0043】なお、電極STは、上述した詳細メカニズムに基づき複数の画素内に少なくとも1つあれば良い。一方で、後述する実施例7及び8のように、1画素内に複数の電極STを形成しても良い。さらに本実施例のように1画素内に1つの電極STを設けても良いことは言うまでもない。

【0044】《マトリクス部（画素部）の断面構成》図3は図1のA-A'切断線における断面を示す図、図4は図1のB-B'切断線における薄膜トランジスタTFTの断面図、図5は図1のC-C'切断線における蓄積容量Cstgの断面を示す図である。図3から図5に示すように、液晶層LCを基準にして下部透明ガラス基板SUB1側には薄膜トランジスタTFT、蓄積容量Cstgおよび電極群が形成され、上部透明ガラス基板SUB2側にはカラーフィルタFIL、遮光用ブラックマトリクスパターンBMが形成されている。

【0045】また、透明ガラス基板SUB1、SUB2のそれぞれの内側（液晶LC側）の表面には、液晶の初期配向を制御する配向膜ORI、ORI2が設けられており、透明ガラス基板SUB1、SUB2のそれぞれの外側の表面には、偏光軸が直交して配置された（クロスニコル配置）偏光板が設けられている。

【0046】また、図6には、図1のD-D'切断線における断面図を示す。電極STは、保護膜PSVの上に必ず形成されなければ成らない。言い換えれば、配向膜ORI1の下に形成されている。更に言い換えれば、保護膜PSVの上または配向膜ORI1の下に導電膜が形成されている。この導電膜は、体積抵抗率で、 $10^{11} \Omega \cdot \text{cm}$ 以下であれば良い。 $10^4 \Omega \cdot \text{cm}$ 以下であれば、尚さら良い。本実施例では、この電極STの導電膜材料として、透明導電膜i1（Indium-Tin-Oxide ITO：ネサ膜）を用いた。この電極STの材料としては、金属でも良いが、保護膜PSV上に設ける材料は、液晶材料の汚染を考えると、材料として安定なITOが好ましい。IZO（Indium-Zn-Oxide）でも同様である。また、金属を用いる場合もCr等の標準電位が低く、電気化学反応（電極反応）の起こり易い材料よりも、Al（合金も含む）のような電極反応の起こりにくい材料の方が好ましい。

【0047】更に、この電極STは、外部から必ず電位が供給されていることが必要であり、フローティングでは効果がないので、図1、図6に示したように保護膜P

SVにスルーホールTHを開けて、他の電極に接続している。本実施例では、画素電極PXと一体形成された画素電極の一部PX3に接続させた。

【0048】《TFT基板》以下では、下側透明ガラス基板SUB1側（TFT基板）の構成を更に詳しく説明する。

【0049】《薄膜トランジスタTFT》薄膜トランジスタTFTは、走査信号線GLの一部であるゲート電極GTに正のバイアスを印加すると、ソース・ドレイン間のチャネル抵抗が小さくなり、バイアスを零にすると、チャネル抵抗は大きくなるように動作する。

【0050】薄膜トランジスタTFTは、図3に示すように、ゲート電極GT、絶縁膜GI、i型（真性、intrinsic、導電型決定不純物がドーピングされていない）非晶質シリコン（Si）からなるi型半導体層AS、一対のソース電極SD1、ドレイン電極SD2を有す。なお、ソース、ドレインは本来その間のバイアス極性によって決まるもので、この液晶表示装置の回路ではその極性は動作中反転するので、ソース、ドレインは動作中入れ替わると理解されたい。しかし、以下の説明では、便宜上一方をソース、他方をドレインと固定して表現する。

【0051】《ゲート電極GT》ゲート電極GTは走査信号線GLと連続して形成されており、走査信号線GLの一部の領域がゲート電極GTとなるように構成されている。ゲート電極GTは薄膜トランジスタTFTの能動領域を超える部分である。本例では、ゲート電極GTは、単層の導電膜g3で形成されている。導電膜g3としては例えばスパッタで形成されたクロム・モリブデン合金（Cr-Mo）膜が用いられるがそれに限ったものではない。例えば、Cr、Mo、W、Ti、Ta、Al、Cuやそれらを主体とした合金でも良い。低抵抗化を図るならば、Al、Cuやそれらを主体とした合金を用いるのが好ましい。また、2層以上の積層構造で積層膜で形成しても良く、断面のテーパ加工等に役立つ場合がある。すなわち、腐食電位の異なる積層構造を用いることにより、薄い上層は垂直形状又は逆テーパ形状になるが、該上層より厚い下層は順テーパ形状に形成されるため、配線全体としてほぼ順テーパ形状となり、該配線を覆う絶縁膜等のカバレッジが補償される。なお、薄い上層としてはCr-Mo、Cr-W、Cr-Ti、Cr-Ta等を用い、厚い下層としてはCrを用いる。これにより、電池反応の影響で上下層の界面が最もエッチング速度が大きくなり、下層全体の側端面は順テーパ形状に加工され、上層の側端面は基板の面と垂直な形状あるいは若干逆テーパ形状に加工される。

【0052】なお、Alを用いる場合は、Alから発生するヒロックを抑制するために、Ndとの合金にするのが有効であり、また、陽極化成して陽極酸化膜を表面に形成することも、他の電極との短絡不良を低減でき、有効である。

【0053】《走査信号線GL》走査信号線GLは導電膜g3で構成されている。この走査信号線GLの導電膜g3はゲート電極GTの導電膜g3と同一製造工程で形成され、かつ一体に構成されている。この走査信号線GLにより、外部回路からゲート電圧Vgをゲート電極GTに供給する。さらに、映像信号線DLと交差する部分は映像信号線DLとの短絡の確率を小さくするため細くし、また、短絡しても、レーザートリミングで切り離すことができるように二股にしても良い。

【0054】《絶縁膜GI》絶縁膜GIは、薄膜トランジスタTFTにおいて、ゲート電極GTと共に半導体層ASに電界を与えるためのゲート絶縁膜として使用される。絶縁膜GIはゲート電極GTおよび走査信号線GLの上層に形成されている。絶縁膜GIとしては例えばプラズマCVDで形成された窒化シリコン膜が選ばれ、2000～5000の厚さに（本実施例では、3500程度）形成される。また、絶縁膜GIは走査信号線GLおよび対向電圧信号線CLと映像信号線DLの層間絶縁膜としても働き、それらの電氣的絶縁にも寄与している。また、ゲート絶縁膜は、酸化シリコン膜でも良い。さらにそれらの2層形成にすると、電極間の短絡防止に効果がある。

【0055】《i型半導体層AS》i型半導体層ASは、非晶質シリコンで、100～3000の厚さに（本実施例では、1200程度の膜厚）で形成される。層d0はオーミックコンタクト用のリン(P)をドーパしたn(+)型非晶質シリコン半導体層であり、下側にi型半導体層ASが存在し、上側に導電層d3が存在するところのみに残されている。

【0056】i型半導体層ASおよび層d0は、走査信号線GLおよび対向電圧信号線CLと映像信号線DLとの交差部（クロスオーバー部）の両者間にも設けられている。この交差部のi型半導体層ASは交差部における走査信号線GLおよび対向電圧信号線CLと映像信号線DLとの短絡を低減する。

【0057】また、i型半導体層ASは非晶質シリコンに限ったことではなく、ポリシリコンまたは、単結晶シリコンでも構わない。尚、非晶質シリコンを用いる場合は、光電導による電圧保持不良を低減するために、可能な限り薄膜化した方が好ましい。

【0058】《ソース電極SD1、ドレイン電極SD2》ソース電極SD1、ドレイン電極SD2のそれぞれは、n(+)型半導体層d0に接触する導電膜d3から構成されている。

【0059】導電膜d3はスパッタで形成したクロム-モリブデン合金(Cr-Mo)膜を用い、500～3000の厚さに（本実施例では、2000程度）で形成される。Cr-Mo膜は低応力であるので、比較的膜厚を厚く形成することができ配線の低抵抗化に寄与する。また、Cr-Mo膜はn(+)型半導体層d0との接

着性も良好である。導電膜d3として、Cr-Mo膜の他に高融点金属(Cr、Mo、Ti、Ta、W)膜、高融点金属シリサイド(MoSi2、TiSi2、TaSi2、WSi2)膜を用いてもよく、また、Al、Cuやそれらを主体とした合金等との積層構造にしても良い。

【0060】導電膜d3をマスクパターンでパターニングした後、導電膜d3をマスクとして、n(+)型半導体層d0が除去される。つまり、i型半導体層AS上に残っていたn(+)型半導体層d0は導電膜d3以外の部分がセルフアラインで除去される。このとき、n(+)型半導体層d0はその厚さは全て除去されるようエッチングされるので、i型半導体層ASも若干その表面部分がエッチングされるが、その程度はエッチング時間で制御すればよい。

【0061】尚、本実施例では、上述の様なバックチャネルエッチ(BCE)方式を用いてチャネル形成を行ったが、i型半導体層AS上にも窒化シリコン等の絶縁膜を用いてチャネルを保護したチャネルプロテクション(ChP)方式を用いても良い。

【0062】《映像信号線DL》映像信号線DLはソース電極SD1、ドレイン電極SD2と同層の導電膜d3で構成されている。また、映像信号線DLはドレイン電極SD2と一体に形成されている。他は、ソース電極SD1、ドレイン電極SD2と同様である。低抵抗化のためには、Al、Cuやそれらを主体とした合金等との積層構造にした方が好ましい。

【0063】《画素電極PX》画素電極PXは、導電層d3形成され、ソース電極SD2と画素電極の一部PX2、PX3と一体形成されている。この画素電極と後述の対向電極の間に与えられる電圧により、液晶分子の動作を制御し、表示を得る。

【0064】《対向電極CT、CT2》対向電極CT、CT2は導電層g3で形成され、対向電圧信号線CLと一体形成されている。この対向電極と前述の画素電極の間に与えられる電圧により、液晶分子の動作を制御し、表示を得る。

【0065】対向電極CTには対向電圧Vcomが印加されるように構成されている。本実施例では、対向電圧Vcomは映像信号線DLに印加される最小レベルの駆動電圧Vdminと最大レベルの駆動電圧Vdmaxとの中間直流電位から、薄膜トランジスタ素子TFTをオフ状態にするときに発生するフィードスルー電圧ΔVs分だけ低い電位に設定されるが、映像信号駆動回路で使用される集積回路の電源電圧を約半分に低減したい場合は、交流電圧を印加すれば良い。

【0066】《対向電圧信号線CL》対向電圧信号線CLは導電膜g3で構成されている。この対向電圧信号線CLの導電膜g3はゲート電極GT、走査信号線GLおよび対向電極CTの導電膜g3と同一製造工程で形成され、かつ対向電極CTと電氣的に接続できるように構成

されている。この対向電圧信号線CLにより、外部回路から対向電圧Vcomを対向電極CTに供給する。また、映像信号線DLと交差する部分は映像信号線DLとの短絡の確率を小さくするため細くし、また、短絡しても、レーザトリミングで切り離すことができるように二股にしても良い。

【0067】《蓄積容量Cstg》導電膜d3は、薄膜トランジスタTFTのソース電極SD2部分において、対向電圧信号線CLと重なるように形成されている。この重ね合わせは、図5からも明かなように、画素電極PXの一部PX3(d3)を一方の電極とし、対向電圧信号CLを他方の電極とする蓄積容量(静電容量素子)Cstgを構成する。この蓄積容量Cstgの誘電体膜は、薄膜トランジスタTFTのゲート絶縁膜として使用される絶縁膜GIで構成されている。

【0068】図1に示すように平面的には蓄積容量Ctgは対向電圧信号線CLの一部に形成されている。

【0069】《保護膜PSV1》薄膜トランジスタTFT上には保護膜PSV1が設けられている。保護膜PSV1は主に薄膜トランジスタTFTを湿気等から保護するために形成されており、透明性が高くしかも耐湿性の良いものを使用する。保護膜PSV1はたとえばプラズマCVD装置で形成した酸化シリコン膜や窒化シリコン膜または、アクリル樹脂やポリイミド等で形成されており、0.1~3μm程度の膜厚で形成する。

【0070】保護膜PSV1は、外部接続端子DTM, GTMを露出するよう除去されている。保護膜PSV1と絶縁膜GIの厚さ関係に関しては、前者は保護効果を考え厚くされ、後者はトランジスタの相互コンダクタンスgmを薄くされる。また、本実施例では、保護膜PSV1は絶縁膜GIと同一ホトマスクでパターンニングし、一括で加工した。これにより、工程数が削減され、スループット向上が図れる。また、画素部では、画素電極の一部PX3と電極STとの電氣的接続のために、スルーホールTHを設けている。スルーホールTHはd3でブロッッキングされるのでd3層までの孔があく。

【0071】《カラーフィルタ基板》次に、図1、図2に戻り、上側透明ガラス基板SUB2側(カラーフィルタ基板)の構成を詳しく説明する。

【0072】《遮光膜BM》上部透明ガラス基板SUB2側には、不要な間隙部(画素電極PXと対向電極CTの間以外の隙間)からの透過光が表示面側に出射して、コントラスト比等を低下させないように遮光膜BM(いわゆるブラックマトリクス)を形成している。遮光膜BMは、外部光またはバックライト光がi型半導体層ASに入射しないようにする役割も果たしている。すなわち、薄膜トランジスタTFTのi型半導体層ASは上下にある遮光膜BMおよび大き目のゲート電極GTによってサンドイッチにされ、外部の自然光やバックライト光が当たらなくなる。

【0073】図1に示す線Bmbは、遮光膜BMの開口部の境界を示す線であり、遮光膜BMは、薄膜トランジスタ素子TFT上部とその上下左右方向にマトリクス上に延在した構成である。このパターンは、1例であり、開口部の形状等はコントラストや他の光学特性を犠牲にしない範囲で、任意に設定できる。櫛歯電極端部等の電界方向が乱れる部分においては、その部分の表示は、画素内の映像情報に1対1で対応し、かつ、黒の場合には黒、白の場合には白になるため、表示の一部として利用することが可能である。

【0074】遮光膜BMは光に対する遮蔽性を有し、かつ、画素電極PXと対向電極CTの間の電界に影響を与えないように絶縁性の高い膜で形成されており、本実施例では黒色の顔料をレジスト材に混入し、1.2μm程度の厚さで形成している。

【0075】遮光膜BMは各行の画素に上下左右方向にマトリクス状に形成され、この線で各行各列の有効表示領域が仕切られている。従って、各行各列の画素の輪郭が遮光膜BMによってはっきりとする。つまり、遮光膜BMは、ブラックマトリクスとi型半導体層ASに対する遮光との2つの機能をもつ。

【0076】遮光膜BMは周辺部にも額縁状に形成され、そのパターンは図1に示すマトリクス部のパターンと連続して形成されている。周辺部の遮光膜BMは、シール部SLの外側に延長され、パソコン等の実装機に起因する反射光等の漏れ光がマトリクス部に入り込むのを防ぐと共に、バックライト等の光が表示エリア外に漏れるのも防いでいる。他方、この遮光膜BMは基板SUB2の縁よりも約0.3~1.0mm程内側に留められ、基板SUB2の切断領域を避けて形成されている。

【0077】《カラーフィルタFIL》カラーフィルタFILは画素に対向する位置に赤、緑、青の繰り返しでストライプ状に形成される。カラーフィルタFILは遮光膜BMのエッジ部分と重なるように形成されている。

【0078】カラーフィルタFILは次のように形成することができる。まず、上部透明ガラス基板SUB2の表面にアクリル系樹脂等の赤、緑、青の顔料を混入した基材を形成し、フォトリソグラフィ技術でパターンニングし、各色(赤、緑、青)のフィルタを順次形成する。色純度をより高くするために、シアン等の他の色の顔料を混ぜ合わせる場合もある。

【0079】《オーバーコート膜OC》オーバーコート膜OCはカラーフィルタFILの染料の液晶LCへの漏洩の防止、および、カラーフィルタFIL、遮光膜BMによる段差の平坦化のために設けられている。オーバーコート膜OCはたとえばアクリル樹脂、エポキシ樹脂等の透明樹脂材料で形成されている。

【0080】《液晶層および偏向板》次に、液晶層、配向膜、偏光板等について説明する。

【0081】《液晶層》液晶材料LCとしては、誘電率

異方性 $\Delta\epsilon$ が正でその値が13.2、屈折率異方性 Δn が0.075(589nm、20°)のネマティック液晶を用いる。液晶層の厚み(ギャップ)は、3.9 μm とし、リタデーション $\Delta n \cdot d$ は0.285とする。このリタデーション $\Delta n \cdot d$ の値により、後述の配向膜と偏光板とを組み合わせ、液晶分子がラビング方向から電界方向に45°回転したとき最大透過率を得ることができ、可視光の範囲ないで波長依存性がほとんどない透過光を得ることができる。なお、液晶層の厚み(ギャップ)は、ポリマビーズで制御している。さらに、液晶材料LCは、特に限定したものではなく、誘電率異方性 $\Delta\epsilon$ は負でもよい。また、誘電率異方性 $\Delta\epsilon$ は、その値が大きいほうが、駆動電圧が低減できる。なお、屈折率異方性 Δn は小さいほうが、液晶層の厚み(ギャップ)を厚くでき、液晶の封入時間が短縮され、かつギャップばらつきを少なくすることができる。特に、より色つきのない白表示を行うためにはリタデーションは0.25~0.32の範囲が好ましい。

【0082】《配向膜》配向膜ORIとしては、ポリイミドを用いる。ラビング方向RDRは上下基板で互いに平行にし、かつ印加電界方向EDRとのなす角度は75°とする。図21にその関係を示す。

【0083】なお、ラビング方向RDRと印加電界方向EDRとのなす角度は、液晶材料の誘電率異方性 $\Delta\epsilon$ が正であれば、45°以上90°未満、誘電率異方性 $\Delta\epsilon$ が負であれば、0°を超え45°以下でなければならない。

【0084】《偏光板》偏光板POLとしては、下側の偏光板POL1の偏光透過軸MAX1をラビング方向RDRと一致させ、上側の偏光板POL2の偏光透過軸MAX2を、それに直交させる。図21にその関係を示す。これにより、本発明の画素に印加される電圧(画素電極PXと対向電極CT、CT2の間の電圧)を増加させるに伴い、透過率が上昇するノーマリクローズ特性を得ることができ、また、電圧無印加時には、良質な黒表示ができる。

【0085】《マトリクス周辺の構成》図7は上下のガラス基板SUB1、SUB2を含む表示パネルPNLのマトリクス(AR)周辺の要部平面を示す図である。

【0086】このパネルの製造では、小さいサイズであればスループット向上のため1枚のガラス基板で複数個分のデバイスを同時に加工してから分割し、大きいサイズであれば製造設備の共用のためどの品種でも標準化された大きさのガラス基板を加工してから各品種に合ったサイズに小さくし、いずれの場合も一通りの工程を経てからガラスを切断する。図7は後者の例を示すもので、上下基板SUB1、SUB2の切断後を表しており、LNは両基板の切断前の縁を示す。いずれの場合も、完成状態では外部接続端子群Tg、Tdおよび端子CTM(添字略)が存在する(図7で左辺と上辺の)部分はそれらを露出するように上側基板SUB2の大きさが下側

基板SUB1よりも内側に制限されている。端子群Tg、Tdはそれぞれ後述する走査回路接続用端子GTM、映像信号回路接続用端子DTMとそれらの引出配線部を集積回路チップCHIが搭載されたテープキャリアパッケージTCP(図18、図19)の単位に複数本まとめて名付けたものである。

【0087】各群のマトリクス部から外部接続端子部に至るまでの引出配線は、両端に近づくにつれ傾斜している。これは、パッケージTCPの配列ピッチ及び各パッケージTCPにおける接続端子ピッチに表示パネルPNLの端子DTM、GTMを合わせるためである。また、対向電極端子CTMは、対向電極CT1、CT2および対向電圧信号線CLに対向電圧を外部回路から与えるための端子である。マトリクス部の対向電圧信号線CLは、走査回路用端子GTM側およびその反対側(図7では左右)に引き出し、各対向電圧信号線を共通バスラインCB1、CB2で一纏めにして、対向電極端子CTMに接続している。

【0088】尚、本実施例では、対向電極端子CTMを外部接続端子群Tg、Tdと別に設けたが、その中の一部に設けても良い。また、共通バスラインは2本設けたが、1本でも構わない。但し、2本設けた方が、対向電圧の波形歪みが無くなるので、好ましい。

【0089】また、本実施例では、TCPを用いたが、ガラス上に直接ドライバICを実装する方式(COG、FCA等)を用いても良い。

【0090】透明ガラス基板SUB1、SUB2の間にはその縁に沿って、液晶封入口INJを除き、液晶LCを封止するようにシールパターンSLが形成される。シール材は例えばエポキシ樹脂から成る。

【0091】配向膜ORI1、ORI2の層は、シールパターンSLの内側に形成される。偏光板POL1、POL2はそれぞれ下部透明ガラス基板SUB1、上部透明ガラス基板SUB2の外側の表面に構成されている。液晶LCは液晶分子の向きを設定する下部配向膜ORI1と上部配向膜ORI2との間でシールパターンSLで仕切られた領域に封入されている。下部配向膜ORI1は下部透明ガラス基板SUB1側の保護膜PSV1の上部に形成される。

【0092】この液晶表示装置は、下部透明ガラス基板SUB1側、上部透明ガラス基板SUB2側で別個に種々の層を積み重ね、シールパターンSLを基板SUB2側に形成し、下部透明ガラス基板SUB1と上部透明ガラス基板SUB2とを重ね合わせ、シール材SLの開口部INJから液晶LCを注入し、注入口INJをエポキシ樹脂などで封止し、上下基板を切断することによって組み立てられる。

【0093】尚、本実施例では、液晶封入口INJを走査回路用端子GTMの反対側に設けたが、映像信号回路接続用端子DTMの反対側に設けても良い。また、1つ

ではなく2つ以上設けた方が、封入時間が短縮されるので、好ましい。

【0094】《ゲート端子部》図8は表示マトリクス部の走査信号線GLからその外部接続端子GTMまでの接続構造を示す図であり、(a)は平面であり(b)は(a)のB-B切断線における断面を示している。なお、同図は図7左方付近に対応し、斜め配線の部分は便宜状一直線状で表した。図中Cr-Mo層g3は、判り易くするためハッチを施してある。

【0095】ゲート端子GTMはCr-Mo層g3と、更にその表面を保護し、かつ、TCP(Tape Carrier Package)との接続の信頼性を向上させるための透明導電層i1とで構成されている。この透明導電層i1は電極STと同一工程で形成された透明導電膜ITOを用いている。

【0096】平面図において、絶縁膜GIおよび保護膜PSV1はその境界線よりも右側に形成されており、左端に位置する端子部GTMはそれらから露出し外部回路との電気的接触ができるようになっている。図8では、ゲート線GLとゲート端子の一つの対のみが示されているが、実際はこのような対が上下に複数本並べられ端子群Tg(図7)が構成され、ゲート端子の左端は、製造過程では、基板の切断領域を越えて延長され配線SHg(図示せず)によって短絡される。製造過程における配向膜ORI1のラッピング時等の静電破壊防止に役立つ。

【0097】《ドレイン端子DTM》図9は映像信号線DLからその外部接続端子DTMまでの接続を示す図であり、(a)はその平面を示し、(b)は(a)のB-B切断線における断面を示す。なお、同図は図7上方付近に対応し、図面の向きは便宜上変えてあるが右端方向が基板SUB1の上端部に該当する。

【0098】TSTdは検査端子でありここには外部回路は接続されないが、プローブ針等を接触できるよう配線部より幅が広がられている。同様に、ドレイン端子DTMも外部回路との接続ができるよう配線部より幅が広がられている。外部接続ドレイン端子DTMは上下方向に配列され、ドレイン端子DTMは、図7に示すように端子群Td(添字省略)を構成し基板SUB1の切断線を越えて更に延長され、製造過程では静電破壊防止のためその全てが互いに配線SHd(図示せず)によって短絡される。検査端子TSTdは図9に示すように一本置き映像信号線DLに形成される。

【0099】ドレイン接続端子DTMは透明導電層i1で形成されており、保護膜PSV1を除去した部分で映像信号線DLと接続されている。この透明導電膜i1はゲート端子GTMの時と同様に電極STと同一工程で形成された透明導電膜ITOを用いている。マトリクス部からドレイン端子部DTMまでの引出配線は、映像信号線DLと同じレベルの層d3が構成されている。

【0100】《対向電極端子CTM》図10は対向電圧

信号線CLからその外部接続端子CTMまでの接続を示す図であり、(a)はその平面を示し、(b)は(a)のB-B切断線における断面を示す。なお、同図は図7右上付近に対応する。

【0101】各対向電圧信号線CLは共通バスラインCB1で一纏めして対向電極端子CTMに引き出されている。共通バスラインCB1は導電層g3の上に導電層3を積層し、透明導電層i1でそれらを電気的に接続した構造となっている。これは、共通バスラインCB1の抵抗を低減し、対向電圧が外部回路から各対向電圧信号線CLに十分に供給されるようにするためである。本構造では、特に新たに導電層を負荷することなく、共通バスラインの抵抗を下げられるのが特徴である。

【0102】対向電極端子CTMは、導電層g3の上に透明導電層i1が積層された構造になっている。この透明導電膜i1は他の端子の時と同様に画素電極PXと同一工程で形成された透明導電膜ITOを用いている。透明導電層i1により、その表面を保護し、電食等を防ぐために耐久性のよい透明導電層i1で、導電層g3を覆っている。また透明導電層i1と導電層g3および導電層d3との接続は保護膜PSV1および絶縁膜GIにうスルーホールを形成し導通を取っている。

【0103】一方、図11は対向電圧信号線CLのもう一方の端からその外部接続端子CTM2までの接続を示す図であり、(a)はその平面を示し、(b)は(a)のB-B切断線における断面を示す。なお、同図は図7左上付近に対応する。ここで、共通バスラインCB2では各対向電圧信号線CLのもう一方の端(ゲート端子GTM側)をで一纏めして対向電極端子CTM2に引き出されている。共通バスラインCB1と異なる点は、走査信号線GLとは絶縁されるように、導電層d3と透明導電層i1で形成していることである。また、走査信号線GLとの絶縁は絶縁膜GIで行っている。

【0104】《表示装置全体等価回路》表示マトリクス部の等価回路とその周辺回路の結線図を図12に示す。同図は回路図ではあるが、実際の幾何学的配置に対応して描かれている。ARは複数の画素を二次元状に配列したマトリクス・アレイである。図中、Xは映像信号線DLを意味し、添字G、BおよびRがそれぞれ緑、青および赤画素に対応して付加されている。Yは走査信号線GLを意味し、添字1, 2, 3, ..., endlは走査タイミングの順序に従って付加されている。

【0105】走査信号線Y(添字省略)は垂直走査回路Vに接続されており、映像信号線X(添字省略)は映像信号駆動回路Hに接続されている。SUPは1つの電圧源から複数の分圧した安定化された電圧源を得るための電源回路やホスト(上位演算処理装置)からのCRT(陰極線管)用の情報をTFT液晶表示装置用の情報に交換する回路を含む回路である。

【0106】《駆動方法》図13に本実施例の液晶表示

装置の駆動波形を示す。対向電圧 V_c は一定電圧とする。走査信号 V_g は1走査期間ごとに、オンレベルをとり、その他はオフレベルをとる。映像信号電圧は、液晶層に印加したい電圧の2倍の振幅で正極と負極を1フレーム毎に反転して1つの画素に伝えるように印加する。ここで、映像信号電圧 V_d は1列毎に極性を反転し、2行毎にも極性を反転する。これにより、極性が反転した画素が上下左右となりあう構成となり、フリッカ、クロストーク(スミア)を発生しにくくすることができる。また、対向電圧 V_c は映像信号電圧の極性反転のセンター電圧から、一定量下げた電圧に設定する。これは、薄膜トランジスタ素子がオンからオフに変わるときに発生するフィードスルー電圧を補正するものであり、液晶に直流成分の少ない交流電圧を印加するために行う(液晶は直流が印加されると、残像、劣化等が激しくなるため)。したがって、画素電極の直流成分の電位と対向電極の電位はほぼ同電位になる。また、この他に、対向電圧は交流化することで映像信号電圧の最大振幅を低減でき、映像信号駆動回路(信号側ドライバ)に耐圧の低いものを用いることも可能である。

【0107】《蓄積容量 C_{stg} の働き》蓄積容量 C_{stg} は、画素に書き込まれた(薄膜トランジスタTFTがオフした後の)映像情報を、長く蓄積するために設ける。本発明で用いている電界を基板面と平行に印加する方式では、電界を基板面に垂直に印加する方式と異なり、画素電極と対向電極で構成される容量(いわゆる液晶容量)がほとんど無いため、蓄積容量 C_{stg} がないと映像情報を画素に蓄積することができない。したがって、電界を基板面と平行に印加する方式では、蓄積容量 C_{stg} は必須の構成要素である。

【0108】また、蓄積容量 C_{stg} は、薄膜トランジスタTFTがスイッチングするとき、画素電極電位 V_s に対するゲート電位変化 ΔV_g の影響を低減するようにも働く。この様子を式で表すと、次のようになる。

【0109】 $\Delta V_s = \{C_{gs} / (C_{gs} + C_{stg} + C_{pix})\} \times \Delta V_g$

【0110】ここで、 C_{gs} は薄膜トランジスタTFTのゲート電極GTとソース電極SD1との間に形成される寄生容量、 C_{pix} は画素電極PXと対向電極CT、CT2との間に形成される容量、 ΔV_s は ΔV_g による画素電極電位の変化分いわゆるフィードスルー電圧を表わす。この変化分 ΔV_s は液晶LCに加わる直流成分の原因となるが、保持容量 C_{stg} を大きくすればする程、その値を小さくすることができる。液晶LCに印加される直流成分の低減は、液晶LCの寿命を向上し、液晶表示画面の切り替え時に前の画像が残るいわゆる焼き付きを低減することができる。

【0111】前述したように、ゲート電極GTはi型半導体層ASを完全に覆うよう大きくされている分、ソース電極SD1、ドレイン電極SD2とのオーバーラップ面

積が増え、従って寄生容量 C_{gs} が大きくなり、画素電極電位 V_s はゲート(走査)信号 V_g の影響を受け易くなるという逆効果が生じる。しかし、蓄積容量 C_{stg} を設けることによりこのデメリットも解消することができる。

【0112】《製造方法》つぎに、上述した液晶表示装置の基板SUB1側の製造方法について図14～図16を参照して説明する。なお同図において、中央の文字は工程名の略称であり、左側は図3に示す薄膜トランジスタTFT部分、右側は図8に示すゲート端子付近の断面形状でみた加工の流れを示す。工程B、工程Dを除き工程A～工程Iは各写真処理に対応して区分けしたもので、各工程のいずれの断面図も写真処理後の加工が終わりフォトレジストを除去した段階を示している。なお、写真処理とは本説明ではフォトレジストの塗布からマスクを使用した選択露光を経てそれを現像するまでの一連の作業を示すものとし、繰返しの説明は避ける。以下区分けした工程に従って、説明する。

【0113】工程A、図14

AN635ガラス(商品名)からなる下部透明ガラス基板SUB1上に膜厚が2000のCr-Mo等からなる導電膜g3をスパッタリングにより設ける。写真処理後、硝酸第2セリウムアンモンで導電膜g3を選択的にエッチングする。それによって、ゲート電極GT、走査信号線GL、対向電圧信号線CL、ゲート端子GTM、共通バスラインCB1の第1導電層、対向電極端子CTM1の第1導電層、ゲート端子GTMを接続するバスラインSHg(図示せず)を形成する。

【0114】工程B、図14

プラズマCVD装置にアンモニアガス、シランガス、窒素ガスを導入して、膜厚が3500の窒化Si膜を設け、プラズマCVD装置にシランガス、水素ガスを導入して、膜厚が1200のi型非晶質Si膜を設けたのち、プラズマCVD装置に水素ガス、ホスフィンガスを導入して、膜厚が300のN(+)型非晶質Si膜を設ける。

【0115】工程C、図14

写真処理後、ドライエッチングガスとしてSF6、CCl4を使用してN(+)型非晶質Si膜、i型非晶質Si膜を選択的にエッチングすることにより、i型半導体層ASの島を形成する。

【0116】工程D、図15

膜厚が300のCrからなる導電膜d3をスパッタリングにより設ける。写真処理後、導電膜d3を工程Aと同様な液でエッチングし、映像信号線DL、ソース電極SD1、ドレイン電極SD2、共通バスラインCB2の第1導電層、およびドレイン端子DTMを短絡するバスラインSHd(図示せず)を形成する。つぎに、ドライエッチング装置にCCl4、SF6を導入して、N(+)型非晶質Si膜をエッチングすることにより、ソースとドレイン間のN(+)型半導体層d0を選択的に除去する。

【0117】工程E、図15

プラズマCVD装置にアンモニアガス、シランガス、窒素ガスを導入して、膜厚が $0.4\mu\text{m}$ の窒化Si膜を設ける。写真処理後、ドライエッチングガスとしてSF₆を使用して窒化Si膜を選択的にエッチングすることによって、保護膜PSV1および絶縁膜GIをパターニングする。

【0118】工程F、図16

膜厚が $1400\text{\AA}$ のITO膜からなる透明導電膜i1をスパッタリングにより設ける。写真処理後、エッチング液として塩酸と硝酸との混酸液で透明導電膜i1を選択的にエッチングすることにより、ゲート端子GTMの最上層、ドレイン端子DTMおよび対向電極端子CTM1およびCTM2の第2導電層を形成する。

【0119】《表示パネルPNLと駆動回路基板PCB1》図17は、図7等にした表示パネルPNLに映像信号駆動回路Hと垂直走査回路Vを接続した状態を示す上面図である。

【0120】CHIは表示パネルPNLを駆動させる駆動ICチップ（下側の5個は垂直走査回路側の駆動ICチップ、左の10個ずつは映像信号駆動回路側の駆動ICチップ）である。TCPは図18、図19で後述するように駆動用ICチップCHIがテープ・オートメィド・ボンディング法（TAB）により実装されたテープキャリアパッケージ、PCB1は上記TCPやコンデンサ等が実装された駆動回路基板で、映像信号駆動回路用と走査信号駆動回路用の2つに分割されている。FGPはフレームグランドパッドであり、シールドケースSHDに切り込んで設けられたバネ状の破片が半田付けされる。FCは下側の駆動回路基板PCB1と左側の駆動回路基板PCB1を電気的に接続するフラットケーブルである。フラットケーブルFCとしては図に示すように、複数のリード線（りん青銅の素材にSn鍍金を施したもの）をストライプ状のポリエチレン層とポリビニルアルコール層とでサンドイッチして支持したものを使用する。

【0121】《TCPの接続構造》図18は走査信号駆動回路Vや映像信号駆動回路Hを構成する、集積回路チップCHIがフレキシブル配線基板上に搭載されたテープキャリアパッケージTCPの断面構造を示す図であり、図19はそれを液晶表示パネルの、本例では走査信号回路用端子GTMに接続した状態を示す要部断面図である。

【0122】同図において、TTBは集積回路CHIの入力端子・配線部であり、TTMは集積回路CHIの出力端子・配線部であり、例えばCuから成り、それぞれの内側の先端部（通称インナーリード）には集積回路CHIのボンディングパッドPADがいわゆるフェースダウンボンディング法により接続される。端子TTB、TTMの外側の先端部（通称アウターリード）はそれぞれ

半導体集積回路チップCHIの入力及び出力に対応し、半田付け等によりCRT/TFT変換回路・電源回路SUPに、異方性導電膜ACFによって液晶表示パネルPNLに接続される。パッケージTCPは、その先端部がパネルPNL側の接続端子GTMを露出した保護膜PSV1を覆うようにパネルに接続されており、従って、外部接続端子GTM（DTM）は保護膜PSV1がパッケージTCPの少なくとも一方で覆われるので電触に対して強くなる。

【0123】BF1はポリイミド等からなるベースフィルムであり、SR5は半田付けの際半田が余計なところへつかないようにマスクするためのソルダレジスト膜である。シールパターンSLの外側の上下ガラス基板の間隙は洗浄後エポキシ樹脂EPX等により保護され、パッケージTCPと上側基板SUB2の間には更にシリコン樹脂SILが充填され保護が多重化されている。

【0124】《駆動回路基板PCB2》駆動回路基板PCB2は、IC、コンデンサ、抵抗等の電子部品が搭載されている。この駆動回路基板PCB2には、1つの電圧源から複数の分圧した安定化された電圧源を得るための電源回路や、ホスト（上位演算処理装置）からのCRT（陰極線管）用の情報をTFT液晶表示装置用の情報に変換する回路を含む回路SUPが搭載されている。CJは外部と接続される図示しないコネクタが接続されるコネクタ接続部である。駆動回路基板PCB1と駆動回路基板PCB2とはフラットケーブルFCにより電氣的に接続されている。

【0125】《液晶表示モジュールの全体構成》図20は、液晶表示モジュールMDLの各構成部品を示す分解斜視図である。SHDは金属板から成る枠状のシールドケース（メタルフレーム）、LCWはその表示窓、PNLは液晶表示パネル、SPBは光拡散板、LCBは導光体、RMは反射板、BLはバックライト蛍光管、LCAはバックライトケースであり、図に示すような上下の配置関係で各部材が積み重ねられてモジュールMDLが組み立てられる。

【0126】モジュールMDLは、シールドケースSHDに設けられた爪とフックによって全体が固定されるようになっている。バックライトケースLCAはバックライト蛍光管BL、光拡散板SPB、導光体LCB、反射板RMを収納する形状になっており、導光体LCBの側面に配置されたバックライト蛍光管BLの光を、導光体LCB、反射板RM、光拡散板SPBにより表示面で一様なバックライトにし、液晶表示パネルPNL側に出射する。

【0127】バックライト蛍光管BLにはインバータ回路基板PCB3が接続されており、バックライト蛍光管BLの電源となっている。尚、本実施例では、導光体を用い、蛍光管をその側面に配置した、いわゆるサイド型バックライトを用いたが、輝度を上げるために、蛍光管

を光拡散板の下に配置した、いわゆる直下型バックライトを用いても良い。以上、本実施例では、画素電極に電氣的に接続された電極STを新に設け、保護膜上に形成する、言い換えれば、配向膜の直下に形成することにより、IPS方式の TFT-LCD において、保護膜欠陥が存在した場合に発生する、スポット状の黒いむら（核しみ）を抑制することができる。特に、本実施例では、電極STとはほぼ同電位（交流の場合はその直流成分が同電位）である、画素電極PX、PX2、PX3、ソース電極SD1上の保護膜欠陥、対向電極CT、CT2、対向電極信号線CL上の保護膜欠陥による核しきは、ほぼ完全に解消される効果が有った。

【0128】更に、本実施例では、核しみを抑えと共に、保護膜容量に新たな充電電流を発生させないことにより、イオン性不純物の流動を抑え、不定形の黒いむらの発生も抑制することができた。同様に、固定パターンを長時間表示させた場合にパターンの端が黒くなる残像（焼き付き）も同様の作用により、大幅に軽減することができた。

【0129】（実施例2）本実施例は、下記の点を除き、実施例1と同一である。

【0130】図22は本実施例の一つの画素を示す平面図である。また、図23には、図22のD-D'切断線における断面図を示す。本実施例では、電極STは、スルーホールTHを介して、対向電極の一部CT3に接続されている。

【0131】対向電極は、画素電極とは異なり、スイッチング素子を介して電圧を与えられておらず、常に外部から十分な電圧を印加されているため、核しみの各画素の保護膜容量への充電が十分に早くなる。したがって、点灯初期等、電極STからの充電が不十分な状態でのコントラスト比低下、ちらつき発生などの表示不良状態の時間が大幅に短縮された。

【0132】本実施例では、実施例1の効果に加え、点灯初期の表示不良を抑制することができた。

【0133】（実施例3）本実施例は、下記の点を除き、実施例1と同一である。

【0134】図24は本実施例の一つの画素を示す平面図である。また、図25には、図24のD-D'切断線における断面図を示す。

【0135】本実施例では、電極STは、スルーホールTHを介して、映像信号線の一部DL3に接続されている。

【0136】映像信号線は、他の電極および配線と比較し、直流成分的には最も高い電位を有する。したがって、陽極側の酸化反応は、完全に抑えられ、酸化反応による電極の溶解から発生する断線不良の発生が解消された。

【0137】以上、本実施例では、電極STとはほぼ同電位（交流の場合はその直流成分が同電位）であるため、

映像信号線DL上の保護膜欠陥による核しきは、ほぼ完全に解消される効果が有ったのに加え、映像信号線の通電後に発生する断線不良が完全に解消された。更に、本実施例1と同様に、イオン性不純物の流動を抑え、不定形の黒いむらの発生も抑制することができた。同様に、固定パターンを長時間表示させた場合にパターンの端が黒くなる残像（焼き付き）も同様の作用により、大幅に軽減することができた。

【0138】更に、映像信号線は、画素電極とは異なり、スイッチング素子を介して電圧を与えられておらず、常に外部から十分な電圧を印加されているため、核しみの各画素の保護膜容量への充電が十分に早くなる。したがって、点灯初期等、電極STからの充電が不十分な状態でのコントラスト比低下、ちらつき発生などの表示不良状態の時間が大幅に短縮された。

【0139】また、本実施例では、シアノ系の液晶を用いたが、フッ素系の液晶を用いければ、陰極における還元反応が抑制されるため、陽極側の電位を電極STに加えるだけで、陽極側の核しみが抑えられるだけでなく、陰極側の核しみを抑えることができ、より好ましい。

【0140】（実施例4）本実施例は、下記の点を除き、実施例1と同一である。

【0141】図26、図27は本実施例の一つの画素およびその周辺の画素を示す平面図である。また、図28には、図26のD-D'切断線における断面図を示す。本実施例では、電極STは、スルーホールTHを介して、画素電極の一部PX3に接続されているが、本実施例では、更に、電極STを一行前の走査信号線（ゲート線）GL2上に重畳、もしくは、はみ出すように形成した。この様に形成することにより、蓄積容量Cstgに加えて補助容量Caddが形成されることになる。

【0142】《補助容量Caddの働き》補助容量Caddは、蓄積容量Cstgと同様に画素に書き込まれた（薄膜トランジスタTFTがオフした後の）映像情報を、長く蓄積することに効果がある。特に、蓄積容量Cstgを設けない時は、補助容量Caddは必須の構成要素になる。

【0143】また、蓄積容量Cstgと同様に、補助容量Caddは、薄膜トランジスタTFTがスイッチングするとき、画素電極電位Vsに対するゲート電位変化 ΔVg の影響を低減するようにも働く。この様子を式で表すと、次のようになる。

【0144】 $\Delta Vs = \{ Cgs / (Cgs + Cstg + Cadd + Cpix) \} \times \Delta Vg$

【0145】この変化分 ΔVs は液晶LCに加わる直流成分の原因となるが、保持容量Caddを大きくすればする程、その値を小さくすることができる。液晶LCに印加される直流成分の低減は、液晶LCの寿命を向上し、液晶表示画面の切り替え時に前の画像が残るいわゆる焼き付きを低減することができる。

【0146】本実施例の電極STは、実施例1と同様に、画素電極と同電位であるため、画素電極上の保護膜欠陥や、対向電極、対向電極信号線上の保護膜欠陥による核しめは、ほぼ完全に解消される効果があるが、それに加えて、ゲート線GL上に異物があり、ゲート絶縁膜GIおよび保護膜PSV1に欠陥があった場合にも、核しめの発生を防ぐまたは軽減する効果がある。

【0147】これは、ゲート線上に保護膜欠陥があった場合でも、欠陥の周りを電極STが取り囲む構造になり、欠陥部からの電気力線は、電極STに殆どが収束するため、周りの保護膜容量への充電電流は、あまり流れない。また、欠陥部で液晶中のイオンがマイナスにチャージアップするが、周りにある電極STにすぐに放電するため、マイナスイオンが、周りの画素に拡散しにくくなる。したがって、核しめの大きさ、強度ともに大幅に軽減することができた。

【0148】また、本実施例では、画素電極と接続された電極で走査配線を被覆したので、例えば、異物により、画素電極と走査信号線が短絡しても、点欠陥で収まるため、歩留低下を招かない。

【0149】以上、本実施例では、実施例1の効果に加え、走査信号線（ゲート線）GL上の保護膜欠陥による核しめも、大幅に軽減される効果が有った。また、走査電極からの不要な電界を表示領域内に及ぼすことが無くなり、フリッカ、残像等の走査信号線からの電界による直流成分による表示不良が解消される効果も得られた。

【0150】（実施例5）本実施例は、下記の点を除き、実施例1、実施例2および実施例4と同一である。図29は本実施例の一つの画素を示す平面図である。

【0151】本実施例では、実施例2と同様に、電極STは、スルーホールTHを介して、対向電極の一部CT3に接続されており、実施例4と同様に、電極STを一行前の走査信号線（ゲート線）GL2上に重畳、もしくは、はみ出すように形成した。尚、本実施例では、補助容量Caddが形成されることはない。

【0152】以上、本実施例では、実施例1、実施例2および実施例4の効果が得られた。

【0153】（実施例6）本実施例は、下記の点を除き、実施例1、実施例3および実施例4と同一である。

【0154】図30は本実施例の一つの画素を示す平面図である。また、本実施例では、実施例3と同様に、電極STは、スルーホールTHを介して、映像信号線の一部DL3に接続されており、実施例4と同様に、電極STを一行前の走査信号線（ゲート線）GL2上に重畳、もしくは、はみ出すように形成した。尚、本実施例では、補助容量Caddが形成されることはない。

【0155】以上、本実施例では、実施例1、実施例3および実施例4の効果が得られた。

【0156】（実施例7）本実施例は、下記の点を除き、実施例1と同一である。

【0157】図31は本実施例の一つの画素を示す平面図である。また、本実施例では、実施例1と同様に、電極Sは、スルーホールTHを介して、画素電極の一部に接続されている。

【0158】また、本実施例では、電極STを2つ設け、それぞれを、走査信号線GLの脇に配置した。これにより、実施例4と同様に、走査信号線上の保護膜欠陥による核しめを軽減させることができると共に、走査電極からの不要な電界を表示領域内に及ぼすことが無くなり、フリッカ、残像等の走査信号線からの電界による直流成分による表示不良が解消される。

【0159】以上、本実施例では、実施例1および実施例4の効果が得られた。

【0160】（実施例8）本実施例は、下記の点を除き、実施例1、実施例2、実施例7と同一である。

【0161】図32は本実施例の一つの画素を示す平面図である。本実施例では、実施例2と同様に、電極STは、スルーホールTHを介して、対向電極の一部に接続されている。

【0162】また、本実施例では、電極STを2つ設け、それぞれを、走査信号線GLの脇に配置した。これにより、実施例4と同様に、走査信号線上の保護膜欠陥による核しめを軽減させることができると共に、走査電極からの不要な電界を表示領域内に及ぼすことが無くなり、フリッカ、残像等の走査信号線からの電界による直流成分による表示不良が解消される。

【0163】以上、本実施例では、実施例1、実施例2および実施例4の効果が得られた。

【0164】（実施例9）本実施例は、下記の点を除き、実施例1および実施例4と同一である。

【0165】図33は本実施例の一つの画素を示す平面図である。

【0166】本実施例では、実施例4と同様に、電極STは、スルーホールTHを介して、画素電極の一部に接続され、前行の走査信号線に重畳するように構成している。

【0167】また、本実施例では、蓄積容量Cstgを大きくし、かつ薄膜トランジスタ素子TFETの寄生容量Cgsを減らすことにより、TFETのスイッチングオフ時のフィードスルー電圧 ΔV_s （図13に表示）を1V以下に低減した。これにより、画素電極、対向電極、映像信号線の直流成分の電位がほぼ同電位になるため、電極STは画素電極に接続されるだけで、画素電極、対向電極、映像信号線上の保護膜欠陥による充電電流の発生を抑制することができ、核しめの発生を、抑制することができる。核しめを発生するための電極反応が起こるためのしきい値電圧は、約0.5~1Vであり、液晶材料および電極材料によってその値は、異なるが、本実施例で構成したものでは、1Vであったため、このフィードスルー電圧 ΔV_s を1V以下に成るように、蓄積容量C

s t g および薄膜トランジスタ T F T の寄生容量 C g s を設定した。

【0168】尚、本実施例では、1 V 以下になるように設定したが、材料によらないようにするためには 0 . 5 V 以下にすることが好ましい。

【0169】以上、本実施例では、画素電極とほぼ同電位（交流の場合はその直流成分が同電位）である、画素電極 P X、P X 2、P X 3、ソース電極 S D 1 上の保護膜欠陥、対向電極 C T、C T 2、対向電極信号線 C L 上の保護膜欠陥および映像信号線 D L、ドレイン電極 S D 2 上の保護膜欠陥による核しめは、ほぼ完全に解消される効果が有った。また、実施例 4 と同様に、走査信号線（ゲート線）G L 上の保護膜欠陥による核しめも、大幅に軽減される効果が有った。また、走査電極からの不要な電界を表示領域内に及ぼすことが無くなり、フリッカ、残像等の走査信号線からの電界による直流成分による表示不良が解消される効果も得られた。

【0170】更に、本実施例 1 と同様に、イオン性不純物の流動を抑え、不定形の黒いむらの発生も抑制することができた。同様に、固定パターンを長時間表示させた場合にパターンの端が黒くなる残像（焼き付き）も同様の作用により、大幅に軽減することができた。

【0171】（実施例 10）本実施例は、下記の点を除き、実施例 1、実施例 5 および実施例 9 と同一である。

【0172】本実施例では、実施例 5 と同様に、電極 S T は、スルーホール T H を介して、対向電極の一部に接続され、前行の走査信号線に重畳するように構成している。また、本実施例では、実施例 9 と同様に、蓄積容量 C s t g を大きくし、かつ薄膜トランジスタ素子 T F T の寄生容量 C g s を減らすことにより、T F T のスイッチングオフ時のフィードスルー電圧 $\Delta V s$ （図 13 に表示）を 1 V 以下に低減した。これにより、画素電極、対向電極、映像信号線の直流成分の電位がほぼ同電位になるため、電極 S T は対向電極に接続されるだけで、画素電極、対向電極、映像信号線上の保護膜欠陥による充電電流の発生を抑制することができ、核しめの発生を、抑制することができる。核しめを発生するための電極反応が起こるためのしきい値電圧は、約 0 . 5 ~ 1 V であり、液晶材料および電極材料によってその値は、異なるが、本実施例で構成したものでは、1 V であったため、このフィードスルー電圧 $\Delta V s$ を 1 V 以下に成るように、蓄積容量 C s t g および薄膜トランジスタ T F T の寄生容量 C g s を設定した。

【0173】尚、本実施例では、1 V 以下になるように設定したが、材料によらないようにするためには 0 . 5 V 以下にすることが好ましい。

【0174】以上、本実施例では、実施例 9 の効果に加え、実施例 2 と同様に、点灯初期等、電極 S T からの充電が不十分な状態でのコントラスト比低下、ちらつき発生などの表示不良状態の時間が大幅に短縮される効果が

得られた。

【0175】（実施例 11）本実施例は、下記の点を除き、実施例 1、実施例 6 および実施例 9 と同一である。

【0176】本実施例では、実施例 6 と同様に、電極 S T は、スルーホール T H を介して、映像信号線の一部に接続され、前行の走査信号線に重畳するように構成している。また、本実施例では、実施例 9 と同様に、蓄積容量 C s t g を大きくし、かつ薄膜トランジスタ素子 T F T の寄生容量 C g s を減らすことにより、T F T のスイッチングオフ時のフィードスルー電圧 $\Delta V s$ （図 13 に表示）を 1 V 以下に低減した。これにより、画素電極、対向電極、映像信号線の直流成分の電位がほぼ同電位になるため、電極 S T は映像信号線に接続されるだけで、画素電極、対向電極、映像信号線上の保護膜欠陥による充電電流の発生を抑制することができ、核しめの発生を、抑制することができる。核しめを発生するための電極反応が起こるためのしきい値電圧は、約 0 . 5 ~ 1 V であり、液晶材料および電極材料によってその値は、異なるが、本実施例で構成したものでは、1 V であったため、このフィードスルー電圧 $\Delta V s$ を 1 V 以下に成るように、蓄積容量 C s t g および薄膜トランジスタ T F T の寄生容量 C g s を設定した。

【0177】尚、本実施例では、1 V 以下になるように設定したが、材料によらないようにするためには 0 . 5 V 以下にすることが好ましい。

【0178】以上、本実施例では、実施例 9 の効果に加え、実施例 3 の効果が得られた。

【0179】（実施例 12）本実施例は、下記の点を除き、実施例 4 と同一である。

【0180】本実施例の駆動波形を図 34 に示す。本実施例では、走査電圧 V g が 3 値の電圧を有する。この 3 値の電圧は、一つは選択電圧であり、薄膜トランジスタ T F T をオンさせるための電圧であり、残りの 2 つは薄膜トランジスタ T F T をオフ状態に保つための電圧である。走査期間中、薄膜トランジスタ T F T をオンさせ、映像信号を書き込んだ後、薄膜トランジスタ T F T を V g h から V g l 2 に引き下げ、薄膜トランジスタ T F T をオフ状態にする。この時、フィードスルー電圧 $\Delta V s$ が発生し、書き込んだ電圧から低電位側にシフトする。このフィードスルー電圧は、正極の信号を書き込んだ時と、負極の電圧を書き込んだ時で、若干異なる。この後、薄膜トランジスタ T F T が十分にオフ状態になるように、1 走査期間（1 H）待った後、前行の走査信号の非選択電圧を、V g l 2 から V g l 1 に引き上げる。この時、再び補助容量 C a d d を介して、画素電極電位に電圧 $\Delta V s'$ が飛び込み、画素電圧は、高電圧側にシフトする。この電圧 $\Delta V g l$ 、補助容量 C a d d を適正化し、フィードスルー電圧 $\Delta V s$ に対してこの $\Delta V s'$ を適正化することで、画素電極電圧の直流成分の電位および対向電圧と、映像信号線電位の直流成分の電位をほぼ

一致させることができる。

【0181】このフィードスルー電圧 ΔV_s と $\Delta V_{s'}$ は以下の式で決まる。

$$\Delta V_s = \frac{C_{gs}(on)}{C_{gs}(on) + C_{stg} + C_{add} + C_{lc}} (V_{gh} - V_d - V_{th}) + \frac{C_{gs}(off)}{C_{gs}(off) + C_{stg} + C_{add} + C_{lc}} (V_d + V_{th} - V_{gl2}) \cdots (式1)$$

$$\Delta V_{s'} = \frac{C_{add}}{C_{gs}(off) + C_{stg} + C_{add} + C_{lc}} (V_{gl1} - V_{gl2}) \cdots (式2)$$

【0183】ここで、 $C_{gs}(on)$ は薄膜トランジスタTFTがオン時のゲートソース間寄生容量、 $C_{gs}(off)$ は薄膜トランジスタTFTがオフ時のゲートソース間寄生容量を示す。

【0184】これにより、電極STは、画素電極、対向電極、映像信号線のどれか一つに接続されるだけで、画素電極、対向電極、映像信号線上の保護膜欠陥による充電電流の発生を抑制することができ、核しみの発生を抑制することができる。

【0185】本実施例では、電極STは、画素電極に接続されているが、対向電極でも同等の効果が得られる。

【0186】以上、本実施例では、画素電極とほぼ同電位（交流の場合はその直流成分が同電位）である、画素電極PX、PX2、PX3、ソース電極SD1上の保護膜欠陥、対向電極CT、CT2、対向電極信号線CL上の保護膜欠陥および映像信号線DL、ドレイン電極SD2上の保護膜欠陥による核しみは、ほぼ完全に解消される効果が有った。また、実施例4と同様に、走査信号線（ゲート線）GL上の保護膜欠陥による核しみも、大幅に軽減される効果が有った。また、走査電極からの不要な電界を表示領域内に及ぼすことが無くなり、フリッカ、残像等の走査信号線からの電界による直流成分による表示不良が解消される効果も得られた。

【0187】更に、本実施例1と同様に、イオン性不純物の流動を抑え、不定形の黒いむらの発生も抑制することができた。同様に、固定パターンを長時間表示させた場合にパターンの端が黒くなる残像（焼き付き）も同様の作用により、大幅に軽減することができた。

【0188】（実施例13）本実施例は、下記の点を除き、実施例1と同一である。

【0189】図35は本実施例の一つの画素を示す平面図である。本実施例では、電極STは、スルーホールTHを介して、画素電極の一部に接続され、映像信号線に重畳するように構成している。また、本実施例では次列（隣）の映像信号線に重畳させたが、次列の映像信号線に重畳させても良い。

【0190】本実施例の電極STは、実施例1と同様に、画素電極と同電位であるため、画素電極上の保護膜欠陥や、対向電極、対向電極信号線上の保護膜欠陥による核しみは、ほぼ完全に解消される効果が有るが、それに加えて、映像信号線DL上に異物があり、保護膜PSV1に欠陥があった場合にも、核しみの発生を防ぐまたは軽減する効果がある。

【0182】

【数1】

【0191】これは、映像信号線DL上に保護膜欠陥があった場合でも、欠陥の周りを電極STが取り囲む構造になり、欠陥部からの電気力線は、電極STに殆どが収束するため、周りの保護膜容量への充電電流は、あまり流れない。また、欠陥部で液晶中のイオンがプラスにチャージアップするが、周りにある電極STにすぐに放電するため、プラスイオンが、周りの画素に拡散しにくくなる。したがって、核しみの大きさ、強度ともに大幅に軽減することができた。また、本実施例では、画素電極と接続された電極で映像信号線を被覆したので、例え、異物により、画素電極と映像信号線が短絡しても、点欠陥で収まるため、歩留低下を招かない。

【0192】以上、本実施例では、実施例1の効果に加え、映像信号線（ドレイン線）DL上の保護膜欠陥による核しみも、大幅に軽減される効果が有った。

【0193】（実施例14）本実施例は、下記の点を除き、実施例1と同一である。

【0194】図36は本実施例の一つの画素を示す平面図である。本実施例では、電極STは、スルーホールTHを介して、対向電極の一部に接続され、隣の映像信号線に重畳するように構成している。本実施例では隣（次列）の映像信号線に重畳させたが、自列の映像信号線に重畳させても良い。

【0195】本実施例の電極STは、実施例13と同様に、対向電極と同電位であるため、画素電極上の保護膜欠陥や、対向電極、対向電極信号線上の保護膜欠陥による核しみは、ほぼ完全に解消される効果が有るが、それに加えて、映像信号線DL上に異物があり、保護膜PSV1に欠陥があった場合にも、核しみの発生を防ぐまたは軽減する効果がある。

【0196】また、本実施例では、対向電極で、ドレイン線（映像信号線）DLを被覆しているため、映像信号線からの不要な電界を遮断し、それによる縦方向に筋を引く現象（縦スミア、クロストーク）を解消することができる。

【0197】以上、本実施例では、実施例13の効果に加え、実施例2と同様に初期点灯の表示不良を軽減できると共に、縦方向のクロストークが解消される効果が有った。

【0198】（実施例15）本実施例は、下記の点を除き、実施例1と同一である。

【0199】図37は本実施例の一つの画素を示す平面図である。本実施例では、電極ST1は、スルーホール

THを介して、画素電極の一部に接続され、自列の映像信号線に重畳させ、かつ、電極ST2は、スルーホールTHを介して、画素電極の一部に接続され、走査信号線に重畳させるように構成している。本実施例では、ST1を自列の映像信号線に重畳させたが、隣（次列）の映像信号線に重畳させても良い。

【0200】本実施例の電極ST1、ST2は、画素電極と同電位であるため、画素電極上の保護膜欠陥や、対向電極、対向電極信号線上の保護膜欠陥による核しめは、ほぼ完全に解消される効果があるが、それに加えて、映像信号線DLおよび走査信号線GL上に異物があり、ゲート絶縁膜GIおよび保護膜PSV1に欠陥があった場合にも、核しめの発生を防ぐまたは軽減する効果がある。

【0201】以上、本実施例では、すべての電極上にPAS欠陥（保護膜欠陥）があった場合も、核しめを抑制することができる効果がある。更に、本実施例では、実施例1と同様に、核しめを抑えると共に、保護膜容量に新たな充電電流を発生させないことにより、イオン性不純物の流動を抑え、不定形の黒いむらの発生も抑制することができる効果がある。同様に、固定パターンを長時間表示させた場合にパターンの端が黒くなる残像（焼き付き）も同様の作用により、大幅に軽減することができる効果がある。また、走査電極からの不要な電界を表示領域内に及ぼすことが無くなり、フリッカ、残像等の走査信号線からの電界による直流成分による表示不良が解消される効果も得られる。

【0202】（実施例16）本実施例は、下記の点を除き、実施例1と同一である。

【0203】図38は本実施例の一つの画素を示す平面図である。本実施例では、電極ST1は、スルーホールTHを介して、対向電極の一部に接続され、自列の映像信号線に重畳させ、かつ、電極ST2は、スルーホールTHを介して、対向電極の一部に接続され、走査信号線に重畳させるように構成している。本実施例では、ST1を隣（次列）の映像信号線に重畳させたが、自列の映像信号線に重畳させても良い。本実施例の電極ST1、ST2は、対向電極と同電位であるため、画素電極上の保護膜欠陥や、対向電極、対向電極信号線上の保護膜欠陥による核しめは、ほぼ完全に解消される効果があるが、それに加えて、映像信号線DLおよび走査信号線GL上に異物があり、ゲート絶縁膜GIおよび保護膜PSV1に欠陥があった場合にも、核しめの発生を防ぐまたは軽減する効果がある。

【0204】また、本実施例では、対向電極で、ドレイン線（映像信号線）GLを被覆しているため、映像信号線からの不要な電界を遮断し、それによる縦方向に筋を引く現象（縦スミア、クロストーク）を解消することができる。

【0205】以上、本実施例では、実施例15の効果に

加え、実施例2と同様に初期点灯の表示不良を軽減できると共に、縦方向のクロストークが解消される効果もある。

【0206】（実施例17）本実施例は、下記の点を除き、実施例1と同一である。

【0207】図39は本実施例の一つの画素を示す平面図である。本実施例では、電極ST1は、スルーホールTHを介して、対向電極の一部に接続され、次列（隣）の映像信号線に重畳させ、かつ、電極ST2は、スルーホールTHを介して、画素電極の一部に接続され、走査信号線に重畳させるように構成している。本実施例では、ST1を隣（次列）の映像信号線に重畳させたが、自列の映像信号線に重畳させても良い。

【0208】また、走査信号線に重畳させる電極STを対向電極に、映像信号線に重畳させる電極STを映像信号線に重畳させても良いが、縦スミアを抑制するためには、映像信号線に重畳させて電極STを対向電極に接続した方が好ましい。

【0209】本実施例の電極ST1、ST2は、画素電極および対向電極（画素電極の直流成分の電位と対向電極の電位はほぼ同電位）と同電位であるため、画素電極上の保護膜欠陥や、対向電極、対向電極信号線上の保護膜欠陥による核しめは、ほぼ完全に解消される効果があるが、それに加えて、映像信号線DLおよび走査信号線GL上に異物があり、ゲート絶縁膜GIおよび保護膜PSV1に欠陥があった場合にも、核しめの発生を防ぐまたは軽減する効果がある。

【0210】また、本実施例では、対向電極で、ドレイン線（映像信号線）GLを被覆しているため、映像信号線からの不要な電界を遮断し、それによる縦方向に筋を引く現象（縦スミア、クロストーク）を解消することができる。

【0211】また、実施例16では走査電極と対向電極が異物により短絡し、線欠陥を生じる恐れがあったが、本実施例では、例え、短絡しても、点欠陥で収まるため、歩留を向上させることができる。

【0212】以上、本実施例では、実施例16の効果に加え、実施例2と同様に初期点灯の表示不良を軽減できると共に、縦方向のクロストークが解消される効果もある。

【0213】（実施例18）本実施例は、下記の点を除き、実施例1および実施例4と同一である。

【0214】図40は本実施例の一つの画素を示す平面図である。本実施例では、電極STは、スルーホールTHを介して、対向電極の一部に接続され、走査信号線、映像信号線および薄膜トランジスタFT上に重畳させ、画素電極と対向電極の表示領域以外の全てに形成した。

【0215】本実施例の電極STは、対向電極と同電位であるため、画素電極上の保護膜欠陥や、対向電極、対

向電極信号線上の保護膜欠陥による核しきは、ほぼ完全に解消される効果があるが、それに加えて、薄膜トランジスタTFT上、映像信号線DLおよび走査信号線GL上に異物があり、ゲート絶縁膜GIおよび保護膜PSV1に欠陥があった場合にも、核しみの発生を防ぐまたは軽減する効果がある。

【0216】以上、本実施例では、実施例16の効果を
得ることができた。また、各配線と電極STとの間の容量を低減するために、アクリル樹脂や、ポリイミド等の有機保護膜を用いると、走査信号および映像信号の信号
10 波形の鈍りが軽減され、好ましい。

【0217】(実施例19)本実施例は、下記の点を除き、実施例1および実施例4と同一である。

【0218】図41は本実施例の一つの画素を示す平面図である。本実施例では、電極STは、スルーホールTHを介して、ソース電極の一部に接続され、画素電極と兼用する。本実施例では、電極STを透明導電膜ITOで形成したため、電極部分の透過光が透過率の向上に寄与する。また、最上層の電極STで表示領域の液晶を駆動するため、保護膜への電圧分割が少なく、低い電圧
20 で、最大透過率を得ることができる。言い換えれば、低電圧で液晶を駆動することができる。本実施例の電極STは、画素電極と同電位であるため、画素電極上の保護膜欠陥や、対向電極、対向電極信号線上の保護膜欠陥による核しきは、ほぼ完全に解消される効果がある。

【0219】以上、本実施例では、実施例4の効果に加え、透過率が向上する効果および低電圧化できる効果が得られた。

【0220】また、SD3は、走査配線からの電界の影響が表示領域内に入り込まないようにしたシールド電極
30 であり、前行の走査配線からの影響は、対向電極信号線を、走査信号線と隣接させることにより、走査配線からの電界の影響が表示領域内に入り込まないようにした。これにより、初期点灯時のフリッカなどの表示不良を解消できる効果を得た。

【0221】但し、他の実施例と異なり、保護膜による直流緩和現象が少なくなるため、残像は若干悪化する。

【0222】(実施例20)本実施例は、下記の点を除き、実施例1および実施例5と同一である。

【0223】本実施例では、電極STは、スルーホール
40 THを介して、対向電極信号線CLの一部に接続され、対向電極と兼用する。本実施例では、電極STを透明導電膜ITOで形成したため、電極部分の透過光が透過率の向上に寄与する。また、最上層の電極STで表示領域の液晶を駆動するため、保護膜への電圧分割が少なく、低い電圧で、最大透過率を得ることができる。言い換えれば、低電圧で液晶を駆動することができる。本実施例の電極STは、対向電極と同電位であるため、画素電極上の保護膜欠陥や、対向電極、対向電極信号線上の保護膜欠陥による核しきは、ほぼ完全に解消される効果が有
50

る。

【0224】以上、本実施例では、実施例5の効果に加え、透過率が向上する効果および低電圧化できる効果が得られた。

【0225】但し、他の実施例と異なり、保護膜による直流緩和現象が少なくなるため、残像は若干悪化する。

【0226】(実施例21)本実施例は、下記の点を除き、実施例1および実施例20と同一である。

【0227】本実施例では、電極STの一つは、スルーホールTHを介して、対向電極信号線CLの一部に接続され、対向電極と兼用する。また、もう一つの電極STは、スルーホールTHを介して、ソース電極の一部に接続され、画素電極と兼用する。本実施例では、電極STを透明導電膜ITOで形成したため、電極部分の透過光が透過率の向上に寄与する。また、最上層の電極STで表示領域の液晶を駆動するため、保護膜への電圧分割がなく、低い電圧で、最大透過率を得ることができる。言い換えれば、低電圧で液晶を駆動することができる。

【0228】本実施例の電極STは、対向電極と同電位であるため、画素電極上の保護膜欠陥や、対向電極、対向電極信号線上の保護膜欠陥による核しきは、ほぼ完全に解消される効果がある。

【0229】以上、本実施例では、実施例20の効果に加え、更に、透過率が向上する効果および低電圧化できる効果が得られた。但し、他の実施例と異なり、保護膜による直流緩和現象がないため、残像は大幅に悪化する。

【0230】(実施例22)本実施例は、下記の点を除き、実施例1と同一である。

【0231】図42は本実施例の一つの画素を示す平面図である。本実施例では、電極STは、スルーホールTHを介して、画素電極の一部に接続され、一部は、自列(隣)の映像信号線に重畳され、一部は次列の映像信号線に重畳させている。本実施例の電極STは、実施例1と同様に、画素電極と同電位であるため、画素電極上の保護膜欠陥や、対向電極、対向電極信号線上の保護膜欠陥による核しきは、ほぼ完全に解消される効果があるが、それに加えて、映像信号線DL上に異物があり、保護膜PSV1に欠陥があった場合にも、核しみの発生を防ぐまたは軽減する効果がある。

【0232】また、本実施例では、画素電極と接続された電極で映像信号線を被覆したので、例え、異物により、画素電極と映像信号線が短絡しても、点欠陥で収まるため、歩留低下を招かない。

【0233】また、実施例13では、電極STと映像信号線との容量結合による電極変動による縦スミアが発生するが、本実施例では、電極STをたすき状に、ドレイン線(映像信号線)DLに重畳させたので、一列ごとに、印加する信号の極性を反転される、列毎反転駆動や、ドット反転駆動を用いれば、電極STとそれぞれの

映像信号線との容量結合による電極変動が補償し合い、電極 S T の電位は、ほとんど変化しない。したがって、この容量結合の結果発生する縦方向に筋を引く現象（縦スミア、クロストーク）は抑制される。

【0234】以上、本実施例では、実施例 1 の効果に加え、映像信号線（ドレイン線）G L 上の保護膜欠陥による核しみも、大幅に軽減される効果が有った。また、縦方向のクロストークが解消される効果が有った。

【0235】（実施例 23）本実施例は、下記の点を除き、実施例 1 と同一である。

【0236】図 43 は本実施例の一つの画素およびその周辺を示す平面図である。また、図 44 には、図 43 の E - E ' 切断線における断面図を示す。また、図 45 には、図 7 の下辺付近（有効表示領域外）の電極 S T と映像信号線の接続部を示す。本実施例では、電極 S T は、有効表示領域外の部分でスルーホール T H を介して、映像信号線の一部に接続されており、図 43、図 44 に示されるに様に、映像信号線上に、映像信号線と併設して、上下方向に延在した、線状の形状をしている。図 45 に示される接続部分は、映像信号線の上下の有効表示領域外に設けられており、映像信号線 D L が一ヶ所断線したとしても、電極 S T によって、切れた映像信号線が電氣的に接続された状態を保つ。言い換えれば映像信号線の断線不良に対する冗長構造になる。

【0237】実施例 3 と同様に、映像信号線は、他の電極および配線と比較し、直流成分的には最も高い電位を有する。したがって、陽極側の酸化反応は、完全に抑えられ、酸化反応による電極の溶解から発生する断線不良の発生が解消されるが、走査配線や対向電極信号線の交差部で、配線が乗り越える時に、その段差で切れる断線が発生する。本実施例は、この断線に対しても効果があり、映像信号線の断線をほとんど解消することができた。

【0238】以上、本実施例では、実施例 3 の効果に加え、更に、歩留を向上させることができる効果を得た。

【0239】（実施例 24）本実施例は、下記の点を除き、実施例 1 と同一である。

【0240】図 46 は本実施例の一つの画素およびその周辺を示す平面図である。また、図 47 には、図 46 の F - F ' 切断線における断面図を示す。本実施例では、電極 S T は、有効表示領域内の部分でスルーホール T H を介して、映像信号線の一部に接続されており、図 46 に示されるに様に、映像信号線上に、映像信号線と併設して、上下方向に延在している。これにより、映像信号線 D L が 1 画素内で 2 ヶ所以上断線しなければ、映像信号線が、複数ヶ所断線していても、電極 S T によって、切れた映像信号線が電氣的に接続された状態を保つ。言い換えれば映像信号線の断線不良に対する冗長構造になる。

【0241】実施例 3 と同様に、映像信号線は、他の電

極および配線と比較し、直流成分的には最も高い電位を有する。したがって、陽極側の酸化反応は、完全に抑えられ、酸化反応による電極の溶解から発生する断線不良の発生が解消されるが、走査配線や対向電極信号線の交差部で、配線が乗り越える時に、その段差で切れる断線が発生する。本実施例は、この断線に対して実施例 23 より更に効果があり、映像信号線の断線を完全に解消することができた。

【0242】以上、本実施例では、実施例 3 の効果に加え、更に、歩留を向上させることができる効果を得た。

【0243】（実施例 25）本実施例は、下記の点を除き、実施例 1 と同一である。

【0244】図 48 は本実施例の一つの画素を示す平面図である。本実施例では、電極 S T は、スルーホール T H を介して、走査信号線の一部に接続されている。

【0245】走査信号線は、他の電極および配線と比較し、直流成分的には最も低い電位を有する。したがって、陰極側の還元反応は、完全に抑えられ、還元反応による液晶分解の発生が解消された。

【0246】以上、本実施例では、電極 S T とほぼ同電位（交流の場合はその直流成分が同電位）であるため、走査信号線 G L 上の保護膜欠陥による核しみは、ほぼ完全に解消される効果が有った。更に、本実施例 1 と同様に、イオン性不純物の流動を抑え、不定形の黒いむらの発生も抑制することができた。同様に、固定パターンを長時間表示させた場合にパターンの端が黒くなる残像（焼き付き）も同様の作用により、大幅に軽減することができた。特に、映像信号線は、画素電極とは異なり、スイッチング素子を介して電圧を与えられておらず、常に外部から十分な電圧を印加されているため、核しみの各画素の保護膜容量への充電が十分に速くなる。したがって、点灯初期等、電極 S T からの充電が不十分な状態でのコントラスト比低下、ちらつき発生などの表示不良状態の時間が大幅に短縮された。

【0247】（実施例 26）本実施例は、下記の点を除き、実施例 1 と同一である。

【0248】図 49 は本実施例の一つの画素を示す平面図である。本実施例では、電極 S T 1 は、スルーホール T H を介して、画素電極の一部に接続され、かつ、電極 S T 2 は、スルーホール T H を介して、走査信号線の一部に接続されている。陽極側の電極と、陰極側の電極を、両方共に、保護膜上に形成することにより、陽極側の電圧の充電および陰極側の電圧の充電が同時に行われ、他の部分で保護膜欠陥があり、電極が露出したとしても、その部分からの充電電流はほとんど発生しない。したがって、陽極側、陰極側とも電極反応は起こらず、核しみは発生しない。但し、本実施例では、映像信号線の直流成分の電位が、画素電極の直流成分の電位より高いので、映像信号線上に保護膜欠陥があると、陽極側の酸化反応が起こり、核しみが発生するが、画素電極の直

流成分の電位と映像信号線の直流成分の電位の差は、実施例 10 や実施例 12 の方法で、ほとんど無くすることができ、これらとの組み合わせで、どの電極上に保護膜欠陥があったとしても、核しみが発生することは無い。

【0249】ここで、電極 ST1 および電極 ST2 の配置に注意する必要がある。電極 ST1 および電極 ST2 は、両方とも、保護膜上にあり、画素電極の直流成分の電位と走査信号の非選択電圧による直流電圧がほぼ常に印加されているので、この直流電圧により液晶が駆動され、光漏れが発生し、黒表示が十分でない、すなわち、コントラスト比の低下が発生する。

【0250】そこで、本実施例では、電極 ST1 の中心と電極 ST2 の中心を結んだ直線が、ラビング方向 RD とほぼ一致するようにする。具体的には、電極 ST1 の中心と電極 ST2 の中心を結んだ直線とラビング角度のなす角度 ϕ を、 $\pm 20^\circ$ 以内、正確には $\pm 20.5^\circ$ 以内に作る。これは、コントラスト比 30 以上を保つため、電極 ST1 と電極 ST2 の間で駆動される液晶の回転角度が $\pm 10^\circ$ 以内、正確には $\pm 10.5^\circ$ 以内であり、また電界と液晶分子の長軸のなす角度が 10° 以上に成るとそれ以上に回転するために、極めて大きなエネルギーが必要になり、20V 以下の直流電圧では回転しなくなるためであり、これらの両者を足しあわせた値である。但し、好ましくは、コントラスト比 100 以上を保つために、 $\pm 15^\circ$ 以内、正確には $\pm 15.7^\circ$ 以内に成るようにした方がよい。また、電極 ST2 との電極 ST1（最近接のもの以外のものも含む）を結ぶ直線とラビング方向とのなす角度 ϕ 、 ϕ' が上記範囲内に入らない場合、その距離 L を画素電極と対向電極の間の距離より十分に長く設定する。具体的には、電極 ST1 と電極 ST2 の間の直流成分による電界が、画素電極と対向電極の間の電圧で駆動される液晶の光学的しきい値電界以下になるように設定する。

【0251】尚、本実施例では、電極 ST の中心を結ぶ直線とラビング方向のなす角度を規定したが、電極 ST の形状が長細い場合や、形が円状、または四角状でない場合は、電極 ST の端同士を結ぶ直線とラビング方向のなす角度に上記を適応してもよい。

【0252】以上、本実施例では、走査信号線に接続された電極 ST1 と画素電極に接続された電極 ST2 と、両方共に、保護膜上に形成することにより、電極 ST1 と電極 ST2 とほぼ同電位（交流の場合はその直流成分が同電位）である、画素電極 PX、PX2、PX3、ソース電極 SD1 上の保護膜欠陥、対向電極 CT、CT2、対向電極信号線 CL 上の保護膜欠陥、走査信号線 GL 上保護膜欠陥のによる核しみが、ほぼ完全に解消される効果があった。また、実施例 10、実施例 12 の一方、または、両方と組み合わせることにより、映像信号線 DL 上の核しみが完全に解消される。

【0253】（実施例 27）本実施例は、下記の点を除き、実施例 1 および実施例 26 と同一である。

【0254】図 50 は本実施例の一つの画素を示す平面図である。本実施例では、電極 ST1 は、スルーホール TH を介して、対向電極信号線の一部に接続され、かつ、電極 ST2 は、スルーホール TH を介して、走査信号線の一部に接続されている。

【0255】以上、本実施例では、走査信号線に接続された電極 ST1 と対向電極に接続された電極 ST2 と、両方共に、保護膜上に形成することにより、電極 ST1 と電極 ST2 とほぼ同電位（交流の場合はその直流成分が同電位）である、画素電極 PX、PX2、PX3、ソース電極 SD1 上の保護膜欠陥、対向電極 CT、CT2、対向電極信号線 CL 上の保護膜欠陥、走査信号線 GL 上保護膜欠陥のによる核しみが、ほぼ完全に解消される効果があった。また、実施例 10、実施例 12 の一方、または、両方と組み合わせることにより、映像信号線 DL 上の核しみが完全に解消される。

【0256】（実施例 28）本実施例は、下記の点を除き、実施例 1 および実施例 26 と同一である。

【0257】図 51 は本実施例の一つの画素を示す平面図である。本実施例では、電極 ST1 は、スルーホール TH を介して、映像電極信号線の一部に接続され、かつ、電極 ST2 は、スルーホール TH を介して、走査信号線の一部に接続されている。

【0258】本実施例では、陰極側の電極 ST1 を電位の最も低い走査信号線 GL に接続し、また、陽極側の電極 ST2 を電位の最も高い映像信号線 DL に接続することで、すべての電極および配線に対して、陰極、陽極の電位が充電され、その中間の電位を有する電極に対しても、充電電流がほとんど発生しない。したがって、すべての電極および配線上に、保護膜欠陥があったとしても、核しみが発生することはない。

【0259】以上、本実施例では、実施例 10 および実施例 12 と組み合わせなくとも、走査信号線に接続された電極 ST1 と映像信号電極に接続された電極 ST2 と、両方共に、保護膜上に形成することにより、電極 ST1 と電極 ST2 とほぼ同電位（交流の場合はその直流成分が同電位）および中間電位である、画素電極 PX、PX2、PX3、ソース電極 SD1、対向電極 CT、CT2、対向電極信号線 CL、走査信号線 GL 上および映像信号線 DL 上の保護膜欠陥による核しみが完全に解消される。

【0260】（実施例 29）本実施例は、下記の点を除き、実施例 1 と同一である。

【0261】図 52 は本実施例の一つの画素を示す平面図である。本実施例では、画素電極 PX および対向電極 CT、CT2 をくの字（シェブロン）状の電極にした。これにより、液晶分子の回転方向が、2 方向になり、違う回転方向を持った領域の光学特性が、お互いに補償し

合い、更に広視野角を得ることができた。これは、仰角を傾けた時の液晶分子の長軸方向と短軸方向のリタデーションの変化の違いで、回転方向が一方向しかないと、ある一定の方向は、リタデーションが小さくなり、青めがかり、それと直交する方向は、リタデーションが大きくなり、黄色くなる。これをお互いに反対方向に回転する領域を設けることにより、青と黄色の補色関係を利用し、色付きを解消することができた。また同時に、低階調（暗い階調）での階調反転も抑えることができた。

【0262】また、くの字のラビング方向に対する角度 $\theta 1$ 、 $\theta 2$ は、同一である方が好ましいが、同一でなくても良い。また、くの字の屈曲回数も一例である。

【0263】本実施例では、実施例1の効果に加え、更に、広視野角を得ることができた。

【0264】（実施例30）本実施例は、下記の点を除き、実施例4と同一である。図53は本実施例の一つの画素を示す平面図である。本実施例は、実施例4と実施例29の組み合わせである。

【0265】（実施例31）本実施例は、下記の点を除き、実施例18と同一である。図54は本実施例の一つの画素を示す平面図である。本実施例は、実施例18と実施例29の組み合わせである。

【0266】（実施例32）本実施例は、下記の点を除き、実施例19と同一である。図55は本実施例の一つの画素を示す平面図である。本実施例は、実施例19と実施例29の組み合わせである。

【0267】（実施例33）本実施例は、下記の点を除き、実施例24と同一である。図56は本実施例の一つの画素を示す平面図である。本実施例は、実施例24と実施例29の組み合わせである。

【0268】（実施例34）本実施例は、下記の点を除き、実施例26と同一である。図57は本実施例の一つの画素を示す平面図である。本実施例は、実施例26と実施例29の組み合わせである。

【0269】（実施例35）本実施例は、下記の点を除き、実施例28と同一である。図58は本実施例の一つの画素を示す平面図である。本実施例は、実施例28と実施例29の組み合わせである。

【0270】（実施例36）本実施例は、下記の点を除き、実施例34と同一である。図59は本実施例の一つの画素を示す平面図である。本実施例では、電極ST1を、走査信号線上に、それと平行に線状に形成し、また、電極ST2を画素電極に接続し、電極ST1と平行な方向に長細い形状とした。

【0271】これにより、電極ST1と電極ST2の間の電界は、殆どの部分で、電界方向が同じに成るため、ラビング方向とのなす角と殆どの部分で一致させることができる。したがって、この電界で液晶が駆動されることがなくなるため、極めて高いコントラスト比を得ることができた。また、走査信号線を電極ST1で複数の画

素間で繋いでいるため、冗長構造になり、走査信号線の断線不良が減少する。

【0272】以上、本実施例では、実施例34の効果に加え、更に、高コントラスト比が得られ、歩留を向上する効果を得た。また、電極ST2を対向電極信号線に接続し、対向電極信号線と平行に線状に形成しても良い。この場合は、対向電極信号線の断線不良も低減できる。

【0273】（実施例37）本実施例は、下記の点を除き、実施例1と同一である。図60は本実施例の一つの画素の断面図である。本実施例では、電極STをカラーフィルタ側基板SUB2側の平坦化膜OC上の配向膜直下に設けた。また、平面的には、映像信号線および走査信号線に重畳させるようにした。

【0274】本実施例では、この電極STに有効表示領域外の周辺部から、対向電圧を供給した。ここで、TFT側基板SUB1上の構成は、従来例のままである。

【0275】また、IPS方式のTFT-LCDでは、カラーフィルタ側基板の裏側に、静電気による表示不良を解消するために、ITOを全面に形成しなければならないが、本実施例では、電極STがその役割を果たすので、この裏面ITOは不必要になる。以上、本実施例では、実施例2の効果に加え、更に、カラーフィルタ側基板の形成工程の簡略化が図れた。尚、本実施例では平坦化膜上に電極STを設けたが、平坦化膜が無い場合は、配向膜直下のカラーフィルタFIL上に形成しても良い。

【0276】（実施例38）本実施例は、下記の点を除き、実施例1および実施例26と同一である。

【0277】図61は本実施例の一つの画素を示す平面図である。

【0278】本実施例では、電極ST1は、スルーホールTHを介して、走査信号線の一部に接続され、かつ、電極ST2は、カラーフィルタ側基板SUB2側の平坦化膜OC上の配向膜直下に設けた。平面的には、図61では、走査信号線に重畳させるように線状に形成したが、映像信号線上にも重畳させ、マトリクス状の構成にしても良い。本実施例では、この電極ST2に有効表示領域外の周辺部から、対向電圧を供給した。

【0279】本実施例では、電極ST1と電極ST2をそれぞれ、別の基板上に形成したため、電極の形成工程でのエッチング不良などによる短絡不良が必然的に発生しなくなる。また、電極ST1と電極ST2は平面的には重畳し形成できるため、基板面に平行な電界をほとんど発生することが無く、画素電極と対向電極の間の液晶を駆動することが無い。したがって、高コントラスト比を得ることができる。以上、本実施例では、走査信号線に接続された電極ST1と対向電極に接続された電極ST2と、両方共に、実施例27の効果に加え、電極ST1と電極ST2のショート不良が軽減する効果を得た。また、更に高コントラスト比の特性を得られる効果も得

た。

【0280】

【発明の効果】以上、本発明では、電極STを新たに設け保護膜上に形成する、または、平坦化膜上またはカラーフィルタ上に形成する。更に言い換えれば、配向膜の下に形成することにより、IPS方式のTFT-LCDにおいて、各電極および配線に保護膜欠陥が存在した場合に発生する、スポット状の黒いむら（核しみ）を抑制することができる。更に、本実施例では、核しみを抑えると共に、保護膜容量に新たな充電電流を発生させないことにより、イオン性不純物の流動を抑え、不定形の黒いむらの発生も抑制することができる。同様に、固定パターンを長時間表示させた場合にパターンの端が黒くなる残像（焼き付き）も同様の作用により、大幅に軽減することができる。また、電極STにより、映像信号線および走査信号線、対向電極信号線を冗長構造にすることにより、断線に対する歩留を向上させ、横電界液晶表示装置の量産性を向上させることができる。

【図面の簡単な説明】

【図1】本発明の実施例1のアクティブ・マトリクス型カラー液晶表示装置の液晶表示部の一画素を示す平面図である。

【図2】本発明の実施例1のアクティブ・マトリクス型カラー液晶表示装置の液晶表示部の一画素の周辺を示す平面図である。

【図3】図1のA-A'切断線における液晶スイッチング領域部分の断面図である。

【図4】図1のB-B'切断線における薄膜トランジスタ素子TFT部分の断面図である。

【図5】図1のC-C'切断線における蓄積容量Cst部分の断面図である。

【図6】図1のD-D'切断線における電極ST部分の断面図である。

【図7】表示パネルのマトリクス周辺部の構成を説明するための平面図である。

【図8】ゲート端子GTMとゲート配線GLの接続部付近を示す平面と断面の図である。

【図9】ドレイン端子DTMと映像信号線DLとの接続部付近を示す平面と断面の図である。

【図10】共通電極端子CTM1、共通バスラインCB1および共通電圧信号線CLの接続部付近を示す平面と断面の図である。

【図11】共通電極端子CTM2、共通バスラインCB2および共通電圧信号線CLの接続部付近を示す平面と断面の図である。

【図12】本発明のアクティブ・マトリクス型カラー液晶表示装置のマトリクス部とその周辺を含む回路図である。

【図13】本発明の実施例1のアクティブ・マトリクス型カラー液晶表示装置の駆動波形を示す図である。

【図14】基板SUB1側の工程A～Cの製造工程を示す画素部とゲート端子部の断面図のフローチャートである。

【図15】基板SUB1側の工程D～Eの製造工程を示す画素部とゲート端子部の断面図のフローチャートである。

【図16】基板SUB1側の工程Fの製造工程を示す画素部とゲート端子部の断面図のフローチャートである。

【図17】液晶表示パネルに周辺の駆動回路を実装した状態を示す上面図である。

【図18】駆動回路を構成する集積回路チップCHIがフレキシブル配線基板に搭載されたテープキャリアパッケージTCPの断面構造を示す図である。

【図19】テープキャリアパッケージTCPを液晶表示パネルPNLの走査信号回路用端子GTMに接続した状態を示す要部断面図である。

【図20】液晶表示モジュールの分解斜視図である。

【図21】実施例1のラビング方向と偏光板の透過軸の角度を示す図である。

【図22】本発明の実施例2のアクティブ・マトリクス型カラー液晶表示装置の液晶表示部の一画素を示す平面図である。

【図23】図22のD-D'切断線における電極ST部分の断面図である。

【図24】本発明の実施例3のアクティブ・マトリクス型カラー液晶表示装置の液晶表示部の一画素を示す平面図である。

【図25】図24のD-D'切断線における電極ST部分の断面図である。

【図26】本発明の実施例4のアクティブ・マトリクス型カラー液晶表示装置の液晶表示部の一画素を示す平面図である。

【図27】本発明の実施例4のアクティブ・マトリクス型カラー液晶表示装置の液晶表示部の一画素の周辺を示す平面図である。

【図28】図26のD-D'切断線における電極ST部分と補助容量Cad部分の断面図である。

【図29】本発明の実施例5のアクティブ・マトリクス型カラー液晶表示装置の液晶表示部の一画素を示す平面図である。

【図30】本発明の実施例6のアクティブ・マトリクス型カラー液晶表示装置の液晶表示部の一画素を示す平面図である。

【図31】本発明の実施例7のアクティブ・マトリクス型カラー液晶表示装置の液晶表示部の一画素を示す平面図である。

【図32】本発明の実施例8のアクティブ・マトリクス型カラー液晶表示装置の液晶表示部の一画素を示す平面図である。

【図33】本発明の実施例9のアクティブ・マトリクス

ス型カラー液晶表示装置の液晶表示部の一画素を示す平面図である。

【図 3 4】本発明の実施例 1 2 のアクティブ・マトリックス型カラー液晶表示装置の駆動波形を示す図である。

【図 3 5】本発明の実施例 1 3 のアクティブ・マトリックス型カラー液晶表示装置の液晶表示部の一画素を示す平面図である。

【図 3 6】本発明の実施例 1 4 のアクティブ・マトリックス型カラー液晶表示装置の液晶表示部の一画素を示す平面図である。

【図 3 7】本発明の実施例 1 5 のアクティブ・マトリックス型カラー液晶表示装置の液晶表示部の一画素を示す平面図である。

【図 3 8】本発明の実施例 1 6 のアクティブ・マトリックス型カラー液晶表示装置の液晶表示部の一画素を示す平面図である。

【図 3 9】本発明の実施例 1 7 のアクティブ・マトリックス型カラー液晶表示装置の液晶表示部の一画素を示す平面図である。

【図 4 0】本発明の実施例 1 8 のアクティブ・マトリックス型カラー液晶表示装置の液晶表示部の一画素を示す平面図である。

【図 4 1】本発明の実施例 1 9 のアクティブ・マトリックス型カラー液晶表示装置の液晶表示部の一画素を示す平面図である。

【図 4 2】本発明の実施例 2 2 のアクティブ・マトリックス型カラー液晶表示装置の液晶表示部の一画素を示す平面図である。

【図 4 3】本発明の実施例 2 3 のアクティブ・マトリックス型カラー液晶表示装置の液晶表示部の一画素を示す平面図である。

【図 4 4】図 4 3 の E - E ' 切断線における電極 S T 部分の断面図である。

【図 4 5】本発明の実施例 2 3 のアクティブ・マトリックス型カラー液晶表示装置の液晶表示部の下辺付近（有効表示領域外）の電極 S T と映像信号線の接続部を示す平面図である。

【図 4 6】本発明の実施例 2 4 のアクティブ・マトリックス型カラー液晶表示装置の液晶表示部の一画素を示す平面図である。

【図 4 7】図 4 6 の F - F ' 切断線における電極 S T 部分の断面図である。

【図 4 8】本発明の実施例 2 5 のアクティブ・マトリックス型カラー液晶表示装置の液晶表示部の一画素を示す平面図である。

【図 4 9】本発明の実施例 2 6 のアクティブ・マトリックス型カラー液晶表示装置の液晶表示部の一画素を示す平面図である。

【図 5 0】本発明の実施例 2 7 のアクティブ・マトリックス型カラー液晶表示装置の液晶表示部の一画素を示す

平面図である。

【図 5 1】本発明の実施例 2 8 のアクティブ・マトリックス型カラー液晶表示装置の液晶表示部の一画素を示す平面図である。

【図 5 2】本発明の実施例 2 9 のアクティブ・マトリックス型カラー液晶表示装置の液晶表示部の一画素を示す平面図である。

【図 5 3】本発明の実施例 3 0 のアクティブ・マトリックス型カラー液晶表示装置の液晶表示部の一画素を示す平面図である。

【図 5 4】本発明の実施例 3 1 のアクティブ・マトリックス型カラー液晶表示装置の液晶表示部の一画素を示す平面図である。

【図 5 5】本発明の実施例 3 2 のアクティブ・マトリックス型カラー液晶表示装置の液晶表示部の一画素を示す平面図である。

【図 5 6】本発明の実施例 3 3 のアクティブ・マトリックス型カラー液晶表示装置の液晶表示部の一画素を示す平面図である。

【図 5 7】本発明の実施例 3 4 のアクティブ・マトリックス型カラー液晶表示装置の液晶表示部の一画素を示す平面図である。

【図 5 8】本発明の実施例 3 5 のアクティブ・マトリックス型カラー液晶表示装置の液晶表示部の一画素を示す平面図である。

【図 5 9】本発明の実施例 3 6 のアクティブ・マトリックス型カラー液晶表示装置の液晶表示部の一画素を示す平面図である。

【図 6 0】本発明の実施例 3 7 のアクティブ・マトリックス型カラー液晶表示装置の液晶表示部の一画素を断面図である。

【図 6 1】本発明の実施例 3 8 のアクティブ・マトリックス型カラー液晶表示装置の液晶表示部の一画素を示す平面図である。

【図 6 2】従来例の一つの画素を示す平面図である。

【図 6 3】陽極側の核しみ発生の原理を示す図である。

【図 6 4】陰極側の核しみ発生の原理を示す図である。

【図 6 5】シアノ系液晶の分子構造の一例を示す図である。

【図 6 6】シアノ系液晶の還元反応の一例を示す図である。

【図 6 7】陽極側に電極 S T を設置した場合の核しみ発生の抑制原理を示す図である。

【図 6 8】陰極側に電極 S T を設置した場合の核しみ発生の抑制原理を示す図である。

【符号の説明】

S T ...保護膜上または配向膜の直下に設けられた電極または導電体

S U B ...透明ガラス基板、G L ...走査信号線、D L ...映像信号線、C L ...対向電圧信号線、P X ...画素電極、C

T...対向電極、GI...絶縁膜、GT...ゲート電極、AS...i型半導体層、SD...ソース電極またはドレイン電極、PSV...保護膜、BM...遮光膜、FIL...カラーフィルタ、OC...平坦化膜、LC...液晶、TFT...薄膜トランジスタ、g, d...導電膜、Cstg...蓄積容量、AOF...陽極酸化膜、AO...陽極酸化マスク、GTM...ゲー*

*ト端子、DTM...ドレイン端子、CB...共通バスライン、DTM...共通電極端子、SHD...シールドケース、PNL...液晶表示パネル、SPB...光拡散板、LCB...導光体、BL...バックライト蛍光管、LCA...バックライトケース、RM...反射板、(以上添字省略)。

【図1】

【図2】

【図4】

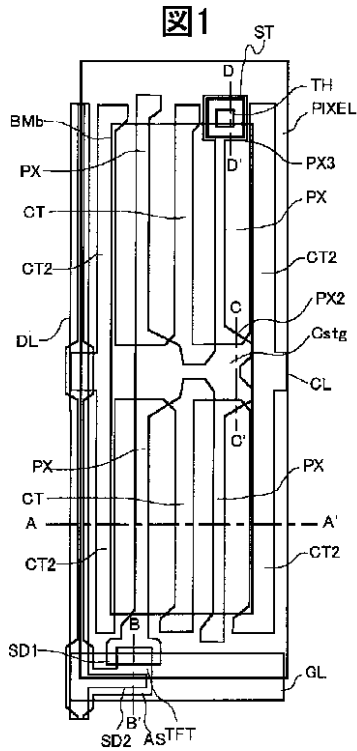
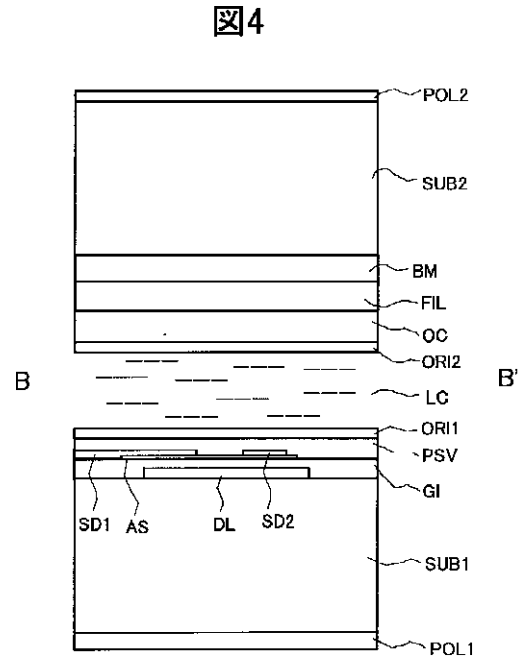
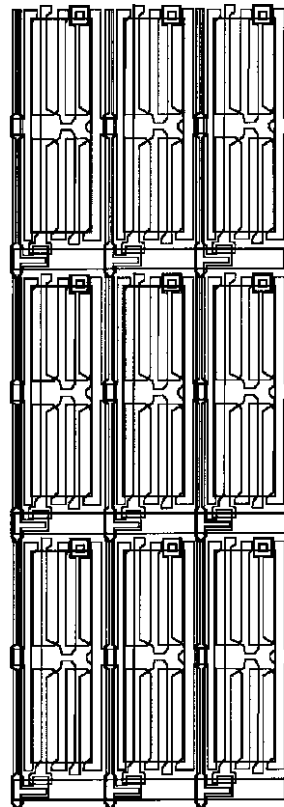
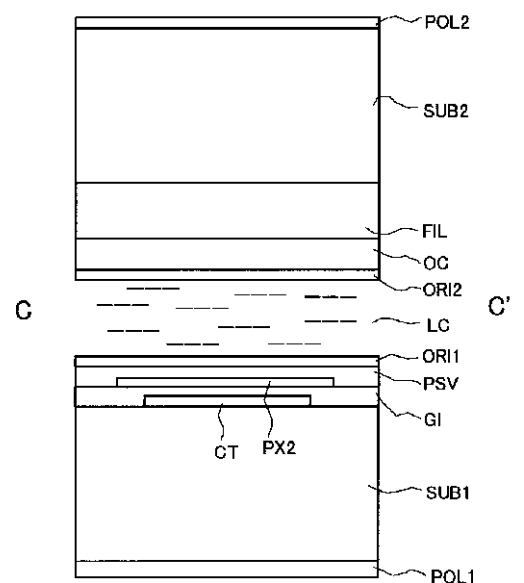


図2



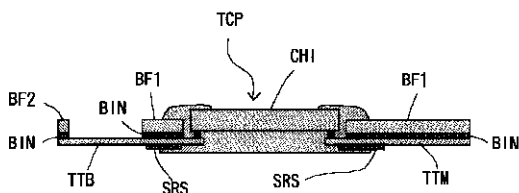
【図5】

図5



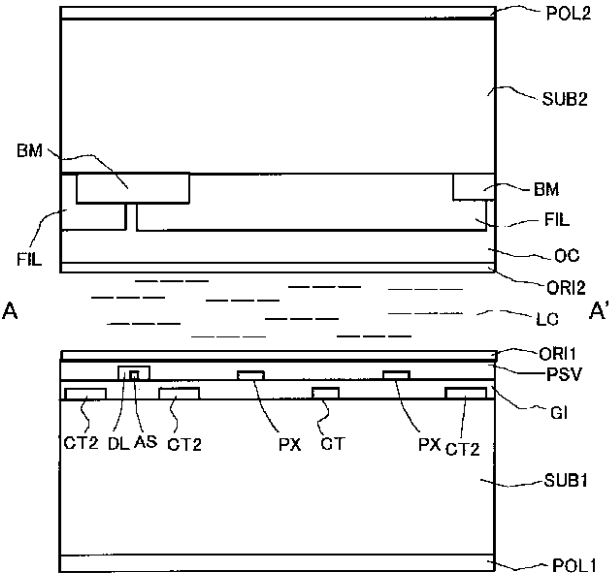
【図18】

図18



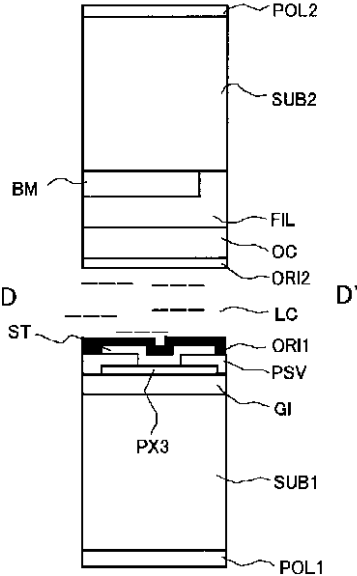
【図3】

図3



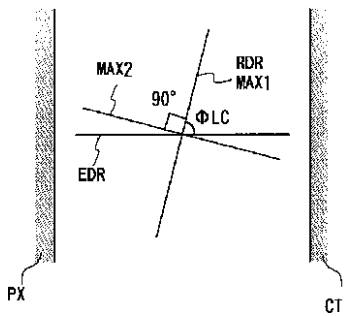
【図6】

図6

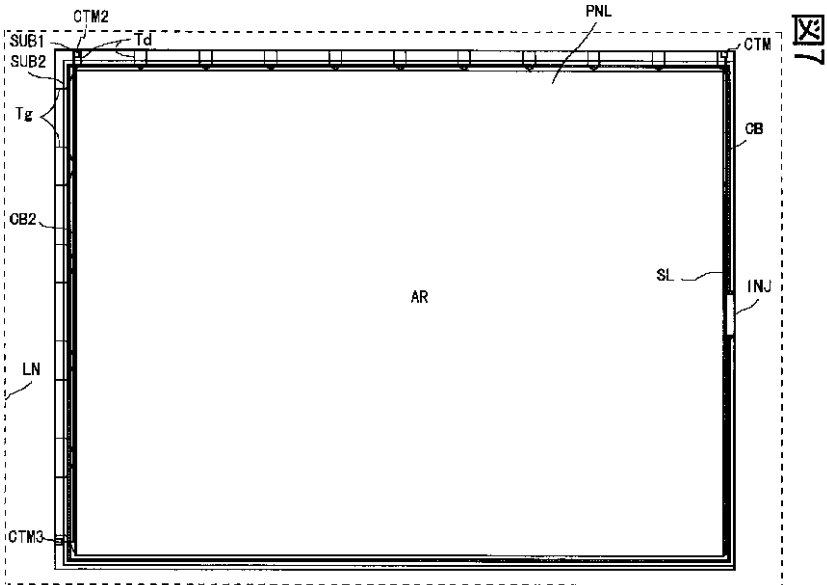


【図21】

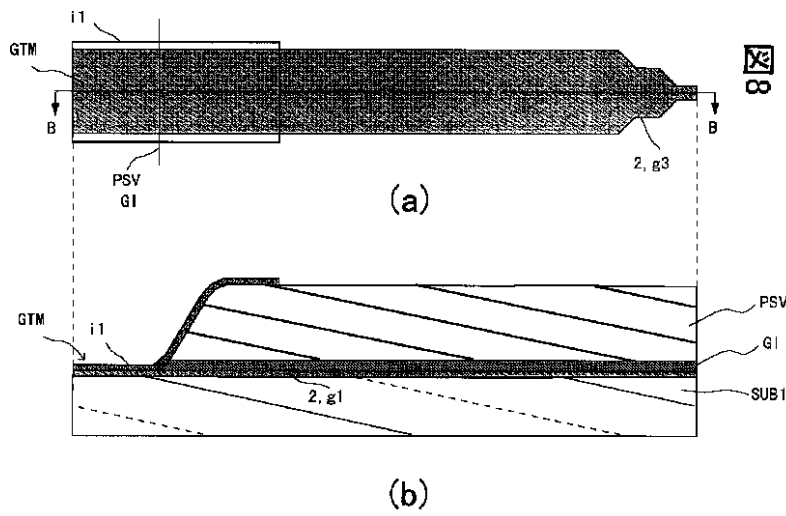
図21



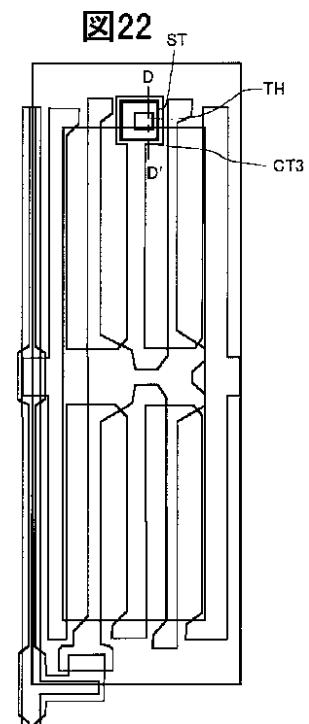
【図7】



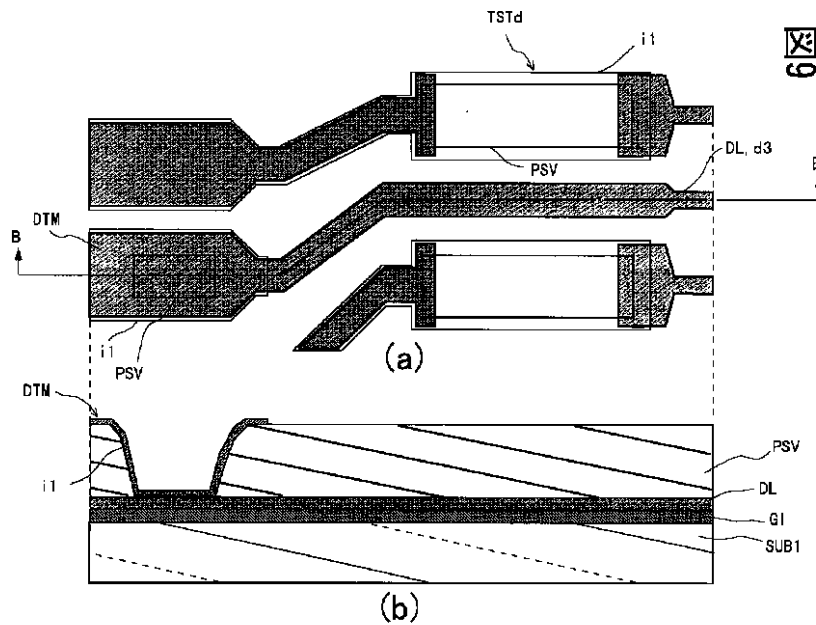
【図8】



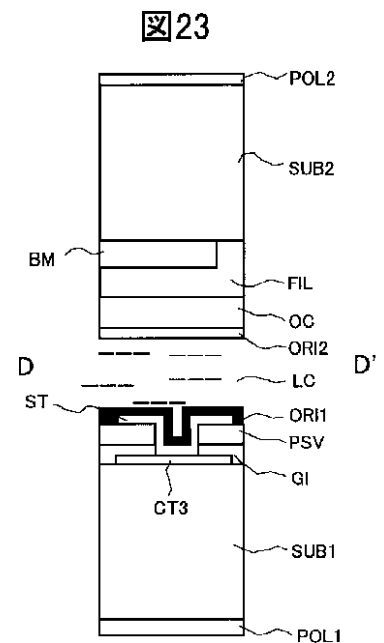
【図22】



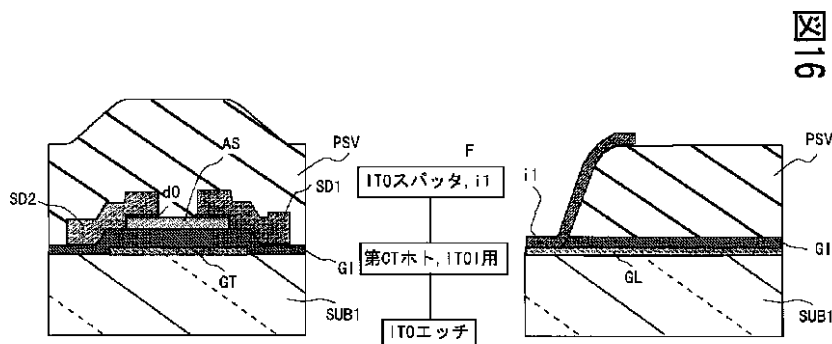
【図9】



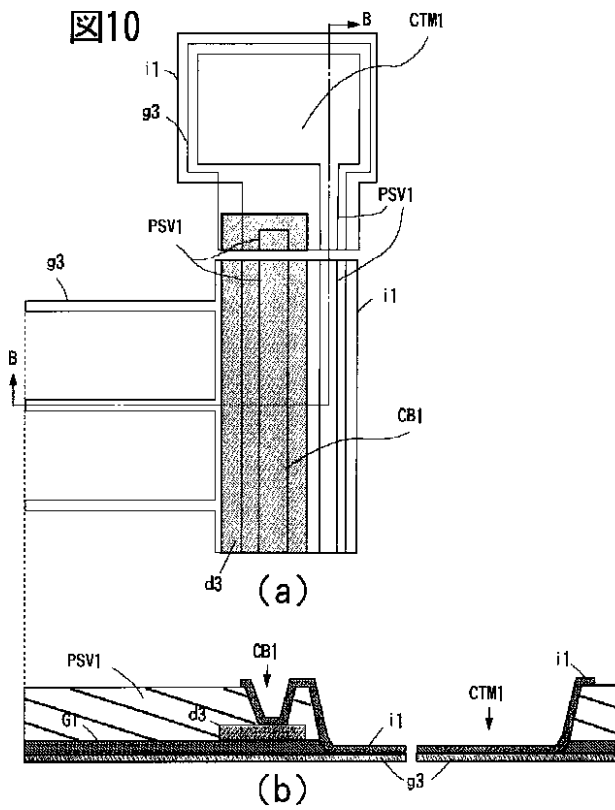
【図23】



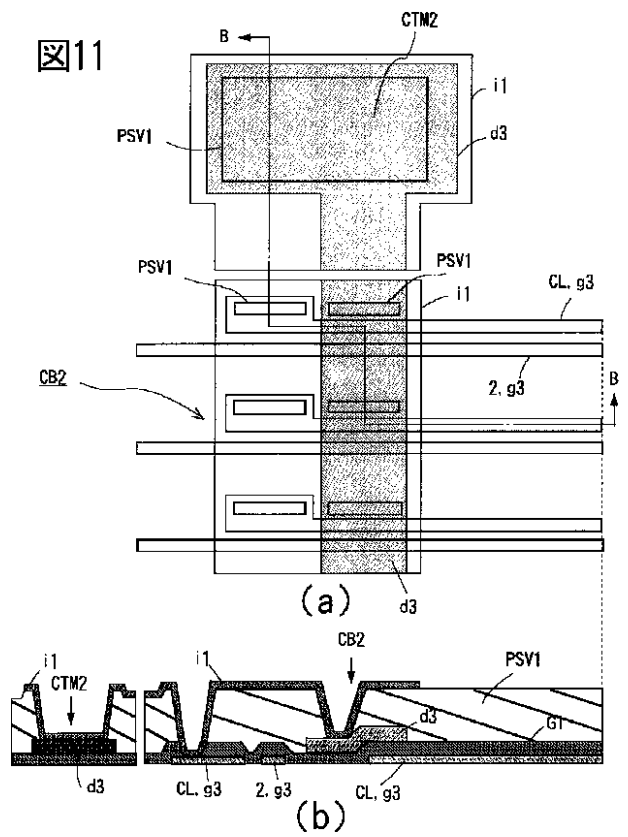
【図16】



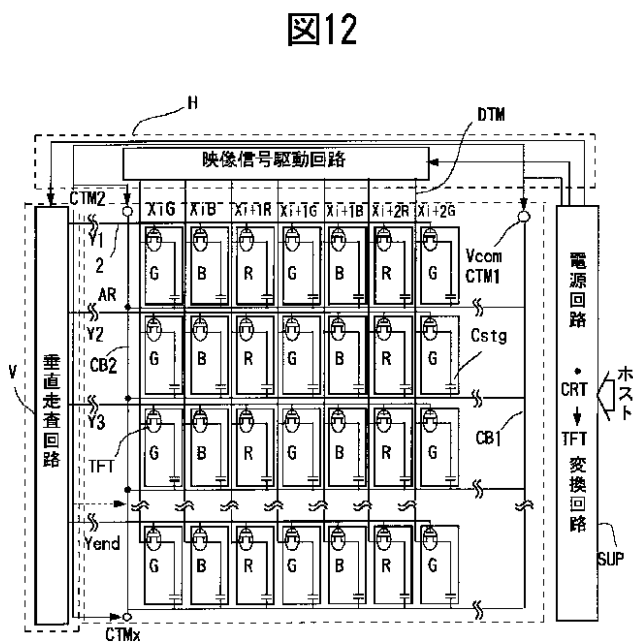
【図10】



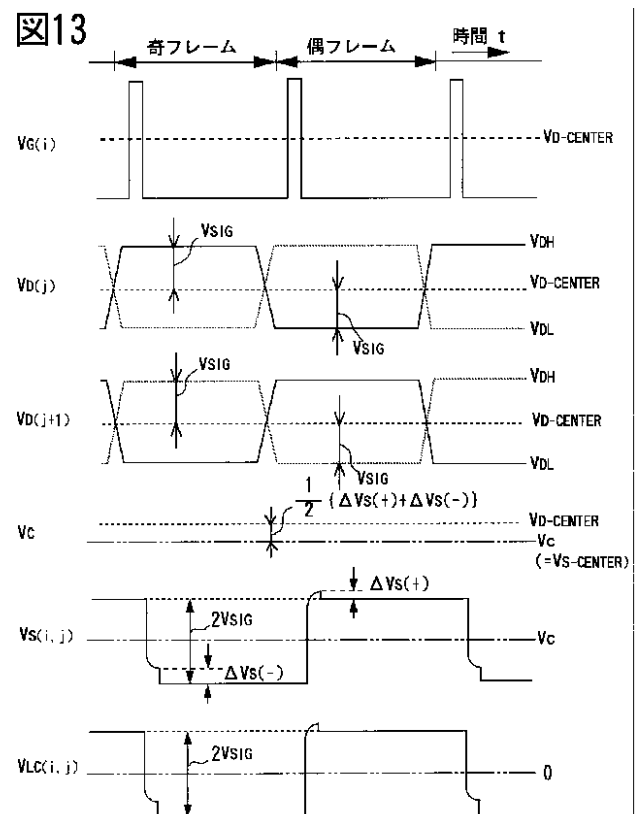
【図11】



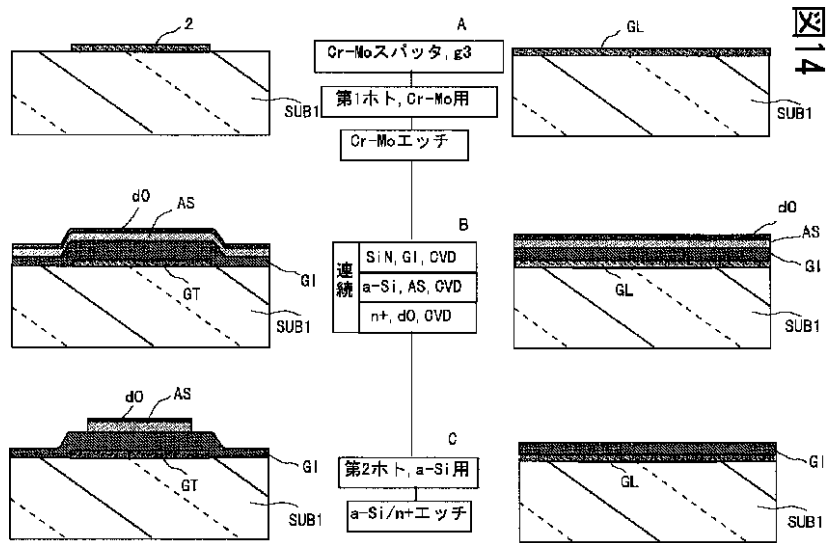
【図12】



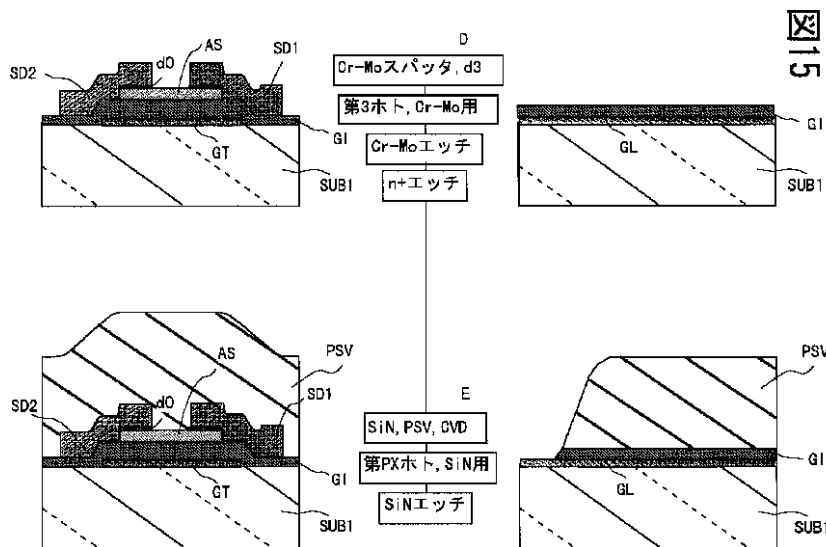
【図13】



【図14】

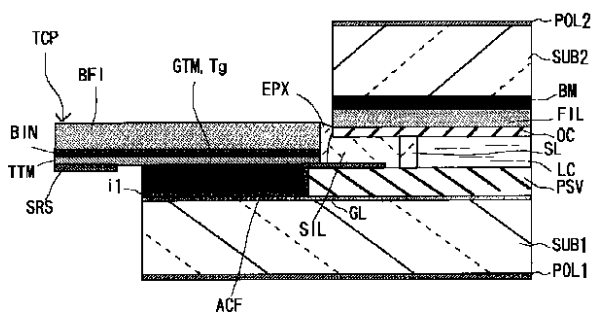


【図15】



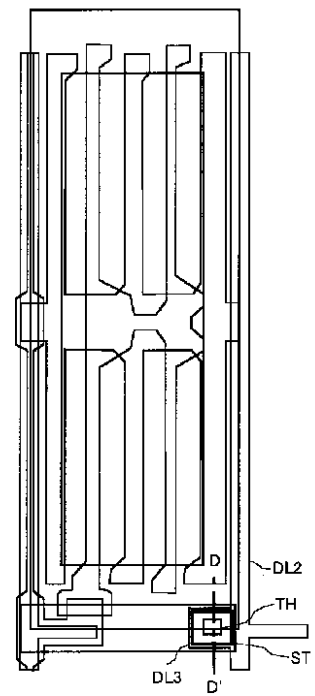
【図19】

図19



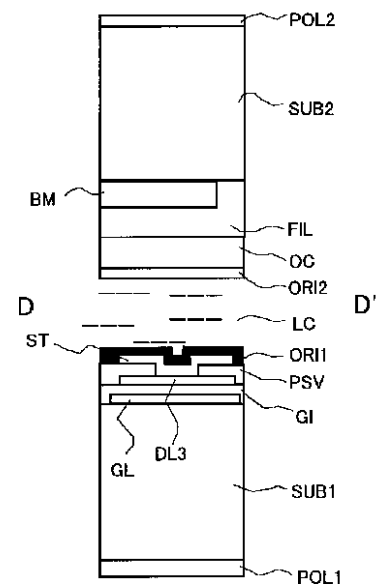
【図24】

図24



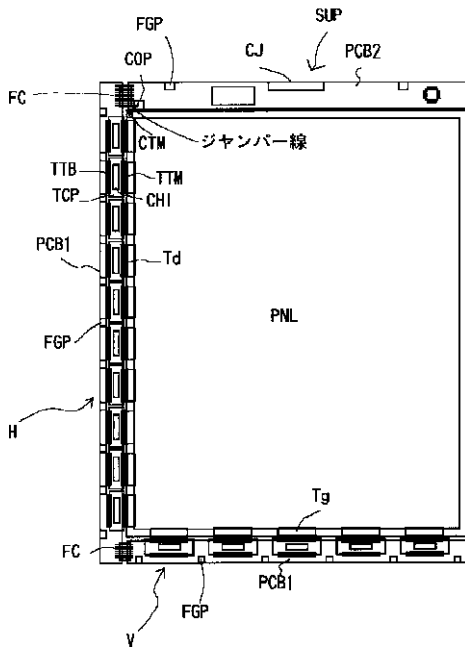
【図25】

図25



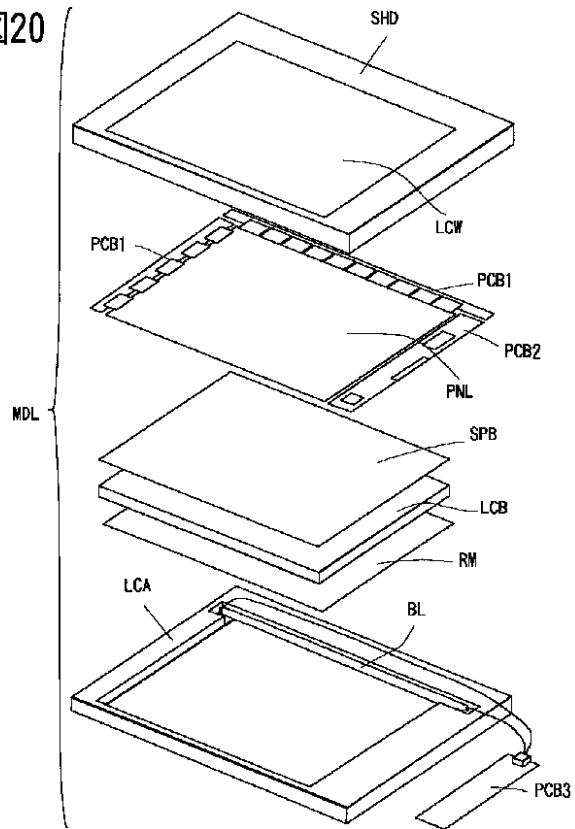
【図17】

図17



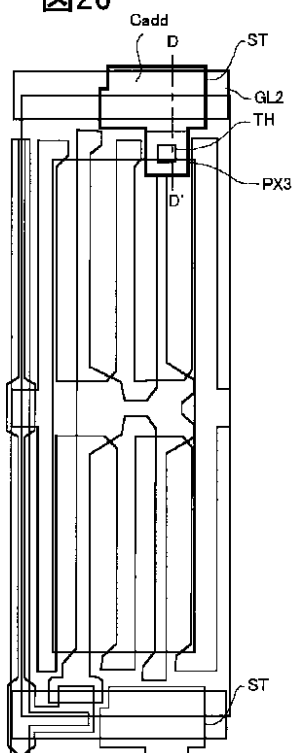
【図20】

図20



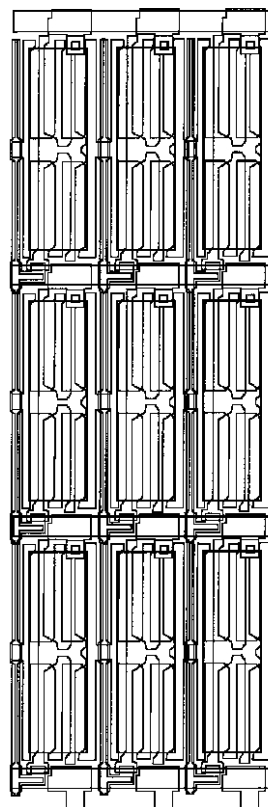
【図26】

図26



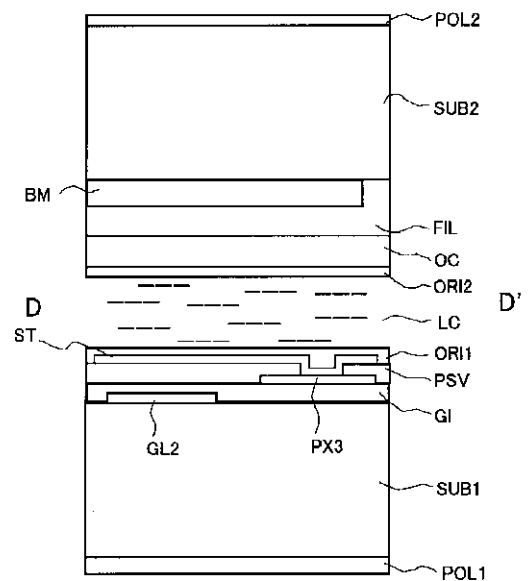
【図27】

図27

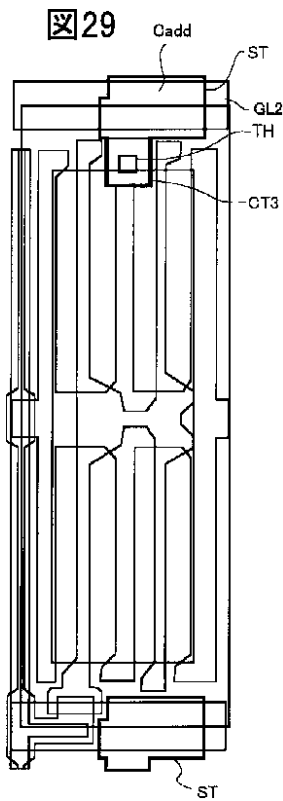


【図28】

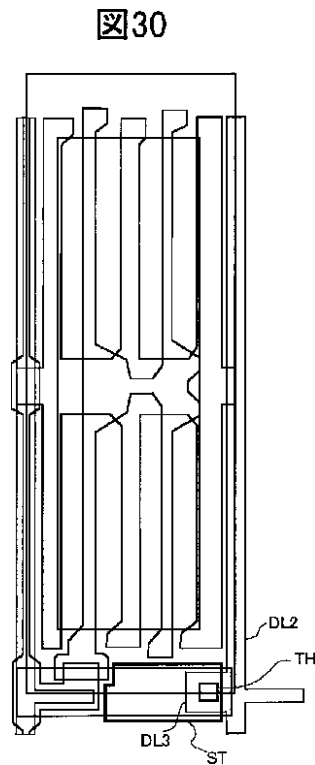
図28



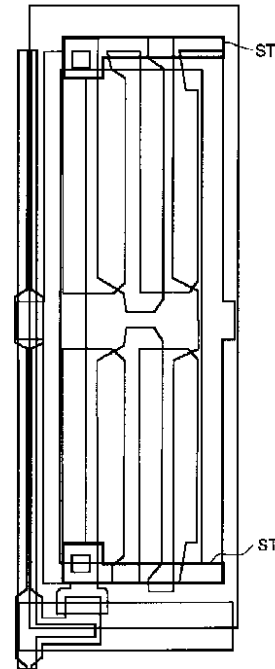
【図29】



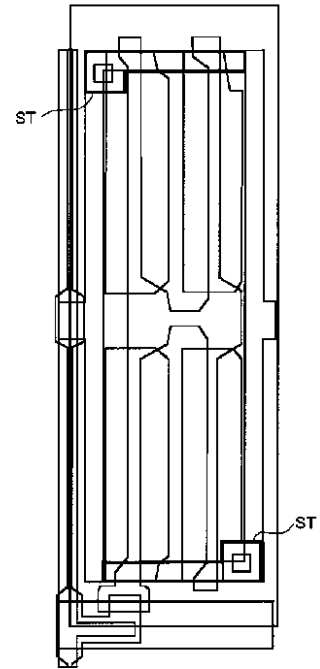
【図30】



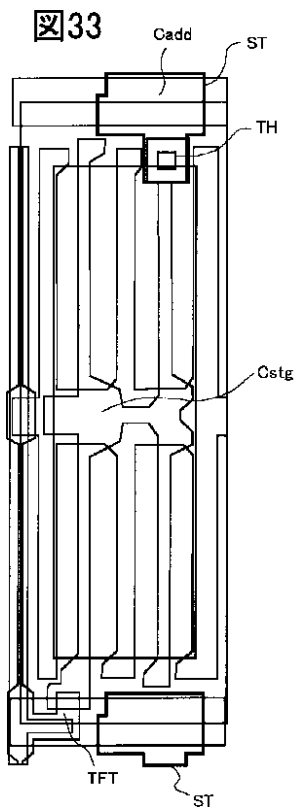
【図31】



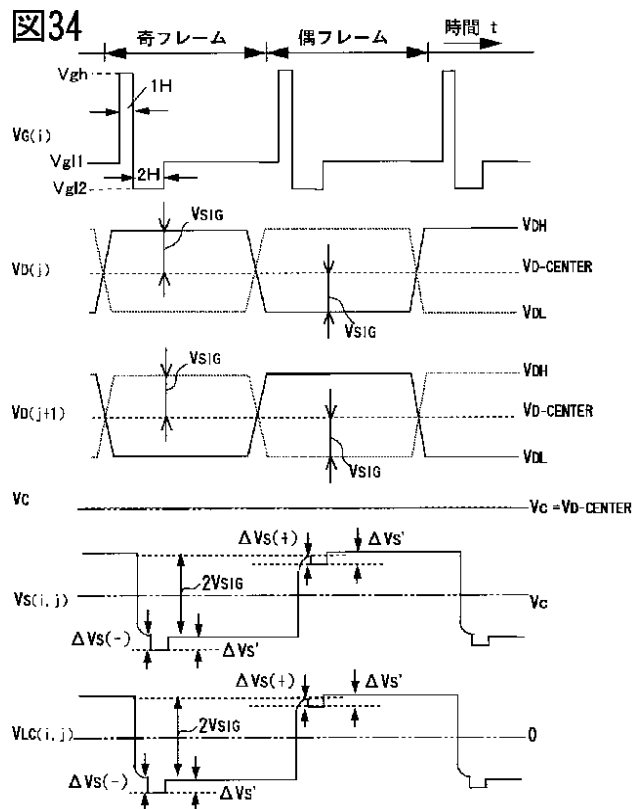
【図32】



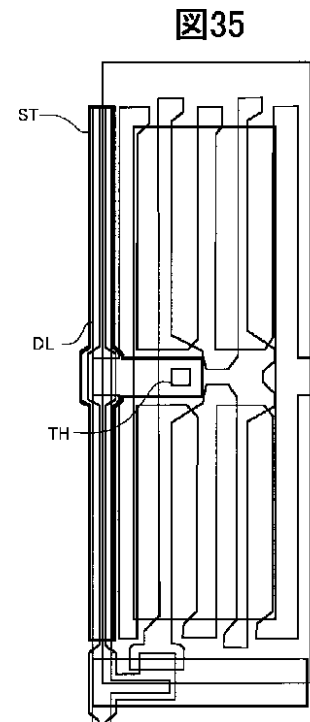
【図33】



【図34】

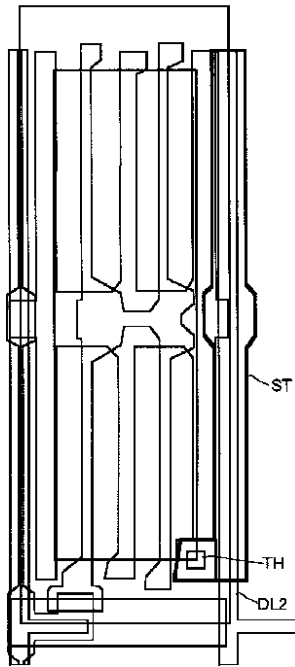


【図35】



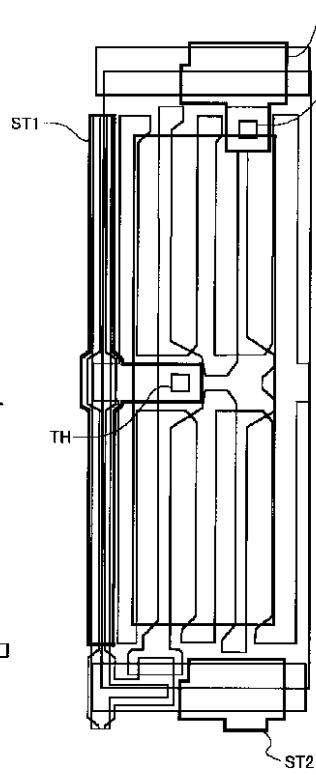
【図36】

図36



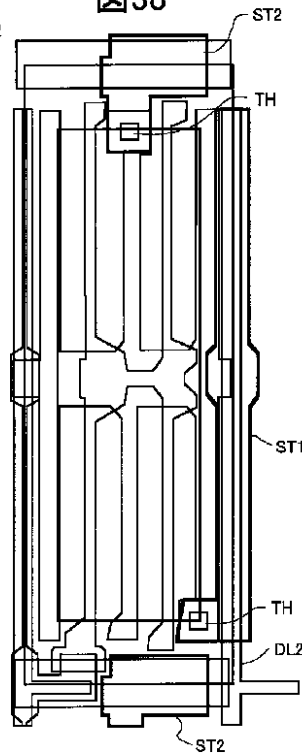
【図37】

図37



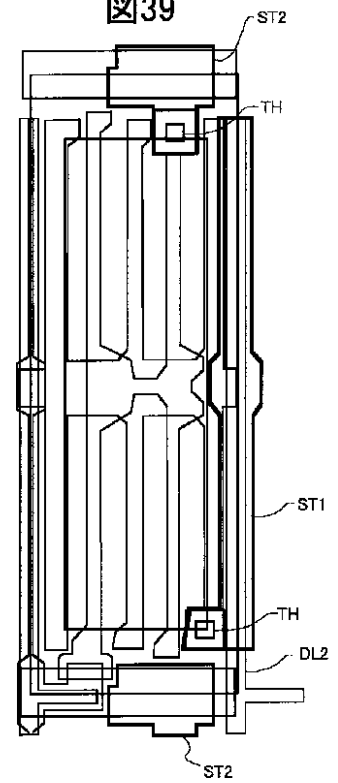
【図38】

図38



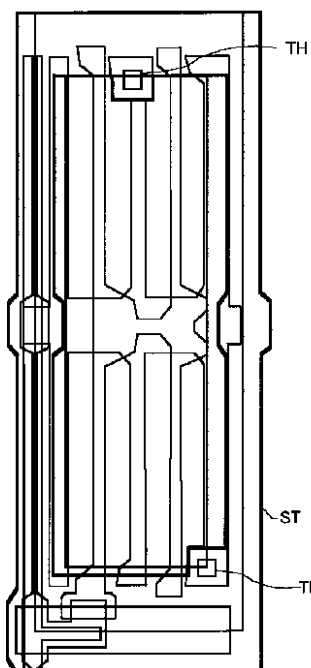
【図39】

図39



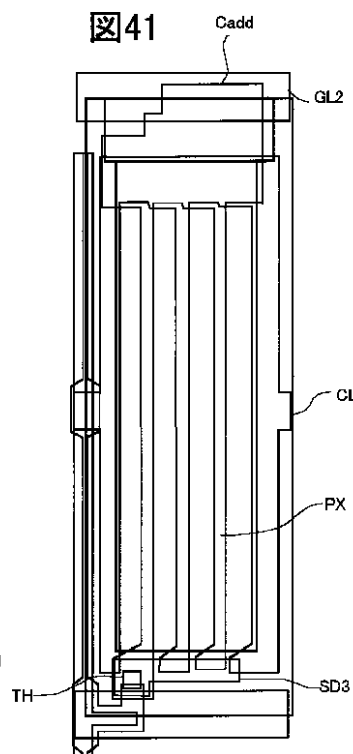
【図40】

図40



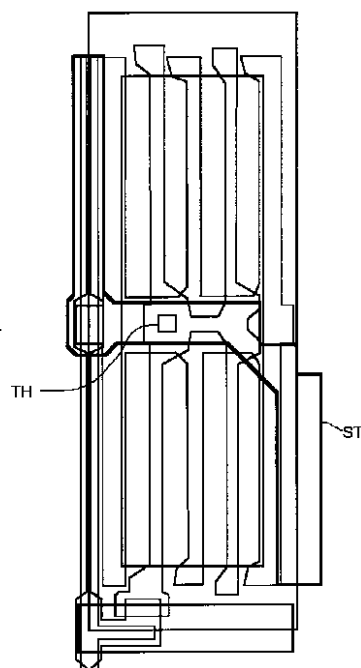
【図41】

図41



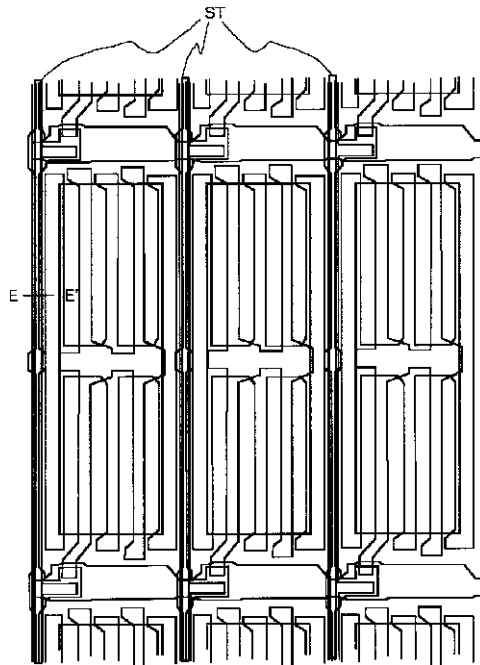
【図42】

図42



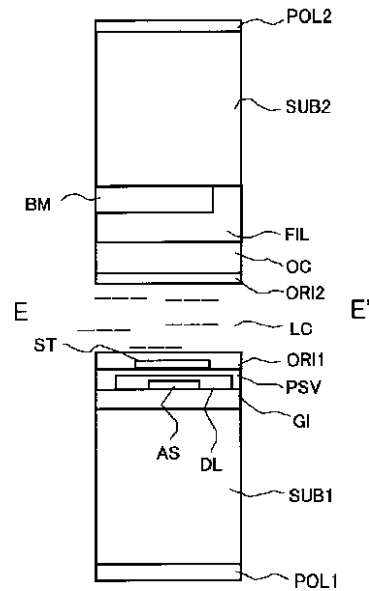
【図43】

図43



【図44】

図44



【図45】

【図45】

図45

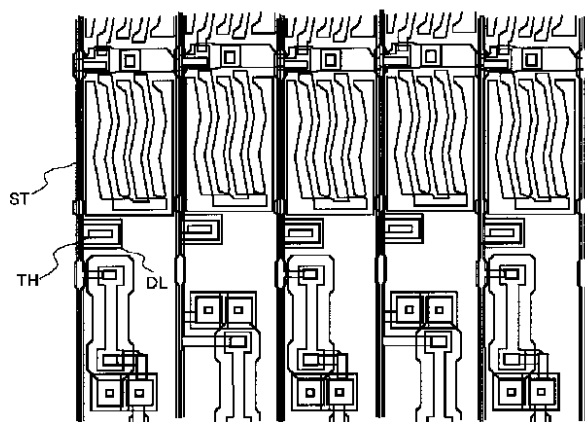
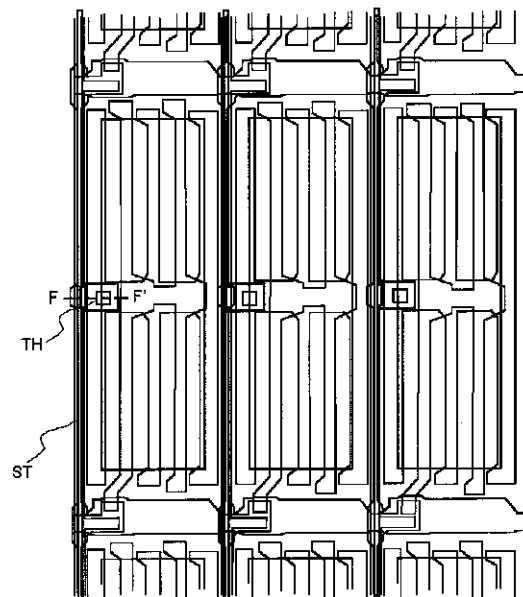


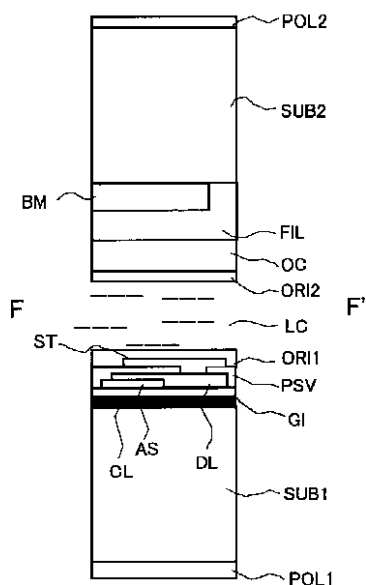
図46

【図46】



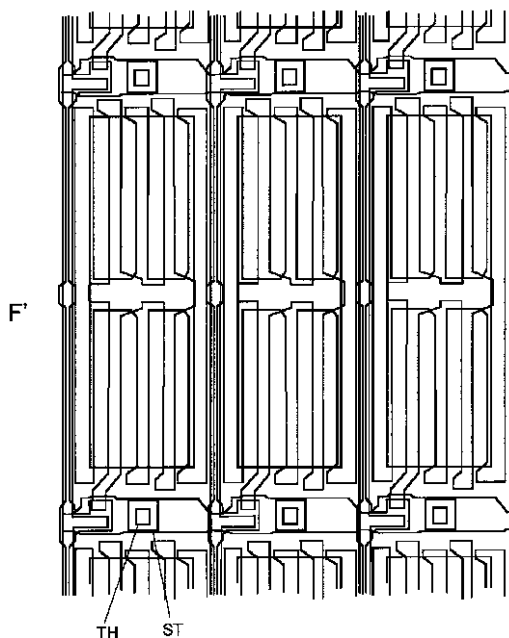
【図47】

図47



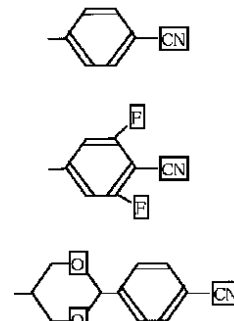
【図48】

図48



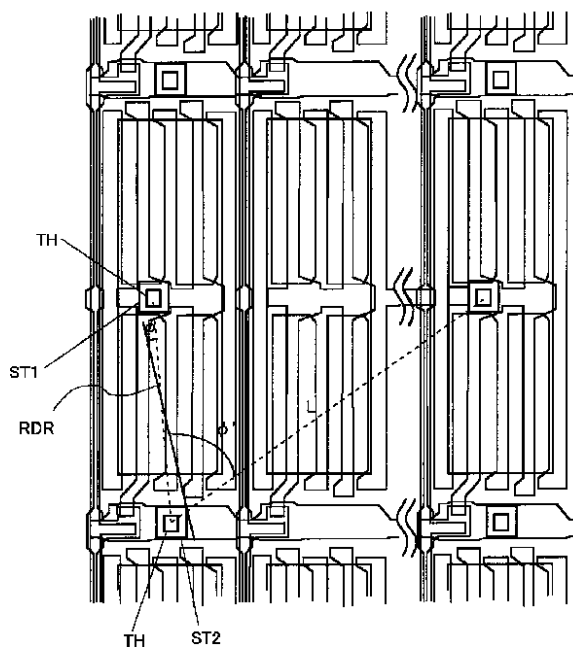
【図65】

図65



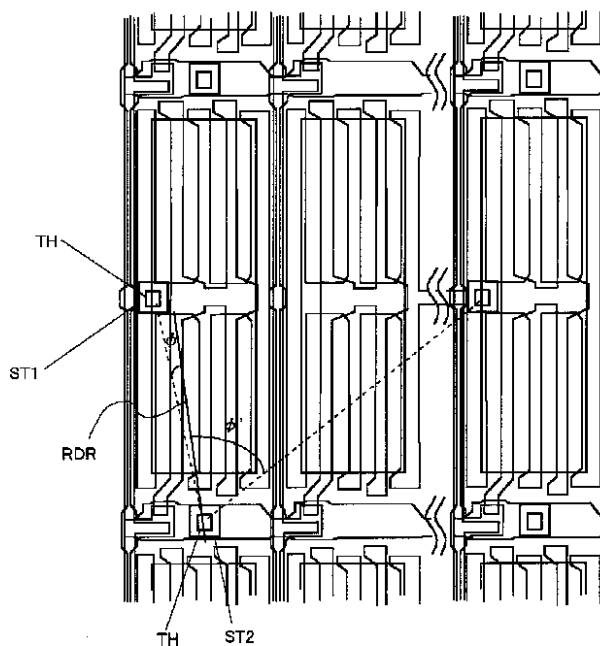
【図49】

図49

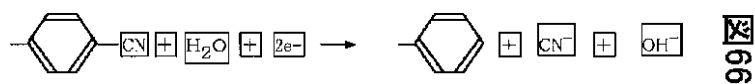


【図50】

図50

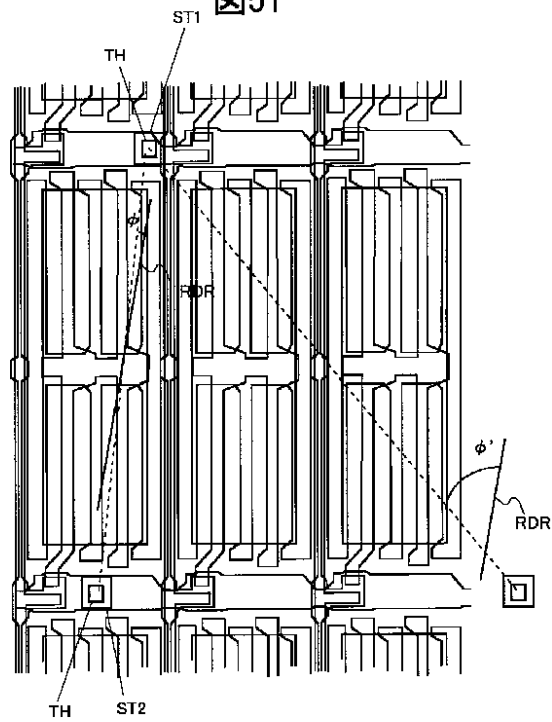


【図66】



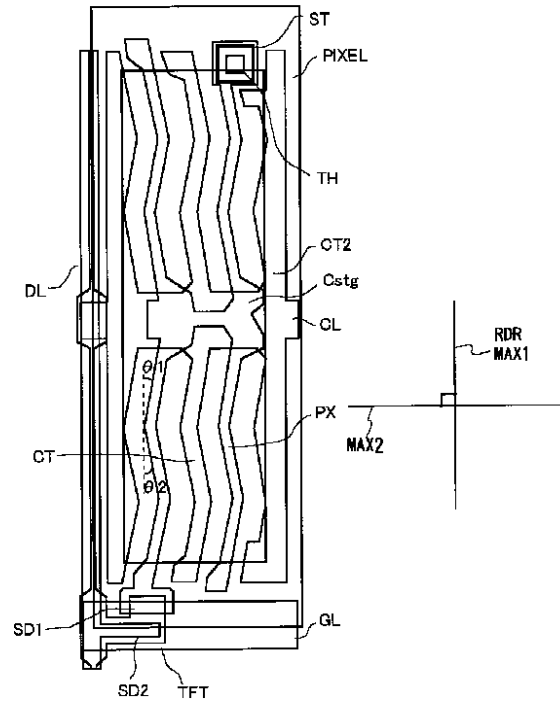
【図51】

図51



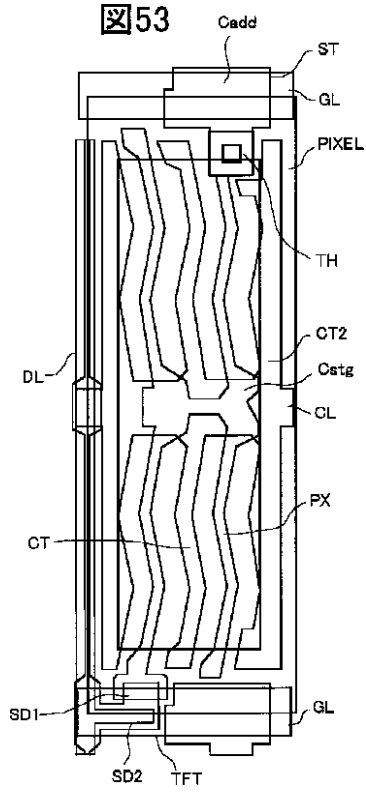
【図52】

図52



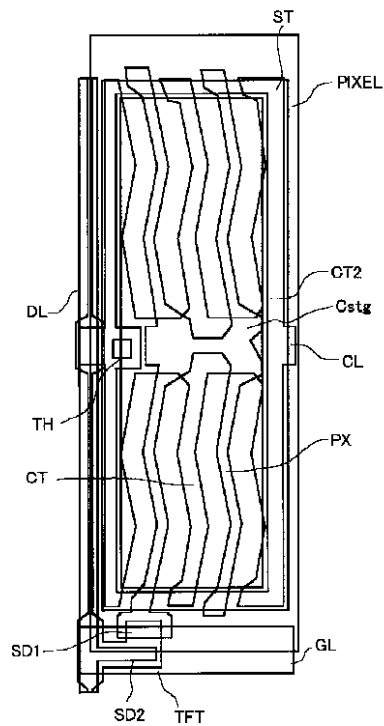
【図53】

図53



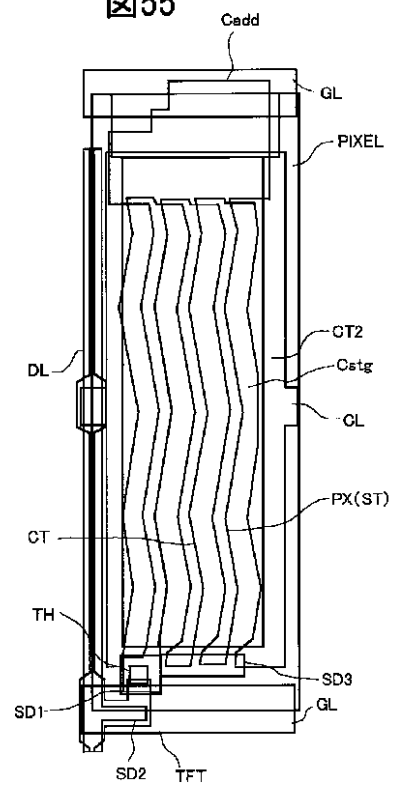
【図54】

図54



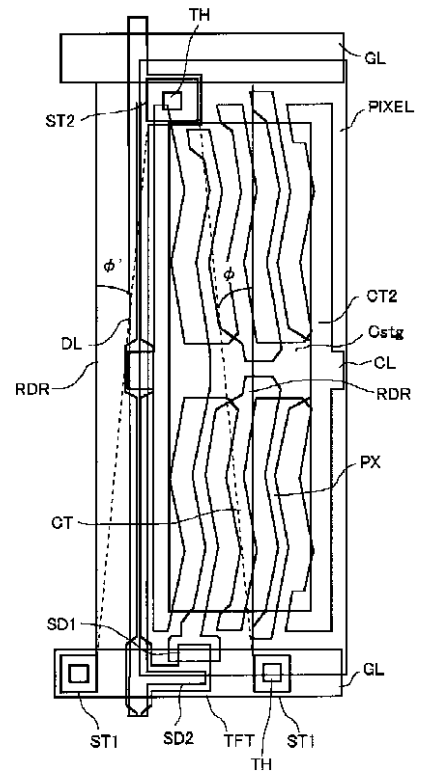
【図55】

図55



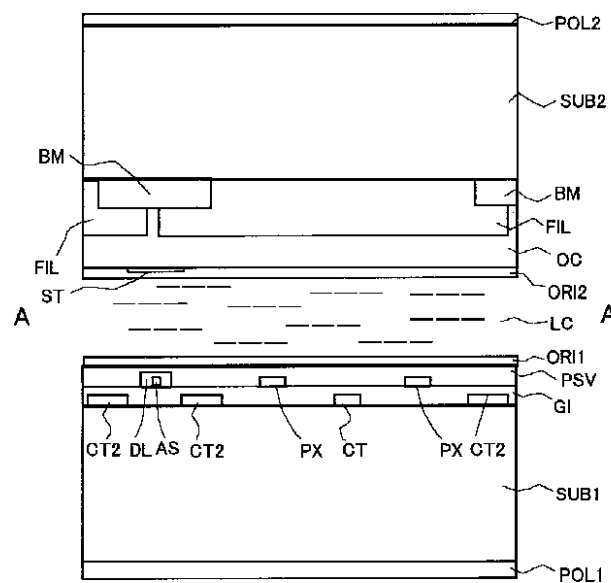
【图 5 8】

图58



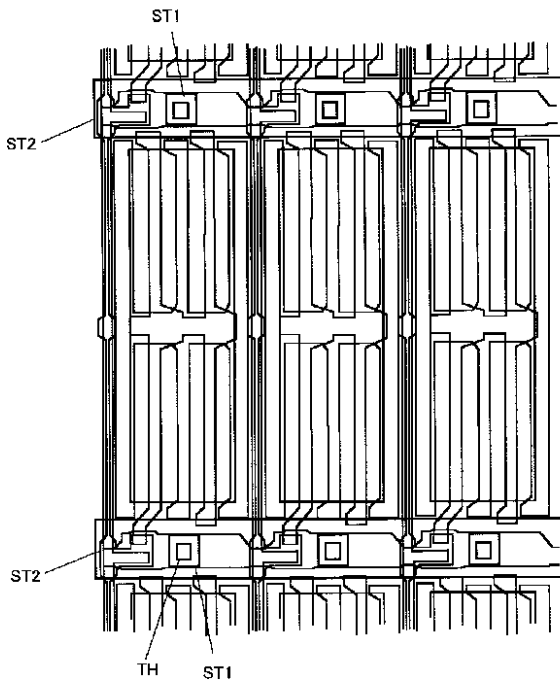
【図 60】

图60



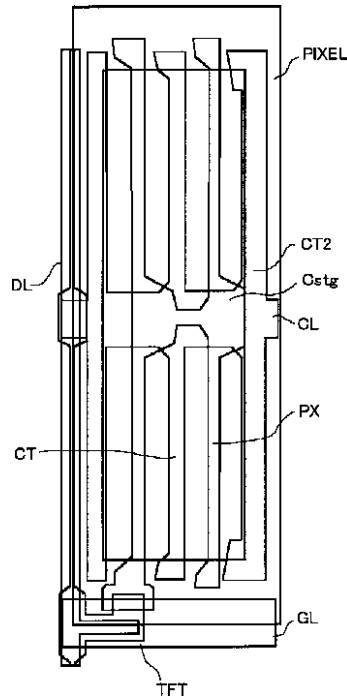
【図61】

図61



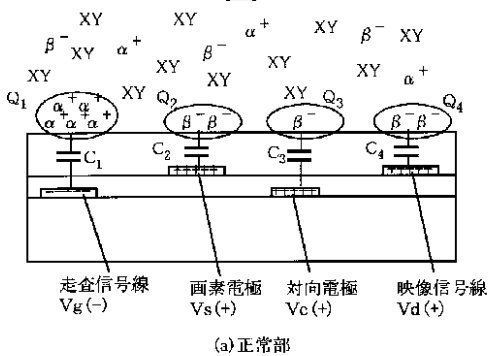
【図62】

図62



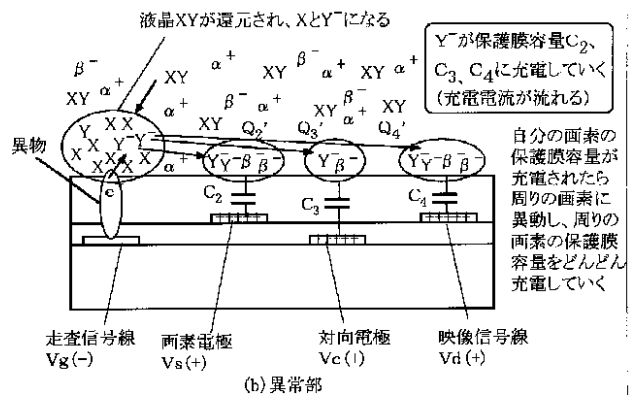
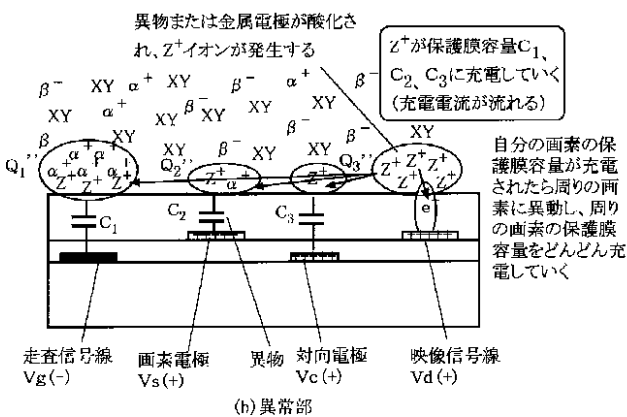
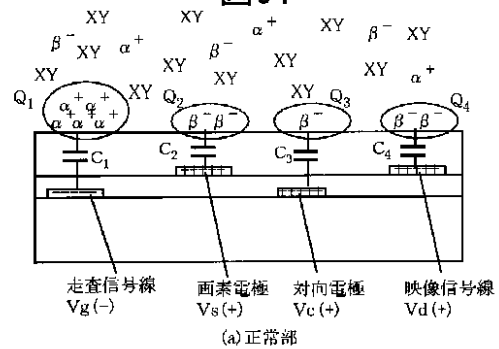
【図63】

図63



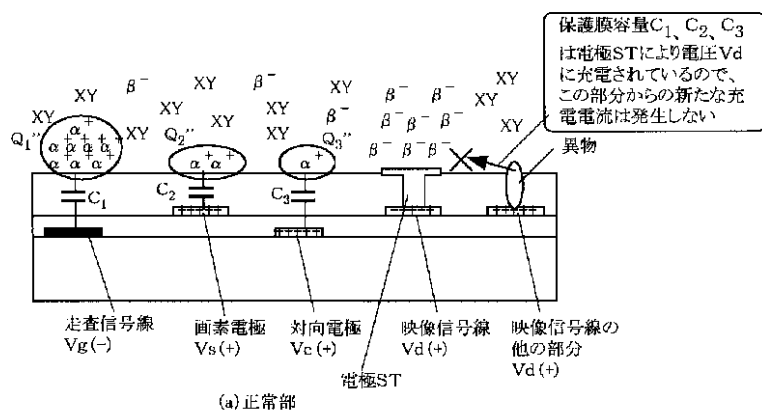
【図64】

図64



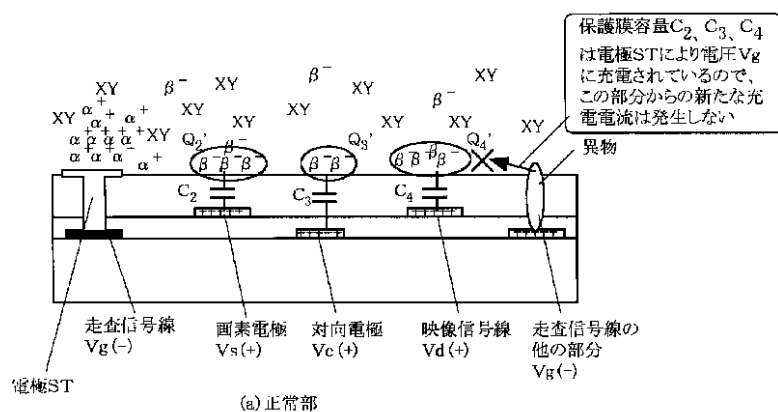
【図67】

図67



【図68】

図68



フロンtpページの続き

F ターム(参考) 2H091 FA02Y FA35Y GA02 GA06
LA18 LA20
2H092 GA12 JA26 JA34 JA37 JA41
JA46 JB05 JB06 JB14 JB22
JB31 JB57 JB61 KA03 KA04
KA05 KA18 KB04 KB24 NA03
NA11 PA02 PA08 PA09
2H093 NA16 NC16 NC62 ND09 ND15
ND17 NE03 NE04
5C094 AA02 AA09 AA31 BA03 BA43
CA19 DA09 EA04 EA05 EB02
ED02 ED11 ED14 HA08

专利名称(译)	液晶表示装置		
公开(公告)号	JP2001272697A	公开(公告)日	2001-10-05
申请号	JP2000087109	申请日	2000-03-23
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	株式会社日立制作所		
[标]发明人	太田益幸 石井正宏		
发明人	太田 益幸 石井 正宏		
IPC分类号	G02F1/1335 G02F1/133 G02F1/1333 G02F1/1343 G02F1/136 G02F1/1362 G02F1/1368 G09F9/30		
CPC分类号	G02F1/13458 G02F1/134363 G02F2001/133337		
FI分类号	G02F1/133.550 G02F1/1335.500 G02F1/1343 G09F9/30.338 G02F1/136.500 G02F1/1368		
F-TERM分类号	2H091/FA02Y 2H091/FA35Y 2H091/GA02 2H091/GA06 2H091/LA18 2H091/LA20 2H092/GA12 2H092/JA26 2H092/JA34 2H092/JA37 2H092/JA41 2H092/JA46 2H092/JB05 2H092/JB06 2H092/JB14 2H092/JB22 2H092/JB31 2H092/JB57 2H092/JB61 2H092/KA03 2H092/KA04 2H092/KA05 2H092/KA18 2H092/KB04 2H092/KB24 2H092/NA03 2H092/NA11 2H092/PA02 2H092/PA08 2H092/PA09 2H093/NA16 2H093/NC16 2H093/NC62 2H093/ND09 2H093/ND15 2H093/ND17 2H093/NE03 2H093/NE04 5C094/AA02 5C094/AA09 5C094/AA31 5C094/BA03 5C094/BA43 5C094/CA19 5C094/DA09 5C094/EA04 5C094/EA05 5C094/EB02 5C094/ED02 5C094/ED11 5C094/ED14 5C094/HA08 2H092/GA14 2H191/FA02Y 2H191/FA14Y 2H191/GA04 2H191/GA08 2H191/LA24 2H191/LA27 2H192/AA24 2H192/BB02 2H192/BB53 2H192/BB54 2H192/BB55 2H192/BB66 2H192/BB84 2H192/CB05 2H192/CB44 2H192/CC04 2H192/DA02 2H192/DA32 2H192/DA65 2H192/DA74 2H192/EA22 2H192/EA43 2H192/EA62 2H192/FA48 2H192/FA65 2H192/FB46 2H192/FB71 2H192/GA03 2H192/GA12 2H192/GA21 2H192/GA41 2H192/GD61 2H192/HA47 2H192/HA86 2H192/HB14 2H192/JA33 2H193/ZA04 2H193/ZA06 2H193/ZB02 2H193/ZB06 2H193/ZD32 2H193/ZP03 2H193/ZP04 2H193/ZQ16 2H291/FA02Y 2H291/FA14Y 2H291/GA04 2H291/GA08 2H291/LA24 2H291/LA27		
外部链接	Espacenet		

摘要(译)

要解决的问题：获得具有宽视角，高图像质量和提高的批量生产性的高度可靠的液晶显示装置。在具有宽视角的IPS型液晶显示装置中，当通过通电继续显示时，会出现黑点状的不均匀（核污染）。此外，在IPS方法中，由于使用具有低电阻率的液晶，因此在显示期间液晶中的杂质流动，导致不规则的黑点，并聚集在显示图案的边缘，并且发生残像（烙印）。发生。为了防止这种情况，在液晶显示装置中，在基板的一侧以矩阵状形成有夹在一对基板和多个像素之间的液晶层，在该基板上形成有多个像素的一侧。形成有用于显示图像的第一电极组和配线组，在液晶层与第一电极组之间形成保护膜，该配线组，保护膜与基板的另一基板之间一种液晶显示装置，其特征在于，在多个像素之间形成至少一个包括阴极和阳极中的一个或两个的第二电极或布线。[效果]消除了核斑和黑斑。另外，减少了残像（烙印）。

