

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5376774号
(P5376774)

(45) 発行日 平成25年12月25日(2013.12.25)

(24) 登録日 平成25年10月4日(2013.10.4)

(51) Int.Cl.	F I
GO2F 1/1343 (2006.01)	GO2F 1/1343
GO2F 1/1368 (2006.01)	GO2F 1/1368
GO2F 1/133 (2006.01)	GO2F 1/133 550
GO9G 3/20 (2006.01)	GO9G 3/20 611D
GO9G 3/36 (2006.01)	GO9G 3/20 611J
請求項の数 23 (全 28 頁) 最終頁に続く	

(21) 出願番号	特願2007-128787 (P2007-128787)	(73) 特許権者	512187343
(22) 出願日	平成19年5月15日(2007.5.15)		三星ディスプレイ株式会社
(65) 公開番号	特開2008-26870 (P2008-26870A)		Samsung Display Co., Ltd.
(43) 公開日	平成20年2月7日(2008.2.7)		大韓民国京畿道龍仁市器興区三星二路95
審査請求日	平成22年5月14日(2010.5.14)		95, Samsung 2 Ro, Giheung-Gu, Yongin-City, Gyeonggi-Do, Korea
(31) 優先権主張番号	10-2006-0068658	(74) 代理人	100121382
(32) 優先日	平成18年7月21日(2006.7.21)		弁理士 山下 託嗣
(33) 優先権主張国	韓国 (KR)	(72) 発明者	金 東 奎
(31) 優先権主張番号	10-2006-0085875		大韓民国京畿道龍仁市水枝區豊徳川2洞三星5次アパート523棟1305號
(32) 優先日	平成18年9月6日(2006.9.6)		
(33) 優先権主張国	韓国 (KR)		
(31) 優先権主張番号	10-2006-0117667		
(32) 優先日	平成18年11月27日(2006.11.27)		
(33) 優先権主張国	韓国 (KR)		
		最終頁に続く	

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

第1絶縁基板と、

前記第1絶縁基板上に形成され、第1方向に延長されたゲート配線と、

前記ゲート配線と電気絶縁状態で交差し、第2方向に延長されたデータ配線と、

第1及び第2副画素電極を備える画素電極と、を備え、

前記第1副画素電極には相対的に高いデータ電圧が印加され、前記第2副画素電極には相対的に低いデータ電圧が印加され、

前記第2副画素電極の少なくとも一部は、前記データ配線と重畳し、

前記データ配線は、前記第1副画素電極と重畳しない、液晶表示装置。

【請求項 2】

前記データ配線は、幅方向に前記第2副画素電極と完全に重畳する請求項1に記載の液晶表示装置。

【請求項 3】

前記第1副画素電極はV字形状であり、前記第2副画素電極は、画素内で前記第1副画素電極以外の領域に形成されている、請求項1に記載の液晶表示装置。

【請求項 4】

前記第2副画素電極は、前記第1副画素電極を取り囲むように形成された請求項1に記載の液晶表示装置。

【請求項 5】

10

20

前記第 2 副画素電極は、前記ゲート配線と実質的に 45°または -45°をなすメイン領域と、前記データ配線に沿って配列されて前記メイン領域間を連結するブリッジ領域がなり、前記データ配線は、前記ブリッジ領域と重畳する請求項 4 に記載の液晶表示装置。

【請求項 6】

前記データ配線は、前記第 1 及び第 2 副画素電極に各々異なるデータ電圧を提供する第 1 及び第 2 データ配線を備える請求項 1 に記載の液晶表示装置。

【請求項 7】

前記第 1 データ配線から前記第 1 副画素電極にデータ電圧が印加される第 1 型画素と、前記第 2 データ配線から前記第 1 副画素電極にデータ電圧が印加される第 2 型画素とが前記第 1 及び第 2 方向に交互に配置された請求項 6 に記載の液晶表示装置。

10

【請求項 8】

前記第 1 絶縁基板上に形成されて前記ゲート配線と実質的に平行に延長されたストレージ線と、前記ストレージ線に接続され、前記データ配線と実質的に平行に延長された追加ストレージ電極とをさらに備える請求項 1 に記載の液晶表示装置。

【請求項 9】

前記追加ストレージ電極は、前記第 1 及び第 2 副画素電極を分離する間隙と一部重畳する請求項 8 に記載の液晶表示装置。

【請求項 10】

前記追加ストレージ電極の少なくとも一部は、前記第 1 副画素電極と重畳する請求項 9 に記載の液晶表示装置。

20

【請求項 11】

前記追加ストレージ電極と前記第 1 副画素電極との重畳幅は、1 ~ 3 μm である請求項 10 に記載の液晶表示装置。

【請求項 12】

前記第 1 絶縁基板と対向する第 2 絶縁基板と、前記第 2 絶縁基板上に形成された共通電極と、前記第 1 及び第 2 絶縁基板間に介在されて負の誘電率異方性を有する液晶分子からなる液晶層とをさらに備える請求項 1 に記載の液晶表示装置。

【請求項 13】

絶縁基板上に互いに電気絶縁状態で交差して配置されるゲート配線とデータ配線と、第 1 及び第 2 副画素電極を備える画素電極と、前記第 1 副画素電極と重畳し、第 1 ストレージ電圧が印加される第 1 ストレージ線と、前記第 2 副画素電極と重畳し、前記第 1 ストレージ電圧と異なる第 2 ストレージ電圧が印加される第 2 ストレージ線と、を備え、

30

前記データ配線から前記第 1 副画素電極及び第 2 副画素電極に同一のデータ電圧が印加され、前記データ電圧がそれぞれ前記第 1 ストレージ電圧及び第 2 ストレージ電圧とのカップリングにより、前記第 1 副画素電極には相対的に高いデータ電圧が形成され、前記第 2 副画素電極には相対的に低いデータ電圧が形成され、

前記第 1 副画素電極は、前記データ配線と重畳せず、前記第 2 副画素電極の少なくとも一部は、前記データ配線と重畳する液晶表示装置。

40

【請求項 14】

前記第 2 ストレージ電圧は、前記第 1 ストレージ電圧を反転した位相を有する請求項 13 に記載の液晶表示装置。

【請求項 15】

前記第 2 副画素電極は、前記データ配線と 2 ~ 3 μm の幅に重畳する請求項 13 に記載の液晶表示装置。

【請求項 16】

前記第 1 ストレージ線から分岐して前記間隙と重畳する追加ストレージ電極をさらに備える請求項 13 に記載の液晶表示装置。

50

【請求項 17】

前記追加ストレージ電極は、前記データ配線と実質的に平行に延びた請求項 16 に記載の液晶表示装置。

【請求項 18】

ゲート線と前記ゲート線に電気絶縁状態で交差するように形成されるデータ線対と、
前記ゲート線と前記データ線対に電氣的に各々接続される画素電極と、
を備え、

前記画素電極は、第 1 副画素電極と、前記第 1 副画素電極より小さな面積を有する第 2 副画素電極とを備え、

前記第 2 副画素電極には相対的に高いデータ電圧が印加され、前記第 1 副画素電極には相対的に低いデータ電圧が印加され、

10

前記データ線対は前記第 1 副画素電極の少なくとも一部に重畳し、前記第 2 副画素電極と重畳しないように形成されている液晶表示装置。

【請求項 19】

前記画素電極は、中心が前記ゲート線に平行である第 1 方向に折り曲げられ、前記折り曲げられた中心に対して相互対称であり、前記折り曲げられた中心に対して前記画素電極の両端部が前記第 1 方向に対して逆である第 2 方向に各々折り曲げられる請求項 18 に記載の液晶表示装置。

【請求項 20】

前記データ線対は、前記画素電極に対応する形状を有し、前記第 1 副画素電極に完全に重畳する請求項 19 に記載の液晶表示装置。

20

【請求項 21】

前記データ線対は、ジグザグ状に形成されて前記第 1 副画素電極に完全に重畳する請求項 19 に記載の液晶表示装置。

【請求項 22】

前記データ線対からの 2 つのデータ電圧を前記第 1 副画素電極及び第 2 副画素電極に各々提供する第 1 薄膜トランジスタ及び第 2 薄膜トランジスタをさらに備える請求項 18 に記載の液晶表示装置。

【請求項 23】

前記 2 つのデータ電圧は、互いに反転した位相を有する請求項 22 に記載の液晶表示装置。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ディスプレイ装置に係り、より詳細には、液晶表示装置に関する。

【背景技術】

【0002】

液晶表示装置は、現在最も広く使われている平板表示装置の 1 つであって、画素電極と共通電極など電界生成電極が形成されている 2 枚の表示板とその間に挿入されている液晶層からなり、電界生成電極に電圧を印加して液晶層に電界を生成し、これを通じて液晶層の液晶分子の配向を決定して入射光の偏光を制御することによって映像を表示する。

40

その中でも電界が印加されていない状態で液晶分子の主方向子が上下表示板に対して垂直に配列した垂直配向モード液晶表示装置は、コントラスト比 (contrast ratio) が大きく、広い基準視野角の具現が容易なので、脚光を浴びている。このような垂直配向方式の液晶表示装置は、前面視認性に比べて側面視認性が劣る問題点があるが、このような問題点を改善するために、1 つの画素を 1 対の副画素 (sub-pixel) に分割して各副画素にスイッチング素子を形成して、各副画素ごとに別途の電圧を印加する方法が提案された。

【0003】

但し、このような従来技術による液晶表示装置において、データ線の上に位置する液

50

晶は、画素電極による電界によりその動きを正確に制御することができず、このために、光漏れが発生して液晶表示装置の表示特性を低下させるという問題がある。

また、このような構造の液晶表示装置において相対的に高いデータ電圧が印加される副画素電極とその両側に位置する１対のデータ線とのカップリングキャパシタンスが一致していない場合、表示特性が低下する。したがって、このような副画素とこれに隣接するデータ線とのカップリングキャパシタンスを減らす必要がある。

【特許文献１】韓国公開特許２００６－０００４３１６号

【発明の開示】

【発明が解決しようとする課題】

【０００４】

10

本発明が解決しようとする技術的課題は、表示品質を向上させうる液晶表示装置を提供するところにある。

本発明の技術的課題は、以上で言及した技術的課題に制限されず、言及されていない他の課題は下の記載から当業者に明確に理解されうる。

【課題を解決するための手段】

【０００５】

前記技術的課題を達成するための本発明の一実施形態による液晶表示装置は、第１絶縁基板と、前記第１絶縁基板上に形成されて第１方向に延長されたゲート配線と、前記ゲート配線と電気絶縁状態で交差して第２方向に延長されたデータ配線と、第１及び第２副画素電極とを備える画素電極と、を備え、前記第１副画素電極には相対的に高いデータ電圧が印加され、前記第２副画素電極には相対的に低いデータ電圧が印加され、前記第２副画素電極の少なくとも一部は、前記データ配線と重畳し、前記データ配線は、前記第１副画素電極と重畳しないことが望ましい。

20

【０００６】

前記技術的課題を達成するための本発明の他の実施形態による液晶表示装置は、絶縁基板上に互いに電気絶縁状態で交差するゲート配線とデータ配線と、第１及び第２副画素電極を備える画素電極と、前記第１副画素電極と重畳して第１ストレージ電圧が印加される第１ストレージ線と、前記第２副画素電極と重畳し、前記第１ストレージ電圧と異なる第２ストレージ電圧が印加される第２ストレージ線を備え、前記データ配線から前記第１副画素電極及び第２副画素電極に同一のデータ電圧が印加され、前記データ電圧がそれぞれ前記第１ストレージ電圧及び第２ストレージ電圧とのカップリングにより、前記第１副画素電極には相対的に高いデータ電圧が形成され、前記第２副画素電極には相対的に低いデータ電圧が形成され、前記第１副画素電極は、前記データ配線と重畳せず、前記第２副画素電極の少なくとも一部は、前記データ配線と重畳することが望ましい。

30

【０００７】

前記技術的課題を達成するための本発明のさらに他の実施形態による液晶表示装置は、ゲート線と前記ゲート線に電気絶縁状態で交差するように形成されるデータ線対と、前記ゲート線と前記データ線対に電氣的に各々接続される画素電極とを備える。ここで、前記画素電極は、第１副画素電極と、前記第１副画素電極より小さな面積を有する第２副画素電極とを備え、前記第２副画素電極には相対的に高いデータ電圧が印加され、前記第１副画素電極には相対的に低いデータ電圧が印加され、前記データ線対は、前記第１副画素電極の少なくとも一部に重畳し、前記第２副画素電極と重畳しないように形成されることが望ましい。

40

【発明の効果】

【０００８】

本発明による液晶表示装置によれば、データ線周辺で発生する光漏れ現象を防止し、開口率を高めうる。また、第１副画素電極と第１及び第２データ線とのカップリングキャパシタンスを減らすことによって、液晶表示装置の表示特性が低下することを防止しうる。したがって、低い階調で発生する垂直クロストークを防止しうる。

50

また第1及び第2副画素電極間の間隙をストレージ電極で遮蔽して光漏れ現象を防止し
うる。

【0009】

また、液晶表示装置の視認性を高め、高開口率を実現しうる。

【発明を実施するための最良の形態】

【0010】

その他の実施例の具体的な事項は詳細な説明及び図面に含まれている。

本発明の利点及び特徴、そしてこれを達成する方法は添付された図面に基づいて詳細に
後述されている実施例を参照すれば明確になる。しかし、本発明は以下で開示される実施
例に限定されず、この実施例から外れて多様な形に具現でき、本明細書で説明する実施例
は本発明の開示を完全にし、本発明が属する技術分野で当業者に発明の範ちゅうを完全に
報せるために提供されるものであり、本発明は請求項及び発明の詳細な説明によってのみ
定義される。図面において、層及び領域のサイズ及び相対的なサイズは、説明の明瞭性の
ために誇張して表現している場合がある。

【0011】

素子 (e l e m e n t s) または層が他の素子または層の " 上 (o n) " にあるという
ことは、他の素子または層の真上だけでなく、中間に他の層または他の素子を介在した場
合も含む。一方、素子が " 真上 (d i r e c t l y o n) " にあるということは、中間
に他の素子または層を介在していないということを示す。明細書全体として同一の参照符
号は、同一の構成要素を示す。 " 及び/または " は言及されたアイテムの1つ以上のあら
ゆる組合を含む。

【0012】

空間的に相対的な用語である " 下 (b e l o w) " 、 " 下 (b e n e a t h) " 、 " 下
部 (l o w e r) " 、 " 上 (a b o v e) " 、 " 上部 (u p p e r) " などは図面に示さ
れているように1つの素子または構成要素と他の素子または構成要素との相関関係を容易
に記述するために使われうる。空間的に相対的な用語は、図面に示されている方向に加え
て使用時または動作時に素子の相異なる方向を含む用語と理解されねばならない。

【0013】

本明細書で記述する実施形態は、本発明の理想的な概略図である平面図及び断面図を参
考にして説明される。したがって、製造技術及び/または許容誤差などにより例示図の形
態が変形されうる。したがって、本発明の実施形態は、示された特定形態に制限されるも
のではなく、製造工程によって生成される形態の変化も含む。したがって、図面において
例示された領域は、概略的な属性を有し、図面において例示された領域の形状は、素子領
域の特定形態を例示するためのものであり、発明の範ちゅうを制限するためのものではない。

【0014】

以下、添付された図面を参照して本発明の第1実施形態による液晶表示装置について詳
細に説明する。

図1は、本発明の第1実施形態による液晶表示装置の画素アレイを概略的に示す図面であ
り、図2は、図1の液晶表示装置の一画素についての等価回路図である。

本発明の第1実施形態による液晶表示装置は、液晶パネルアセンブリ (l i q u i d
c r y s t a l p a n e l a s s e m b l y) と、これに接続されたゲート駆動部及び
データ駆動部と、データ駆動部に接続された階調電圧生成部と、これらを制御する信号
制御部とを備える。

【0015】

液晶パネルアセンブリは、複数の表示信号線と、これに接続されており、ほぼ行列状に
配列された複数の画素 (P X) とを含む。ここで、液晶パネルアセンブリは、互いに対向
する下部表示板と上部表示板、そしてこれらの間に介在された液晶層を備える。

図1及び図2に示すように、表示信号線は、下部表示板に設けられており、ゲート信号
を伝達する複数のゲート線 G とデータ信号を伝達するデータ線 D a 、 D b を含む。ゲート

線 G は、ほぼ行方向に延長されて互いにほぼ平行に形成されており、データ線 D a、D b はほぼ列方向に延長されて互いにほぼ平行に形成されている。

【 0 0 1 6 】

各画素 P X は、一対の副画素 P X a、P X b を含み、各副画素 P X a、P X b は、該当データ線 D a、D b 及び 1 つのゲート線 G に接続されているスイッチング素子 Q a、Q b と、これに接続された液晶キャパシタ C l c a、C l c b と、これに接続されたストレージキャパシタ C s t a、C s t b を含む。すなわち、一対の副画素 P X a、P X b には、2 つのデータ線 D a、D b と 1 つのゲート線 G が割り当てられる。ストレージキャパシタ C s t a、C s t b は必要によって省略しうる。

【 0 0 1 7 】

各副画素 P X a、P X b のスイッチング素子 Q a、Q b は、下部表示板に設けられている薄膜トランジスタからなり、ゲート信号が印加されるゲート線 G に接続されている制御端子（以下、ゲート電極）、データ線 D a、D b に接続されている入力端子（以下、ソース電極）、そして液晶キャパシタ C l c a、C l c b 及びストレージキャパシタ C s t a、C s t b に接続されている出力端子（以下、ドレイン電極）を有する三端子素子である。

【 0 0 1 8 】

液晶キャパシタ C l c a、C l c b は、下部表示板の副画素電極と上部表示板の共通電極とを二端子とし、副画素電極と共通電極との間の液晶層は誘電体として機能を行う。各副画素電極 P a、P b は、各スイッチング素子 Q a、Q b に接続され、共通電極は上部表示板の全面に形成されており、共通電圧 V c o m を印加される。ここで、共通電極が下部表示板に設けられる場合もあり、この際、副画素電極と共通電極のうち、少なくとも 1 つが線状または棒状に形成することができる。

【 0 0 1 9 】

液晶キャパシタ C l c a、C l c b の補助的な役割を果たすストレージキャパシタ C s t a、C s t b は、下部表示板に設けられたストレージ配線と副画素電極が絶縁体を挟んで重畳されてなり、ストレージ配線には共通電圧 V c o m などの所定電圧が印加される。ここで、ストレージキャパシタ C s t a、C s t b は、副画素電極が絶縁体を介して直上の前段ゲート線と重畳されて形成され得る。

【 0 0 2 0 】

一方、色表示を具現するためには、各画素が原色（primary color）のうちの 1 つを固有に表示するか（空間分割）、各画素が時間によって交互に三原色を表示するようにし（時間分割）、これら三原色の空間的、時間的和で所望の色相を認識させる。原色の例としては、赤色、緑色及び青色を挙げられる。空間分割の一例として各画素が上部表示板の領域に原色のうち、1 つを示すカラーフィルタを備えるように構成できる。また、カラーフィルタは、下部表示板の副画素電極の上下に形成しても良い。

【 0 0 2 1 】

ゲート駆動部は、ゲート線 G に接続されて外部からのゲートオン電圧 V o n とゲートオフ電圧 V o f f との組み合わせからなるゲート信号をゲート線 G に印加する。

階調電圧生成部は、画素の透過率と関連した 2 つの階調電圧集合（または基準階調電圧集合）を生成し、データ駆動部に提供しうる。すなわち、2 つの階調電圧集合は、1 つの画素をなす 1 対の副画素に独立して提供しうる。但し、本発明はこれに限定されず、2 つの階調電圧集合の代わりに 1 つの階調電圧集合のみを生成することもできる。

【 0 0 2 2 】

データ駆動部は、一対のデータ線 D a、D b に各々接続されている。データ駆動部は、データ線 D a を通じて 1 つの画素を構成する 1 対の副画素のうち、いずれか 1 つの副画素にデータ電圧を伝達し、データ線 D b を通じて 1 つの画素を構成する 1 対の副画素のうち、他の 1 つの副画素に別途のデータ電圧を伝達する。

このようなゲート駆動部またはデータ駆動部は、複数の駆動集積回路チップ状に液晶パネルアセンブリ上に直接装着されるか、可撓性印刷回路フィルム（flexible p

10

20

30

40

50

rinted circuit film)上に装着されてテープキャリアパッケージの形で液晶パネルアセンブリに付着することもできる。これとは異なって、ゲート駆動部またはデータ駆動部は、表示信号線G、Da、Dbと薄膜トランジスタスイッチング素子Qa、Qbと共に液晶パネルアセンブリに集積(integration)することもできる。

【0023】

信号制御部は、ゲート駆動部及びデータ駆動部などの動作を制御する。

さらに図1に示すように、1つの画素は、2つのスイッチング素子と、各スイッチング素子に接続された副画素電極Pa、Pbを含む。ここで、第1副画素電極Paに相対的に高いデータ電圧が印加され、第2副画素電極Pbに相対的に低いデータ電圧が印加される場合を仮定する。以下、データ電圧の高低は、共通電圧とデータ電圧との差の高低を意味する。また、第1データ線Daを通じて第1副画素電極Paにデータ電圧が印加される画素をA型画素といい、第2データ線Dbを通じて第1副画素電極Paにデータ電圧が印加される画素をB型画素という。

10

【0024】

図1に示されたように、A型画素とB型画素とを横方向及び縦方向に交互に配置することによって、液晶表示装置において縦縞または横縞が視認されることを防止しうる。

もし、あらゆる画素に対して第1データ線Daを通じて第1副画素電極Paにデータ電圧が印加される場合、すなわち、画素アレイがいずれもA型画素からなる場合、液晶表示装置がカラム反転(column inversion)により駆動すれば、フレーム当たり1画素だけ水平方向に移動する検査パターンに対して水平方向に移動する縦縞が視認されうる。

20

【0025】

また、もし1つの画素行(row)に対しては、第1データ線Daを通じて第1副画素電極Paにデータ電圧が印加され、次の画素行をなす画素に対して第2データ線Dbを通じて第1副画素電極Paにデータ電圧が印加される場合、すなわち、A型画素の行とB型画素の行とが交互に配される場合、前述した水平方向に移動する縦縞が視認されることを防止しうる。但し、第1副画素電極Paはその両側に位置する第1及び第2データ線Da、Dbとカップリングが発生するが、第1副画素電極Paと第1及び第2データ線Da、DbのカップリングキャパシタンスがA型画素及びB型画素によって異なるために横縞が視認されうる。

30

【0026】

したがって、図1に示された本発明の第1実施形態による液晶表示装置のようにA型画素とB型画素とを横方向及び縦方向に交互に配置することによって、前述した水平方向に移動する縦縞または横縞を防止しうる。但し、このような構造の液晶表示装置が低い階調で動作する場合、相対的に高いデータ電圧が印加される第1副画素電極Paによってのみ液晶が実質的に動作するために、A型画素及びB型画素各々に対して第1副画素電極Paと第1データ線Daとのカップリングキャパシタンスと第1副画素電極Paと第2データ線Dbとのカップリングキャパシタンスの差を減らすことによって、クロストークによる表示品質の低下を改善しうる。

40

【0027】

さらに、本発明の第1実施形態と同様に第1及び第2データ線Da、Dbを第2副画素電極Pbと重畳するように配置し、第2副画素電極Pbが第1副画素電極Paを取り囲むようにして、A型画素とB型画素を横方向及び縦方向に交互に配置せずとも、縦線縞または横線縞が認識されることを防止しうる。すなわち、第1及び第2データ線Da、Dbと第1副画素電極Paのカップリングキャパシタンスを最小化することによって、表示特性が低下することを防止しうる。これについては、後述する。

【0028】

以下、図3A～図5を参照して、本発明の第1実施形態による液晶表示装置を詳細に説明する。本実施形態による液晶表示装置は、薄膜トランジスタアレイ(thin film

50

m transistor array) が形成された下部表示板、これと対向している上部表示板及びこれらの間に介在されている液晶層を含む。

まず、図 3 A ~ 図 3 C を参照して本発明の第 1 実施形態による液晶表示装置の下部表示板について詳細に説明する。ここで、図 3 A は、本発明の第 1 実施形態による図 1 の A 型画素を含む下部表示板の配置図であり、図 3 B は、図 3 A の下部表示板を IIIb - IIIb' 線に沿って切った断面図であり、図 3 C は、図 3 A の下部表示板を IIIc - IIIc' 線に沿って切った断面図である。

【 0 0 2 9 】

透明なガラスからなる絶縁基板 1 0 上に主に横方向に延長されており、ゲート信号を伝達するゲート線 2 2 が形成されている。ゲート線 2 2 は、1 つの画素に対して 1 つずつ割り当てられている。そして、ゲート線 2 2 には、突出した一对の第 1 及び第 2 ゲート電極 2 6 a、2 6 b が形成されている。このようなゲート線 2 2 と第 1 及び第 2 ゲート電極 2 6 a、2 6 b とをゲート配線という。

【 0 0 3 0 】

また絶縁基板 1 0 上には、画素領域を横切ってゲート線 2 2 と実質的に平行であって横方向に延長されているストレージ線 2 8 が形成されており、ストレージ線 2 8 に接続されて幅広のストレージ電極 2 7 が形成されている。ストレージ電極 2 7 は、画素電極 8 2 と重畳されて画素の電荷保存能力を向上させるストレージキャパシタを形成する。このようなストレージ電極 2 7 及びストレージ線 2 8 をストレージ配線という。本実施形態でストレージ配線 2 7、2 8 は、画素領域の中心と重畳して形成されているが、本発明はこれに限定されず、ストレージ配線 2 7、2 8 の形状及び配置はいろいろな形で変形されうる。さらに、画素電極 8 2 とゲート線 2 2 との重畳によって発生するストレージキャパシタンスが十分である場合、ストレージ配線 2 7、2 8 を形成しないことも可能である。

【 0 0 3 1 】

ゲート配線 2 2、2 6 a、2 6 b とストレージ配線 2 7、2 8 は、アルミニウム (Al) とアルミニウム合金などアルミニウム系の金属、銀 (Ag) と銀合金など銀系の金属、銅 (Cu) と銅合金など銅系の金属、モリブデン (Mo) とモリブデン合金などモリブデン系の金属、クロム (Cr)、チタン (Ti)、タンタル (Ta) などから形成される。また、ゲート配線 2 2、2 6 a、2 6 b とストレージ配線 2 7、2 8 は、物理的性質が他の 2 つの導電膜 (図示せず) を含む多重膜構造を有する構成とすることができる。このうち、1 つの導電膜は、ゲート配線 2 2、2 6 a、2 6 b とストレージ配線 2 7、2 8 の信号遅延や電圧降下を減らすように低い比抵抗の金属、例えば、アルミニウム系金属、銀系金属、銅系の金属からなる。これとは異なって、他の導電膜は、他の物質、特に ITO (indium tin oxide) 及び IZO (indium zinc oxide) との接触特性に優れた物質、例えば、モリブデン系金属、クロム、チタン、タンタルからなる。このような組み合わせの望ましい例としては、クロム下部膜とアルミニウム上部膜及びアルミニウム下部膜とモリブデン上部膜を挙げることができる。但し、本発明はこれに限定されず、ゲート配線 2 2、2 6 a、2 6 b とストレージ配線 2 7、2 8 は、多様な金属と導電体で構成することができる。

【 0 0 3 2 】

ゲート線 2 2 及びストレージ配線 2 7、2 8 上には、窒化ケイ素 (SiNx) からなるゲート絶縁膜 3 0 が形成されている。

ゲート絶縁膜 3 0 上には、水素化非晶質ケイ素または多結晶ケイ素からなる一对の半導体層 4 0 a、4 0 b が形成されている。半導体層 4 0 a、4 0 b は、島形、線形など多様な形状を有することができ、例えば、本実施形態のように島形で形成されうる。

【 0 0 3 3 】

各半導体層 4 0 a、4 0 b の上部には、シリサイドまたは n 型不純物が高濃度でドーピングされている n+ 水素化非晶質ケイ素などの物質からなるオーミックコンタクト層 5 5 a、5 6 a が形成されている。オーミックコンタクト層 5 5 a、5 6 a は、対 (pair) をなして半導体層 4 0 a、4 0 b 上に位置する。

オーミックコンタクト層 55a、56a 及びゲート絶縁膜 30 上には、一对の第 1 及び第 2 データ線 62a、62b と、第 1 及び第 2 データ線 62a、62b に各々対応する 1 対の第 1 及び第 2 ドレイン電極 66a、66b が形成されている。

【0034】

第 1 及び第 2 データ線 62a、62b は、主に縦方向に延長されてゲート線 22 及びストレージ線 28 と交差してデータ電圧を伝達する。第 1 及び第 2 データ線 62a、62b には、第 1 及び第 2 ドレイン電極 66a、66b に向かって各々延長された第 1 及び第 2 ソース電極 65a、65b が形成されている。図 3A に示されたように、1 つの画素が一对の副画素に分割され、第 1 データ線 62a は、1 つの副画素にデータ信号を伝達し、第 2 データ線 62b は他の副画素に別途のデータ信号を伝達する。

10

【0035】

このような第 1 及び第 2 データ線 62a、62b と、第 1 及び第 2 ソース電極 65a、65b と、第 1 及び第 2 ドレイン電極 66a、66b をデータ配線という。

データ配線 62a、62b、65a、65b、66a、66b は、クロム、モリブデン系の金属、タンタル及びチタンなど耐火性金属で構成することが望ましく、耐火性金属などの下部膜（図示せず）とその上に位置した低抵抗物質上部膜（図示せず）からなる多層膜構造に構成することができる。多層膜構造の例としては、前述したクロム下部膜とアルミニウム上部膜またはアルミニウム下部膜とモリブデン上部膜の二重膜以外にも、モリブデン膜 - アルミニウム膜 - モリブデン膜の三重膜を挙げることができる。

20

【0036】

第 1 及び第 2 ソース電極 65a、65b は、各々半導体層 40a、40b と少なくとも一部が重畳され、第 1 及び第 2 ドレイン電極 66a、66b は、各々ゲート電極 26a、26b を中心に第 1 及び第 2 ソース電極 65a、65b と対向して半導体層 40a、40b と少なくとも一部が重畳される。ここで、前述したオーミックコンタクト層 55a、56a は、半導体層 40a、40b と第 1 及び第 2 ソース電極 65a、65b との間、または半導体層 40a、40b と第 1 及び第 2 ドレイン電極 66a、66b との間に存在し、接触抵抗を下げる役割を果たす。

【0037】

データ配線 62a、62b、65a、65b、66a、66b と露出された半導体層 40a、40b 上には、保護膜 70 が形成されている。保護膜 70 は、窒化ケイ素または酸化ケイ素からなる無機物、平坦化特性に優れ、かつ感光性 (photosensitivity) を有する有機物またはプラズマ化学気相蒸着 (plasma enhanced chemical vapor deposition: PECVD) で形成される a-Si:C:O、a-Si:O:F などのオイル低誘電率絶縁物質からなる。また、保護膜 70 は、有機膜の優秀な特性を生かしつつも、露出された半導体層 40a、40b 部分を保護するために下部無機膜と上部有機膜との二重膜構造に構成することができる。さらに、保護膜 70 としては、赤色、緑色または青色のカラーフィルタ層を使用することができる。

30

【0038】

保護膜 70 上に形成された画素電極 82 は、互いに分離された第 1 及び第 2 副画素電極 82a、82b からなる。ここで、第 1 及び第 2 副画素電極 82a、82b は、ITO または IZO などの透明導電体またはアルミニウムなどの反射性導電体で形成することができる。

40

第 1 及び第 2 副画素電極 82a、82b は、各々第 1 及び第 2 コンタクトホール 76a、76b を介して第 1 及び第 2 ドレイン電極 66a、66b と電氣的に接続されて第 1 及び第 2 ドレイン電極 66a、66b から相異なるデータ電圧を印加される。

【0039】

データ電圧が印加された第 1 及び第 2 副画素電極 82a、82b は、上部表示板の共通電極と共に電場を生成することによって、第 1 及び第 2 副画素電極 82a、82b と共通電極間の液晶分子の配列を決定する。

50

また、前述したように図 2 及び図 3 A を参照すれば、各副画素電極 8 2 a、8 2 b と共通電極は、液晶キャパシタ C 1 c a、C 1 c b をなして薄膜トランジスタ Q a、Q b がターンオフした後にも、印加された電圧を維持する。電圧維持能力を強化するために液晶キャパシタ C 1 c a、C 1 c b と並列に接続されたストレージキャパシタ C s t a、C s t b は、第 1 及び第 2 副画素電極 8 2 a、8 2 b またはこれに接続されている第 1 及び第 2 ドレイン電極 6 6 a、6 6 b に対してストレージ配線 2 7、2 8 を重畳させて作ることができる。

【0040】

再び図 3 A ないし図 3 C を参照すれば、1 つの画素電極 8 2 は、所定の間隙 8 3 を挟んで互いに噛み合っており、電氣的に分離された第 1 及び第 2 副画素電極 8 2 a、8 2 b からなる。第 1 副画素電極 8 2 a は、ほぼ横になった V 字形状であり、第 2 副画素電極 8 2 b は、画素内で第 1 副画素電極 8 2 a 以外の領域に形成されている。具体的に、第 2 副画素電極 8 2 b は、第 1 副画素電極 8 2 a を取り囲むように形成されている。

10

【0041】

このような間隙 8 3 は、ゲート線 2 2 と約 45° または -45° をなす斜線部と、斜線部間を接続し、第 1 及び第 2 データ線 6 2 a、6 2 b に沿って配列された縦部を含む。

図示していないが、第 1 副画素電極 8 2 a 及び第 2 副画素電極 8 2 b には、ゲート線 2 2 と約 45° または -45° をなすドメイン分割手段（図示せず）、例えば、切開部（cut out）または突出部（protrusion）を形成することができる。画素電極 8 2 の表示領域は、液晶層に含まれた液晶分子の主方向子が電界印加時に配列される方向によって複数のドメインに分割される。間隙 8 3 及びドメイン分割手段は、画素電極 8 2 を多くのドメインに分割する役割を果たす。ここで、ドメインとは、画素電極 8 2 と共通電極（図 4 の図面符号 9 0 参照）との間に形成された電界により液晶分子の方向子が特定方向に集中して傾斜する液晶分子からなる領域を意味する。

20

【0042】

前述したように第 1 副画素電極 8 2 a は全体的に V 字形状であり、第 2 副画素電極 8 2 b は、第 1 副画素電極 8 2 a を取り囲むように形成されている。具体的に、第 2 副画素電極 8 2 b は、間隙 8 3 の斜線部と隣接して全体的にゲート線 2 2 と約 45° または -45° をなして液晶分子の動きを制御するメイン領域と、間隙 8 3 の縦部と隣接して第 1 及び第 2 データ線 6 2 a、6 2 b に沿って配列されてメイン領域を接続するブリッジ領域からなる。

30

【0043】

図 3 A 及び図 3 C に示すように、第 1 及び第 2 データ線 6 2 a、6 2 b は、第 2 副画素電極 8 2 b と少なくとも一部が重畳して形成される。望ましくは、第 1 及び第 2 データ線 6 2 a、6 2 b は、幅方向に第 2 副画素電極 8 2 b と完全に重畳して形成される。具体的に、第 1 及び第 2 データ線 6 2 a、6 2 b は、第 2 副画素電極 8 2 b のブリッジ領域と重畳される。

【0044】

このような第 1 及び第 2 副画素電極 8 2 a、8 2 b、及び保護膜 7 0 上には、液晶層を配向する配向膜（図示せず）を塗布することができる。

40

次いで、図 4 及び図 5 を参照して、上部表示板及び液晶表示装置について説明する。ここで、図 4 は、図 3 A の下部表示板と結合する上部表示板の配置図であり、図 5 は、図 3 A の下部表示板と図 4 の上部表示板とを含む液晶表示装置の配置図である。

【0045】

透明なガラスからなる絶縁基板（図示せず）上に光漏れを防止し、画素領域を定義するブラックマトリックス 9 4 が形成されている。ブラックマトリックス 9 4 は、ゲート線 2 2 と第 1 及び第 2 データ線 6 2 a、6 2 b に対応する部分と薄膜トランジスタに対応する部分とに形成することができる。また、ブラックマトリックス 9 4 は、第 1 及び第 2 副画素電極 8 2 a、8 2 b と薄膜トランジスタ付近での光漏れを遮断するために多様な形状に形成することができる。ブラックマトリックス 9 4 は、クロム、クロム酸化物などの金属

50

(金属酸化物)、または有機ブラックレジストなどで形成することができる。

【0046】

そして、ブラックマトリックス94間の画素領域には、赤色、緑色、青色のカラーフィルタ(図示せず)が順に配列することができる。

このようなカラーフィルタ上には、これらの段差を平坦化するためのオーバコート層(図示せず)を形成することができる。

オーバコート層上には、ITOまたはIZOなどの透明な導電物質でなる共通電極90が形成されている。共通電極90は、第1及び第2副画素電極82a、82bと対向し、ゲート線22に対して約45°または-45°をなすドメイン分割手段92、例えば、切開部または突出部を設けることができる。

10

【0047】

共通電極90上には、液晶分子を配向する配向膜(図示せず)を塗布することができる。

このような構造の下部表示板と上部表示板とを整列して結合し、その間に液晶物質を注入して垂直配向すれば、本発明の第1実施形態による液晶表示装置の基本構造を構成することができる。

【0048】

液晶層に含まれている液晶分子は、画素電極82と共通電極90との間に電界が印加されていない状態で、その方向子が下部表示板と上部表示板に対して垂直に配向されており、負の誘電率異方性を有する。

20

液晶表示装置は、このような基本構造に偏光板、バックライトなどの要素を配置してなされる。この際、偏光板は、基本構造の両側に各々1つずつ配され、その透過軸は、ゲート線22に対して、1つは平行であり、残りの1つは、それに垂直に配置する。

【0049】

下部表示板と上部表示板との間に電界を印加すれば、ほとんどの領域では、両表示板に垂直な電界が形成されるが、画素電極82の間隙83及び共通電極90のドメイン分割手段92近くでは、水平電界が形成される。このような水平電界は、各ドメインの液晶分子の配向を助ける役割を果たす。

本実施形態の液晶分子は、負の誘電率異方性を有するので、液晶分子に電界が印加される場合、各ドメイン内の液晶分子は、ドメインを区画する間隙83またはドメイン分割手段92に対して垂直な方向に傾く。したがって、間隙83またはドメイン分割手段92を中心に両側で液晶分子の傾斜方向が逆となり、間隙83の斜線部またはドメイン分割手段92の斜線部が画素の中心に対して対称的に形成されているので、液晶分子は、ゲート線22と実質的に45°または-45°をなして4方向に傾く。このように4方向に傾く液晶分子により光学的特性が互いに補償されて視野角が広がる。

30

【0050】

以下、図3A～図5を参照して本発明の第1実施形態による液晶表示装置の作用について具体的に説明する。

第1データ線62aと接続された第1副画素電極82aに相対的に高いデータ電圧を印加し、第2データ線62bと接続された第2副画素電極82bに相対的に低いデータ電圧を印加することによって、液晶表示装置の側面視認性を向上することができる。

40

【0051】

特に低い階調(low gray level)で液晶表示装置が動作する場合、相対的に高いデータ電圧が印加される第1副画素電極82aによってのみ液晶が実質的に動作し、第2副画素電極82bには、電圧が印加されない。この場合、第2副画素電極82bには、上部表示板の共通電極90と実質的に同じ電圧が印加されるために、第2副画素電極82b上に配された液晶分子は、その方向子が下部表示板に対して垂直に配向される。したがって、バックライトから放出された光は、第2副画素電極82bを通過できずに遮蔽される。

【0052】

50

高い階調 (high gray level) で液晶表示装置が動作する場合、液晶表示装置の全体的な輝度が高いために、光漏れ現象があまり問題にはならない。したがって、低い階調で液晶表示装置が動作する時、光漏れ現象を防止することが重要である。一般的に、第1及び第2データ線62a、62bの周辺で光漏れ現象が発生する。しかし、本発明の第1実施形態のように第2副画素電極82bを第1及び第2データ線62a、62bと重畳させて配置し、低い階調で液晶表示装置を動作させる場合、第2副画素電極82bによって、これを通過する光が遮蔽されるので、第1及び第2データ線62a、62bの周辺で発生する光漏れ現象を防止することができる。また、上部表示板のブラックマトリックス94の面積を広げずに第1副画素電極82aを取り囲んでいる第2副画素電極82bを用いて光漏れ現象を防止するために、液晶表示装置の開口率を高めることができる。

10

【0053】

相対的に高い電圧が印加される第1副画素電極82aは、第1及び第2データ線62a、62bとの各カップリングキャパシタンスが一致していない場合、液晶表示装置の表示特性が低下しうる。したがって、第1副画素電極82aを第1及び第2データ線62a、62bと重畳しないように配置して、第1副画素電極82aと第1及び第2データ線62a、62bとのカップリングキャパシタンス自体を減らすことによって、このようなカップリングキャパシタンスが、液晶表示装置の表示特性に影響を与えることを防止しうる。

【0054】

以下、図6を参照して本発明の第1実施形態による液晶表示装置の下部表示板について詳細に説明する。ここで、図6は、本発明の第1実施形態による図1のB型画素を含む下部表示板の配置図である。説明の便宜上、前述した実施形態の図面(図3A～図5)に示された各部材と同一機能を有する部材は、同一符号で表し、その説明は省略し、以下その差異を中心に説明する。

20

【0055】

図6に示されたように、第1ドレイン電極66aは、第1コンタクトホール76aを介して第2副画素電極82bと接続し、第2ドレイン電極66bは、第2コンタクトホール76bを介して第1副画素電極82aと接続する。第2データ線62bと接続された第1副画素電極82aに相対的に高いデータ電圧を印加し、第1データ線62aと接続された第2副画素電極82bに相対的に低いデータ電圧を印加することによって、液晶表示装置の側面視認性を向上することができる。

30

【0056】

このような構造の液晶表示装置の場合、前述した実施形態と同様に第1及び第2データ線62a、62bの周辺で発生する光漏れ現象を防止し、液晶表示装置の開口率を高めることができる。また、第1副画素電極82aと第1及び第2データ線62a、62bとのカップリングキャパシタンスを減らすことによって、液晶表示装置の表示特性が低下することを防止することができる。

【0057】

以下、図7A及び図7Bを参照して本発明の第2実施形態による液晶表示装置の下部表示板について詳細に説明する。ここで、図7Aは、本発明の第2実施形態による図1のA型画素を含む下部表示板の配置図であり、図7Bは、図7Aの下部表示板をVIIb-VIIb'線に沿って切った断面図である。説明の便宜上、前述した実施形態の図面(図1～図6)に示す各部材と同一機能を有する部材は、同一符号で表し、その説明は省略し、以下その差異を中心に説明する。

40

【0058】

図7A及び図7Bに示されたように、第1副画素電極82aと第1及び第2データ線62a、62bとのカップリングキャパシタンスをさらに減らすためにストレージ線28に接続され、第1及び第2データ線62a、62bと実質的に平行に縦方向に延長されている第1及び第2追加ストレージ電極29a、29bが形成されている。

第1及び第2追加ストレージ電極29a、29bは、第1副画素電極82aと第2副画

50

素電極 8 2 b とを分離する間隙 8 3 と一部重畳して形成することができる。ここで、間隙 8 3 は、ゲート線 2 2 と約 45° または -45° をなす斜線部と、斜線部の間を接続し、第 1 及び第 2 データ線 6 2 a、6 2 b に沿って配列された縦部とを備える。したがって、第 1 及び第 2 追加ストレージ電極 2 9 a、2 9 b は、第 1 及び第 2 データ線 6 2 a、6 2 b と隣接した間隙 8 3 の縦部と一部重畳して形成することが望ましい。

【0059】

このような第 1 及び第 2 追加ストレージ電極 2 9 a、2 9 b と第 1 副画素電極 8 2 a は、ストレージキャパシタを形成することによって、第 1 副画素電極 8 2 a が第 1 及び第 2 データ線 6 2 a、6 2 b とカップリングされることを防止できる。

さらに、図 7 B に示されたように、第 1 及び第 2 追加ストレージ電極 2 9 a、2 9 b の少なくとも一部を第 1 副画素電極 8 2 a と重畳させる場合、第 1 副画素電極 8 2 a と第 1 及び第 2 データ線 6 2 a、6 2 b とのカップリングキャパシタンスをさらに減らすことができる。第 1 及び第 2 追加ストレージ電極 2 9 a、2 9 b と第 1 副画素電極 8 2 a とが重畳された幅 L は、例えば、約 $1 - 3 \mu\text{m}$ とすることができる。

【0060】

以下、図 8 を参照して本発明の第 2 実施形態による液晶表示装置の下部表示板について詳細に説明する。ここで、図 8 は、本発明の第 2 実施形態による図 1 の B 型画素を含む下部表示板の配置図である。説明の便宜上、前述した実施形態の図面（図 7 A ~ 図 7 B）に示す各部材と同一機能を有する部材は同一符号で表し、その説明は省略し、以下その差異を中心に説明する。

【0061】

図 8 に示すように、第 1 ドレイン電極 6 6 a は、第 1 コンタクトホール 7 6 a を介して第 2 副画素電極 8 2 b と接続し、第 2 ドレイン電極 6 6 b は、第 2 コンタクトホール 7 6 b を介して第 1 副画素電極 8 2 a と接続する。第 2 データ線 6 2 b と接続された第 1 副画素電極 8 2 a に相対的に高いデータ電圧を印加し、第 1 データ線 6 2 a と接続された第 2 副画素電極 8 2 b に相対的に低いデータ電圧を印加することによって、液晶表示装置の側面視認性を向上することができる。

【0062】

このような構造の液晶表示装置の場合、前述した実施形態と同様に第 1 及び第 2 データ線 6 2 a、6 2 b の周辺で発生する光漏れ現象を防止し、液晶表示装置の開口率を高めることができる。また、第 1 副画素電極 8 2 a と第 1 及び第 2 データ線 6 2 a、6 2 b とのカップリングキャパシタンスをさらに効率よく減らすことによって、液晶表示装置の表示特性が低下することを防止できる。

【0063】

以下、図 1、図 9 A 及び図 9 B を参照して本発明の実施形態による液晶表示装置において副画素電極とデータ線とのカップリングキャパシタンスについて説明する。液晶表示装置で動映像再生時に発生する残像及びブラーリング (blurring) 現象を改善するために入力映像信号の周波数を高めて液晶分子の応答速度を速くすることが望ましい。例えば、 120Hz 以上の高周波数で動作する液晶表示装置の場合、液晶分子の応答速度を考慮してドット反転 (dot inversion) よりはカラム反転 (column inversion) で駆動することが望ましい。以下、カラム反転で駆動される液晶表示装置を例として、副画素電極とデータ線とのカップリングキャパシタンスについて詳細に説明する。カラム反転駆動による液晶表示装置において、最初のフレームにおいて、第 1 データ線 D a には正極性データ電圧を印加し、第 2 データ線 D b には負極性データ電圧を印加する（ここで、正極性及び負極性は共通電圧に対するデータ電圧の極性をいう）。次いで、2 番目のフレームでは、第 1 データ線 D a には、負極性データ電圧を印加し、第 2 データ線 D b には、正極性データ電圧を印加する。

【0064】

まず、図 1 及び図 9 A を参照して相対的に高いデータ電圧が印加される第 1 副画素電極 P a とデータ線 D a、D b とのカップリングキャパシタンスについて説明する。図 9 A は

、階調を変化させることによって、図1のA型画素の第1副画素電極PaとB型画素の第1副画素電極Paとの間の輝度差を示すグラフである。ここで、A型及びB型画素の第1副画素電極Paは、第2データ線Dbより第1データ線Daに対して相対的に隣接した領域が広いために、第1副画素電極Paと第1データ線Daとのカップリングキャパシタンスが液晶表示装置の輝度変化に主な役割を果たす。また、第1副画素電極Paは、高い階調では常に輝度が高いために低い階調で輝度差の変化が現れる。

【0065】

A型画素の場合、最初のフレームで第1副画素電極Paには、第1データ線Daを通じて正極性データ電圧が印加される。2番目のフレームの間に第1データ線Daには、負極性データ電圧が提供される。したがって、2番目のフレームで第1副画素電極Paにデータ電圧が印加される前に、第1副画素電極Paは、第1データ線Daとカップリングされて、最初のフレームの間に第1副画素電極Paに保存されたデータ電圧の大きさが小さくなる。したがって、第1副画素電極Paの輝度が減少する。

10

【0066】

B型画素の場合、最初のフレームで第1副画素電極Paには、第2データ線Dbを通じて負極性データ電圧が印加される。2番目のフレームの間に第1データ線Daには、負極性データ電圧が提供される。したがって、2番目のフレームで第1副画素電極Paにデータ電圧が印加される前に、第1副画素電極Paは、第1データ線Daとカップリングされて最初のフレームの間に第1副画素電極Paに保存されたデータ電圧の大きさがさらに大きくなる。したがって、第1副画素電極Paの輝度が増加する。

20

【0067】

図9Aの輝度差データは、最初及び2番目のフレームに対するA型画素の第1副画素電極Paの輝度RMS (root-mean-square) 値で最初及び2番目のフレームに対するB型画素の第1副画素電極Paの輝度RMS値の差を表す。図9Aに示すように、低い階調でA型及びB型画素の第1副画素電極Paに対する輝度差が存在するが、輝度差が約1.5%以下に微小であることが分かる。これは第1副画素電極Paと第1及び第2データ線Da、Dbとのカップリングキャパシタンスが顕著に減ったことを示す。

【0068】

次いで、図1及び図9Bを参照して相対的に低いデータ電圧が印加される第2副画素電極Pbとデータ線Da、Dbとのカップリングキャパシタンスについて説明する。ここで、図9Bは階調を変化させることによって、図1のA型画素の第2副画素電極PbとB型画素の第2副画素電極Pbとの間の輝度差を示すグラフである。ここで、A型及びB型画素の第2副画素電極Pbは、第2データ線Dbより第1データ線Daに対して相対的に重畳した面積が広いために、第2副画素電極Pbと第1データ線Daとのカップリングキャパシタンスが液晶表示装置の輝度変化に主な役割を果たす。また、第2副画素電極Pbは、低い階調では、動作せず、高い階調で動作するので、高い階調で輝度差の変化が現れる。

30

【0069】

A型画素の場合、最初のフレームで第2副画素電極Pbには、第2データ線Dbを通じて負極性データ電圧が印加される。2番目のフレームの間に第1データ線Daには、負極性データ電圧が提供される。したがって、2番目フレームで第2副画素電極Pbにデータ電圧が印加される前に、第2副画素電極Pbは、第1データ線Daとカップリングされて最初フレームの間に第2副画素電極Pbに保存されたデータ電圧の大きさが大きくなる。したがって、第2副画素電極Pbの輝度が増加する。

40

【0070】

B型画素の場合、最初のフレームで第2副画素電極Pbには、第1データ線Daを通じて正極性データ電圧が印加される。2番目のフレームの間に第1データ線Daには、負極性データ電圧が提供される。したがって、2番目のフレームで第2副画素電極Pbにデータ電圧が印加される前に、第2副画素電極Pbは第1データ線Daとカップリングされて、最初のフレームの間に第2副画素電極Pbに保存されたデータ電圧の大きさが小さくな

50

る。したがって、第2副画素電極P_bの輝度が減少する。

【0071】

図9Bの輝度差データは、最初及び2番目のフレームに対するA型画素の第2副画素電極P_bの輝度RMS (root-mean-square) 値で最初及び2番目のフレームに対するB型画素の第2副画素電極P_bの輝度RMS値の差を表す。図9Bに示すように、高い階調でA型及びB型画素の第2副画素電極P_bに対する輝度差が存在するが、輝度差が約2.5%以下で微小であることが分かる。これは第2副画素電極P_bが第1及び第2データ線D_a、D_bと重畳していても、第2副画素電極P_bと第1及び第2データ線D_a、D_bのカップリングキャパシタンスの差が微小であることを示す。

【0072】

以下、図10～図11Cを参照して本発明の第3実施形態による液晶表示装置について詳細に説明する。説明の便宜上、前記第1実施形態の図面(図1～図6)に示す各部材と同一機能を有する部材は、同一符号で表し、その説明は省略し、以下その差異を中心に説明する。

まず、図10には、表示信号線と画素の等価回路を示している。ここで、10は、本発明の第3実施形態による液晶表示装置の一画素についての等価回路図である。

【0073】

図10に示すように、表示信号線は、ゲート線G_L、データ線D_L及びゲート線G_Lとほぼ平行に延長された第1及び第2ストレージ線S_{L1}、S_{L2}などを含む。

また、各画素P_Xは、一对の副画素、例えば、第1及び第2副画素P_H、P_Lを含む。ここで、各副画素P_H、P_Lは、ゲート線G_L及びデータ線D_Lに接続されているスイッチング素子Q₁、Q₂と、これに接続された液晶キャパシタC_{1ca}、C_{1cb}と、スイッチング素子Q₁、Q₂及びストレージ線S_{L1}、S_{L2}に接続されたストレージキャパシタC_{sta}、C_{stb}を含む。

【0074】

具体的に第1副画素P_Hは、ゲート線G_L及びデータ線D_Lに接続された第1スイッチング素子Q₁と、これに接続された第1液晶キャパシタC_{1ca}と、第1スイッチング素子Q₁及び第1ストレージ線S_{L1}に接続された第1ストレージキャパシタC_{sta}を含む。また、第2副画素P_Lは、ゲート線G_L及びデータ線D_Lに接続された第2スイッチング素子Q₂と、これに接続された第2液晶キャパシタC_{1cb}と、第2スイッチング素子Q₂及び第2ストレージ線S_{L2}に接続された第2ストレージキャパシタC_{stb}を含む。

第1及び第2副画素P_H、P_Lの各第1及び第2スイッチング素子Q₁、Q₂は、1つのゲート線G_Lから分岐されており、薄膜トランジスタとして具現することができる。ここで、第1及び第2スイッチング素子Q₁、Q₂は、各々ゲート線G_Lに接続された制御端子(以下、ゲート電極)、データ線D_Lに接続された入力端子(以下、ソース電極)、そして第1及び第2液晶キャパシタC_{1ca}、C_{1cb}及び第1及び第2ストレージキャパシタC_{sta}、C_{stb}に接続された出力端子(以下、ドレイン電極)を備える三端子素子とすることができる。

【0075】

第1及び第2液晶キャパシタC_{1ca}、C_{1cb}は、各々下部表示板の第1及び第2副画素電極と上部表示板の共通電極とを二端子とし、第1及び第2副画素電極と共通電極との間の液晶層は誘電体としての機能を行う。第1及び第2副画素電極は、各第1及び第2スイッチング素子Q₁、Q₂に接続され、共通電極は上部表示板の全面に形成されており、共通電圧V_{com}が印加される。

【0076】

第1及び第2液晶キャパシタC_{1ca}、C_{1cb}の補助的な役割を行う第1及び第2ストレージキャパシタC_{sta}、C_{stb}は、下部表示板に設けられた第1及び第2ストレージ線S_{L1}、S_{L2}と第1及び第2副画素電極とが絶縁体を挟んで重畳することによる構成される。第1及び第2ストレージ線S_{L1}、S_{L2}には、各々第1及び第2ストレー

10

20

30

40

50

ジ電圧を印加することができる。第1及び第2ストレージ電圧は、相異なる値を有することができる、例えば、互いに位相が反転した共通電圧 V_{com} とすることができる。

【0077】

ここで、第1副画素 P_H の第1副画素電極と第2副画素 P_L の第2副画素電極には相異なるデータ電圧を形成することができる。

具体的に説明すれば、初期に同じデータ電圧をデータ線 D_L から第1及び第2スイッチング素子 Q_1 、 Q_2 を通じて第1副画素電極と第2副画素電極とに印加する。ここで、第1副画素電極は、第1ストレージ線 SL_1 とカップリングされているので、第1副画素電極に印加されたデータ電圧は、第1ストレージ線 SL_1 に印加された第1ストレージ電圧とカップリングされて、その値が変わる。同様に、第2副画素電極は、第2ストレージ線 SL_2 とカップリングされているので、第2副画素電極に印加されたデータ電圧は、第2ストレージ線 SL_2 に印加された第2ストレージ電圧とカップリングされてその値が変わる。前述したように第1及び第2ストレージ電圧が相異なる値を有する場合、結果的に、第1及び第2副画素電極に形成されたデータ電圧は相異なる値を有する。

【0078】

例えば、第1副画素電極に形成されたデータ電圧は、第2副画素電極に形成されたデータ電圧より高い値を有する。この場合、第1副画素 P_H は、低い階調で動作し、第2副画素 P_L は、中間階調以上で動作することとなる。

以下、図11A～図11Cを参照して本発明の第3実施形態による液晶表示装置の下部表示板について詳細に説明する。ここで、図11Aは、本発明の第3実施形態による液晶表示装置の下部表示板の配置図であり、図11Bは、図11Aの下部表示板を $XIb-XIb'$ 線に沿って切った断面図であり、図11Cは、図11Aの下部表示板を $XIc-XIc'$ 線に沿って切った断面図である。

【0079】

透明なガラスからなる絶縁基板10上にゲート線122と、第1及び第2ストレージ線128a、128bとが形成されている。

ゲート線122は、第1方向、例えば、横方向に複数個延長されており、物理的・電氣的に互いに分離されており、ゲート信号を伝達する。また、ゲート線122には、突起形態からなるゲート電極126が形成されている。このようなゲート線122及びゲート電極126をゲート配線という。

【0080】

第1及び第2ストレージ線128a、128bは、ゲート線122と実質的に同じ方向に延長されており、第1及び第2ストレージ線128a、128bに比べて幅広のストレージ電極129a、129bが各々形成されている。ここで、第1及び第2ストレージ電極129a、129bは、後述する画素電極182と重畳して画素の電荷保存能力を向上させるストレージキャパシタを形成する。このような第1及び第2ストレージ線128a、128bと第1及び第2ストレージ電極129a、129bとをストレージ配線という。このような第1及び第2ストレージ線128a、128b及び第1及び第2ストレージ電極129a、129bの形状及び配置は多様な形で変形することができる。ここで、第1ストレージ線128aと第2ストレージ線128bには、外部から提供される第1及び第2ストレージ電圧、例えば、互いに反転した位相を有する共通電圧 V_{com} を印加することができる。

【0081】

ゲート配線122、126とストレージ配線128a、128b、129a、129bは、図3Aで言及したゲート配線22、26a、26bと実質的に同じ物質で形成されている。

ゲート配線122、126とストレージ配線128a、128b、129a、129bの上部には、窒化ケイ素(SiN_x)からなるゲート絶縁膜30が形成されている。

【0082】

ゲート絶縁膜30の上部には、水素化非晶質ケイ素または多結晶ケイ素からなる半導体

10

20

30

40

50

層 140 が形成されている。半導体層 140 は、島形、線形など多様な形状に構成することができ、例えば、本実施形態のように島形に形成することができる。

半導体層 140 の上部には、シリサイドまたは n 型不純物が高濃度でドーピングされた n + 水素化非晶質ケイ素などの物質からなるオーミックコンタクト層 155、156 が各々形成されている。

【0083】

オーミックコンタクト層 155、156 及びゲート絶縁膜 30 上には、データ線 162 と、ソース電極 165 と、第 1 及び第 2 ドレイン電極 166a、166b が形成されている。

データ線 162 は、第 2 方向、例えば、縦方向に延長されてゲート線 122 及びストレージ線 128a、128b と交差してデータ電圧を伝達する。データ線 162 には、第 1 及び第 2 ドレイン電極 166a、166b に向かって延長されたソース電極 165 が形成されている。図 11A に示されたように、データ線 162 からソース電極 165 に印加されたデータ電圧は、第 1 及び第 2 ドレイン電極 166a、166b を通じて各々第 1 及び第 2 副画素電極 182a、182b に伝達される。

【0084】

このようなデータ線 162 と、ソース電極 165 と、第 1 及び第 2 ドレイン電極 166a、166b をデータ配線という。データ配線 162、165、166a、166b は、図 3A の説明で言及したデータ配線 62a、62b、65a、65b、66a、66b と実質的に同じ物質で形成されている。

データ線 162 からブランチ状に分岐したソース電極 165 は、半導体層 140 と一部が重畳し、第 1 及び第 2 ドレイン電極 166a、166b は、ゲート電極 126 を中心にソース電極 165 と対向して半導体層 140 と少なくとも一部が重畳する。ここで、前述したオーミックコンタクト層 155、156 は、半導体層 140 とソース電極 165 との間、または半導体層 140 と第 1 及び第 2 ドレイン電極 166a、166b との間に存在して接触抵抗を下げる役割を果たす。

【0085】

そして、第 1 及び第 2 ドレイン電極 166a、166b は、半導体層 140 と重畳する棒状パターンと、棒状パターンから延長されて広い面積を有し、第 1 及び第 2 コンタクトホール 176a、176b が位置するドレイン電極拡張部を各々含む。ドレイン電極拡張部は、画素電極 182 または第 1 及び第 2 ストレージ電極 129a、129b と重畳するように形成されてストレージキャパシタを形成する。

【0086】

データ配線 162、165、166a、166b 及び露出された半導体層 140 の上部には、保護膜 70 が形成されている。保護膜 70 には、第 1 及び第 2 ドレイン電極 166a、166b を露出させる第 1 及び第 2 コンタクトホール 176a、176b が形成されている。

保護膜 70 上に形成された画素電極 182 は、互いに分離された第 1 及び第 2 副画素電極 182a、182b から構成されている。ここで、第 1 及び第 2 副画素電極 182a、182b は、ITO または IZO などの透明導電体またはアルミニウムなどの反射性導電体から形成することができる。

【0087】

第 1 及び第 2 副画素電極 182a、182b は、各々第 1 及び第 2 コンタクトホール 176a、176b を介して第 1 及び第 2 ドレイン電極 166a、166b と電気的に接続されて第 1 及び第 2 ドレイン電極 166a、166b からデータ電圧が印加される。

データ電圧が印加された第 1 及び第 2 副画素電極 182a、182b は、上部表示板の共通電極と共に電場を生成することによって、第 1 及び第 2 副画素電極 182a、182b と共通電極との間の液晶分子の配列を決定する。

【0088】

また、図 10 及び図 11A を参照すれば、各副画素電極 182a、182b と共通電極

10

20

30

40

50

は、液晶キャパシタC1c a、C1c bを構成し、薄膜トランジスタQ1、Q2がターンオフした後にも、印加された電圧を維持する。電圧維持能力を強化するために液晶キャパシタC1c a、C1c bと並列に接続されたストレージキャパシタCst a、Cst bは、第1及び第2副画素電極182またはこれに接続されている第1及び第2ドレイン電極166 a、166 bに対して第1及び第2ストレージ線128 a、128 bを重畳して形成することができる。

【0089】

第1及び第2ストレージ線128 a、128 bには、各々異なる値を有する第1及び第2ストレージ電圧を印加することができる。例えば、第1及び第2ストレージ電圧は、互いに位相が反転した共通電圧Vcomとすることができる。

10

第1及び第2副画素電極182 a、182 bは、各々第1及び第2ストレージ線128 a、128 bとカップリングされているので、第1副画素電極182 aに印加されたデータ電圧と第2副画素電極182 bに印加されたデータ電圧は、各々第1及び第2ストレージ電圧とカップリングされてその値が変わる。

【0090】

例えば、第1及び第2ストレージ電圧は互いに位相が反転した電圧であり、これにより、第1及び第2副画素電極182 a、182 bは、所定の電圧偏差を有する。例えば、第1副画素電極182 aに形成されたデータ電圧は、第2副画素電極182 bに形成されたデータ電圧より高い値を有しうる。この場合、第1副画素電極182 aは、低い階調で動作し、第2副画素電極182 bは、中間階調以上で動作することとなる。

20

【0091】

図11A～図11Cに示すように、1つの画素電極182は、所定の間隙183を挟んで互いに噛み合っており、電氣的に分離された第1及び第2副画素電極182 a、182 bから構成されている。

第1副画素電極182 aは、データ線162と重畳しないように画素領域内に形成することが望ましい。例えば、第1副画素電極182 aは、四角形状とすることができるが、本発明はこのような形状に限定されるものではない。

【0092】

第2副画素電極182 bは、画素内で第1副画素電極182 a以外の領域に形成されている。具体的に第2副画素電極182 bは、第1副画素電極182 aの外郭周辺、すなわち、第1副画素電極182 aの上/下/左/右を取り囲んでいる。第2副画素電極182 bの少なくとも一部はデータ線162と重畳するように形成することが望ましい。第2副画素電極182 bとデータ線162とが重畳する幅を所定の幅d2とすると、このような重畳幅d2は、ほぼ2～3μmとすることができる。ここで、第2副画素電極182 bをデータ線162と重畳するように形成することによって、液晶表示装置の開口率を高めることができる。

30

【0093】

第1及び第2副画素電極182 a、182 bを分離する所定の間隙183は、約5～6μmの幅d1に形成することができる。

初期に第1及び第2副画素電極182 a、182 bに同じデータ電圧を印加するが、第1及び第2ストレージ線128 a、128 bと第1及び第2副画素電極182 a、182 bのカップリングによって第1副画素電極182 aに相対的に高いデータ電圧が形成され、第2副画素電極182 bに相対的に低いデータ電圧が形成されることによって、液晶表示装置の側面視認性を向上することができる。

40

【0094】

また、第1副画素電極182 aは、データ線162と重畳せず、第2副画素電極182 bが第1副画素電極182 aとデータ線162との間に位置して、これらのカップリングを抑制する役割を果たす。したがって、垂直クロストークを防止しうる。

特に低い階調で液晶表示装置が動作する場合、相対的に高い電圧が印加される第1副画素電極182 aによって液晶が実質的に動作するために、第1副画素電極182 aとデー

50

タ線 162 とのカップリングを抑制することによって、効率よく垂直クロストークを防止しうる。

【0095】

このような第 1 及び第 2 副画素電極 182a、182b 及び保護膜 70 上には、液晶層を配向する配向膜（図示せず）を塗布することができる。

以下、図 12A 及び図 12B を参照して本発明の第 4 実施形態による液晶表示装置の下部表示板について詳細に説明する。ここで、図 12A は、本発明の第 4 実施形態による液晶表示装置の下部表示板の配置図であり、図 12B は、図 12A の下部表示板を XI1b - XI1b' 線に沿って切った断面図である。説明の便宜上、第 3 実施形態の図面（図 10 ないし図 11C）に示す各部材と同一機能を有する部材は同一符号で表し、その説明は省略し、以下その差異を中心に説明する。

10

【0096】

第 1 副画素電極 182a とカップリングする第 1 ストレージ配線 127、128a、129a は、ゲート線 122 と実質的に同じ方向に延長されている第 1 ストレージ線 128a と、第 1 ストレージ線 128a から突出して広い面積を有し、第 1 ドレイン電極 166a と重畳してストレージキャパシタを形成する第 1 ストレージ電極 129a と、第 1 ストレージ線 128a から分岐されて間隙 183 に沿って延長された追加ストレージ電極 127 とを備える。

【0097】

第 1 副画素電極 182a と第 2 副画素電極 182b は、所定の間隙 183、例えば、ほぼ 5 ~ 6 μm の幅に分離されうる。このような間隙 183 を通じて光漏れ現象が発生しうるが、本実施形態のように第 1 ストレージ線 128a から分岐した追加ストレージ電極 127 を間隙 183 と重畳するように形成することによって、間隙 183 付近を遮蔽して光漏れ現象を防止することができる。

20

【0098】

追加ストレージ電極 127 は、第 1 ストレージ線 128a から分岐してデータ線 162 と実質的に平行に延長して形成することができる。

以下、図 13 ~ 図 16 を参照して本発明の第 5 実施形態による液晶表示装置について説明する。

図 13 は、本発明の第 5 実施形態による液晶表示装置の下部表示板の一部を示す図面である。

30

【0099】

図 13 を参照すれば、下部表示板 210 は、ベース基板 212、複数のゲート線 GL1 ~ GLn と複数のデータ線対 DL1 / DL2、DL3 / DL4、DL5 / DL6 ~ D L m - 1 / D L m、複数の画素電極 PX を含む。また、本発明の下部表示板 210 は、各画素電極として、相異なる極性を有する 2 つのデータ電圧を提供する第 1 スイッチング素子 T1 及び第 2 スイッチング素子 T2 をさらに含む。

【0100】

ベース基板 212 は、透明な絶縁基板であって、マトリックス状に配列された複数の画素領域 PA を備える。ベース基板 212 上には、複数のゲート線 GL1 ~ GLn と複数のデータ線対 DL1 / DL2、DL3 / DL4、DL5 / DL6 ~ D L m - 1 / D L m が形成されて配線される。複数のゲート線 GL1 ~ GLn は、第 2 方向 D2 に延長して形成される。複数のデータ線 DL1 / DL2、DL3 / DL4、DL5 / DL6 ~ D L m - 1 / D L m は、複数のゲート線 GL1 ~ GLn に電気絶縁状態で交差するように第 1 方向 D1 に延長して形成される。

40

【0101】

ここで、データ線対 DL1 / DL2、DL3 / DL4、DL5 / DL6 ~ D L m - 1 / D L m は、隣接する 2 つのデータ線がグループを形成し、1 つの画素領域 PA に重畳して 'M' 字形状となるように第 2 方向 D2 に反復するジグザグ状に形成されている。

複数の画素電極 PX は、マトリックス状に配列された複数の画素領域 PA 上に各々設け

50

られ、各画素電極 P X は、第 2 方向 D 2 に順に形成された第 1 副画素電極 P X a と第 2 副画素電極 P X b とを備える。そして、画素領域上には、画素電極と共に第 1 薄膜トランジスタ T 1 と第 2 薄膜トランジスタ T 2 とがさらに含まれる。

【 0 1 0 2 】

図 1 4 は、図 1 3 に示された 1 つの画素電極 P X の構造を詳細に示す配置図である。

図 1 4 に示すように、画素電極 P X は、第 1 副画素電極 P X a と第 2 副画素電極 P X b とで構成される。画素電極 P X は、中心がゲート線 G L 3 に平行である左側方向に折り曲げられ、折り曲げられた中心に対して相互に対称となる。そして、折り曲げられた中心に対して画素電極 P X の両端部が画素電極の中心が折り曲げられた方向と逆となる右側方向に各々折り曲げられる。

10

【 0 1 0 3 】

画素電極に対応して隣接する 2 つのデータ線 D L 3、D L 4 が第 1 方向 D 1 に形成される。したがって、データ線対 D L 3、D L 4 は、各画素電極 P X に重畳して形成される。データ線 D L 3、D L 4 は、相異なるデータ電圧が入力されて画素電極 P X に印加する。

第 1 薄膜トランジスタ T 1 は、ゲート線 G L 3 とデータ線 D L 4 から形成され、第 1 副画素電極 P X a は、第 1 薄膜トランジスタ T 1 と電氣的に接続される。第 1 薄膜トランジスタ T 1 は、ゲート線 G L 3 から分岐された第 1 ゲート電極 G 1、データ線 D L 4 から分岐された第 1 ソース電極 S 1、及び第 1 ソース電極 S 1 から離間し、第 1 コンタクトホール H 1 を介して第 1 副画素電極 P X a に電氣的に接続される第 1 ドレイン電極 D 1 を含む。

20

【 0 1 0 4 】

第 2 薄膜トランジスタ T 2 は、ゲート線 G L 3 とデータ線 D L 5 とから形成され、第 2 副画素電極 P X b は、第 2 薄膜トランジスタ T 2 と電氣的に接続される。ここで、データ線 D L 5 は、隣接した画素電極（図 1 3 に示された ' P X 2 ' ）に対応して形成されたデータ線 D L 5 であることに注意する必要がある。

第 2 薄膜トランジスタ T 2 は、ゲート線 G L 3 から分岐された第 2 ゲート電極 G 2、隣接した画素電極 P X 2 に対応して配線されたデータ線 D L 5 から分岐された第 2 ソース電極 S 2、及び第 2 ソース電極 S 2 から離間し、第 2 コンタクトホール H 2 を介して第 2 副画素電極 P X b に電氣的に接続される第 2 ドレイン電極 D 2 を含む。

【 0 1 0 5 】

第 1 及び第 2 薄膜トランジスタ T 1、T 2 を通じて、第 1 副画素電極 P X a と第 2 副画素電極 P X b には相異なるデータ電圧が印加される。

30

第 1 及び第 2 副画素電極 P X a、P X b は、互いに同じ画素領域に属し、各副画素電極 P X a、P X b には、同じ映像情報に対応するが、相互間に補完されて高画質の映像が表示されるように相異なるデータ電圧が各々印加される。例えば、第 1 副画素電極 P X a に印加されるデータ電圧の電圧レベル（共通電圧を基準に）のスイング幅は、第 2 副画素電極 P X b に印加されるデータ電圧のレベル（共通電圧を基準に）のスイング幅より大きい、または小さい。また、第 1 副画素電極 P X a に印加されるデータ電圧と第 2 副画素電極 P X b に印加されるデータ電圧は互いに反転した位相差を有する。図 1 4 では、第 1 副画素電極 P X a の面積が第 2 副画素電極 P X b の面積より大きく設計された例が示される。

40

【 0 1 0 6 】

相対的に高い電圧が印加される第 2 副画素電極 P X b の面積を第 1 副画素電極 P X a の面積より小さくすれば、側面ガンマ曲線を正面ガンマ曲線にさらに近づけることができる。特に第 1 副画素電極 P X a と第 2 副画素電極 P X b の面積比が約 2 : 1 ~ 3 : 1 である場合、側面ガンマ曲線が正面ガンマ曲線にさらに近くなって側面視認性がさらに向上する。

【 0 1 0 7 】

したがって、第 1 及び第 2 副画素電極 P X a、P X b が形成された領域で相異なる光特性が現れ、これらが互いに補償されてさらに向上した表示品質を提供する。

50

一方、第1副画素電極PXaと第2副画素電極PXbとからなる画素電極PXは、図14に示すように、ゲート線GL3の長手方向に対して相互対称であるM字形状に形成される。そして、隣接したデータ線DL3、DL4は、画素電極PXに対応する形状を有し、第1副画素電極PXaに重畳する。望ましくは、隣接したデータ線DL3、DL4が第1副画素電極PXaに完全に重畳して形成される。

【0108】

一般的に、ゲート線とデータ線により単位画素領域が定義される。この際、データ線は、画素電極の縁部に重畳して形成されるか、または画素領域の縁部の外郭周辺に形成される。この場合、パターン形成過程で画素電極とデータ線との間の一定の間隔を維持することは難しい。

10

したがって、本発明の一実施形態による下部表示板では、データ線を画素電極に完全に重畳させることによって、データ線対と画素電極との間の不均一な間隔によって発生するカップリング偏差を除去しうる。

【0109】

図15は、図13に示された下部表示板が適用された液晶表示装置を示すブロック図である。図面を簡略化するために各画素電極PXに連結されるデータ線対は、直線に示したが、各データ線対は、図13及び図14に示されたように、ジグザグ状に配線され、また各画素電極と重畳して形成される。

図15に示された液晶表示装置300は、液晶表示パネル310、タイミングコントローラ320、階調電圧生成部330、データ駆動部340、及びゲート駆動部350を備える。

20

【0110】

液晶表示パネル310は、図13の下部表示板210及びこれに対向する上部表示板(図示せず)を備える。

タイミングコントローラ320は、データ駆動部340及びゲート駆動部350で要求されるタイミングに合わせて映像データ信号R、G、Bを調節して出力する。また、タイミングコントローラ320は、データ駆動部340及びゲート駆動部350を制御する第1及び第2制御信号CNTL1、CNTL2を出力する。第1制御信号CNTL1には、水平同期開始信号STH、データ出力信号TPなどがある。第2制御信号CNTL2には、走査開始信号STV、ゲートクロック信号CPV、出力イネーブル信号OEなどがある。

30

【0111】

階調電圧生成部330は、画素電極PXの透過率と関連した複数の階調電圧を生成して後述するデータ駆動部340に提供する。

データ駆動部340は、タイミングコントローラ320から印加される第1制御信号CNTL1と、階調電圧生成部330から印加される階調電圧に応答し、液晶表示パネル310のデータ線対DL1/DL2、DL3/DL4~DLm-1/DLmを駆動する。

【0112】

データ駆動部340は、タイミングコントローラ320から第1制御信号CNTL1と1画素の行に対する映像信号DATが入力され、階調電圧生成部330で生成した階調電圧のうち、各映像信号DATに対応する階調電圧を選択する。以降、データ駆動部340は、選択された階調電圧を対応するデータ電圧に変換した後、これを該当するデータ線対DL1/DL2、DL3/DL4~DLm-1/DLmに印加する。前述したように、各データ線対に互いに反転した位相差と相異なる大きさの電圧レベルを有するデータ電圧が印加される。

40

【0113】

ゲート駆動部350は、タイミングコントローラ320から入力された第2制御信号CNTL2と駆動電圧生成部(図示せず)から出力されたゲートオン電圧VON及びゲートオフ電圧VOFFに응答して、液晶表示パネル310のゲート線G1~Gnを駆動する。ゲート駆動部350は、ゲート線G1~Gnを通じて各画素電極PXにゲート電圧を印加

50

し、各画素電極 P X に接続された第 1 及び第 2 薄膜トランジスタ (図 1 4 の T 1、T 2) を ' ターンオン ' または ' ターンオフ ' させる。

【 0 1 1 4 】

図 1 6 は、ホワイトパターンとグレーパターンからなる画像パターンを具現するために各画素電極に印加されるデータ電圧の波形である。

図 1 6 に示すように、D L 3 の電圧波形は、データ駆動部 3 4 0 から第 1 副画素電極 (図 1 3 の P X a) に印加される電圧波形であり、D L 4 の電圧波形は、データ駆動部 3 4 0 から第 2 副画素電極 (図 1 3 の P X b) に印加される電圧波形である。

【 0 1 1 5 】

図 1 3 及び図 1 6 に示されたように、隣接するデータ線対 D L 3 / D L 4 が画素電極 P X 1 に及ぼすカップリング効果を相殺するように、D L 3 と D L 4 との電圧波形は互いに逆位相をもってスイングすることが望ましい。したがって、画素電極 P X とデータ線対 D L 1 / D L 2、D L 3 / D L 4 ~ D L m - 1 / D L m との間に発生するカップリングを完全に除去しうる。

【 0 1 1 6 】

結果的に、各データ線対 D L 1 / D L 2、D L 3 / D L 4 ~ D L m - 1 / D L m が各画素電極 (具体的に、第 1 副画素電極) と完全に重畳することによって、データ線対と画素電極 P X との間のカップリング偏差を除去することができる。そして、重畳した各データ線対には、互いに相殺する方向にスイングするデータ電圧が各々印加される。したがって、データ線対と画素電極とのカップリングが除去される。

【 0 1 1 7 】

以上、添付図を参照して本発明の実施例を説明したが、本発明が属する技術分野で当業者ならば本発明がその技術的思想や必須特徴を変更せずとも他の具体的な形に実施されうるということが理解できるであろう。したがって、前述した実施例は全ての面で例示的なものであって、限定的なものではないと理解せねばならない。

【 産業上の利用可能性 】

【 0 1 1 8 】

本発明のディスプレイ装置は、広視野角を具現し、側面視野角特性が良く、かつ垂直クロストークを防止しうる液晶表示装置に適用されうる。

【 図面の簡単な説明 】

【 0 1 1 9 】

【 図 1 】 本発明の第 1 実施形態による液晶表示装置の画素アレイを概略的に示す図面である。

【 図 2 】 図 1 の液晶表示装置の一画素についての等価回路図である。

【 図 3 A 】 本発明の第 1 実施形態による図 1 の A 型画素を含む下部表示板の配置図である。

【 図 3 B 】 図 3 A の下部表示板を I I I b - I I I b ' 線に沿って切った断面図である。

【 図 3 C 】 図 3 A の下部表示板を I I I c - I I I c ' 線に沿って切った断面図である。

【 図 4 】 図 3 A の下部表示板と結合する上部表示板の配置図である。

【 図 5 】 図 3 A の下部表示板と図 4 の上部表示板とを備える液晶表示装置の配置図である。

【 図 6 】 本発明の第 1 実施形態による図 1 の B 型画素を含む下部表示板の配置図である。

【 図 7 A 】 本発明の第 2 実施形態による図 1 の A 型画素を含む下部表示板の配置図である。

【 図 7 B 】 図 7 A の下部表示板を V I I b - V I I b ' 線に沿って切った断面図である。

【 図 8 】 本発明の第 2 実施形態による図 1 の B 型画素を含む下部表示板の配置図である。

【 図 9 A 】 階調を変化させることによって、図 1 の A 型画素の第 1 副画素電極 P a と B 型画素の第 1 副画素電極 P a との間の輝度差を示すグラフである。

【 図 9 B 】 階調を変化させることによって、図 1 の A 型画素の第 2 副画素電極 P b と B 型画素の第 2 副画素電極 P b との間の輝度差を示すグラフである。

【図 1 0】本発明の第 3 実施形態による液晶表示装置の 1 画素についての等価回路図である。

【図 1 1 A】本発明の第 3 実施形態による液晶表示装置の下部表示板の配置図である。

【図 1 1 B】図 1 1 A の下部表示板を X1b - X1b' 線に沿って切った断面図である。

【図 1 1 C】図 1 1 A の下部表示板を X1c - X1c' 線に沿って切った断面図である。

【図 1 2 A】本発明の第 4 実施形態による液晶表示装置の下部表示板の配置図である。

【図 1 2 B】図 1 2 A の下部表示板を X11b - X11b' 線に沿って切った断面図である。

【図 1 3】本発明の第 5 実施形態による液晶表示装置の下部表示板の一部を示す図面である。

【図 1 4】図 1 3 に図示された 1 つの画素電極 P X の構造を詳細に示す配置図である。

10

【図 1 5】図 1 3 に示された下部表示板が適用された液晶表示装置を示すブロック図である。

【図 1 6】ホワイトパターンとグレーパターンとからなる画像パターンを具現するために各画素電極に印加されるデータ電圧の波形である。

【符号の説明】

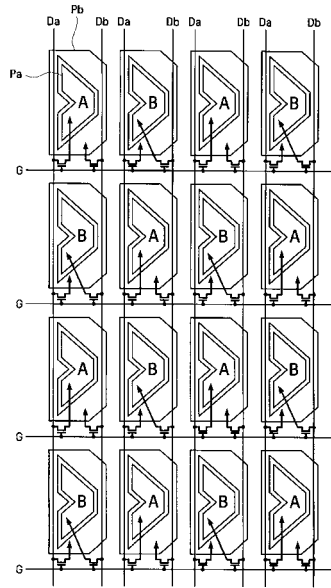
【 0 1 2 0 】

- 1 0 絶縁基板
- 2 2 ゲート線
- 2 6 a、2 6 b ゲート電極
- 2 7 ストレージ電極
- 2 8 ストレージ線
- 2 9 a、2 9 b 追加ストレージ電極
- 3 0 ゲート絶縁膜
- 4 0 a、4 0 b 半導体層
- 5 5 a、5 6 a オーミックコンタクト層
- 6 2 a、6 2 b データ線
- 6 5 a、6 5 b ソース電極
- 6 6 a、6 6 b ドレイン電極
- 7 0 保護膜
- 7 6 a、7 6 b コンタクトホール
- 8 2 画素電極
- 8 2 a、8 2 b 副画素電極
- 8 3 間隙
- 9 0 共通電極
- 9 2 ドメイン分割手段
- 9 4 ブラックマトリックス

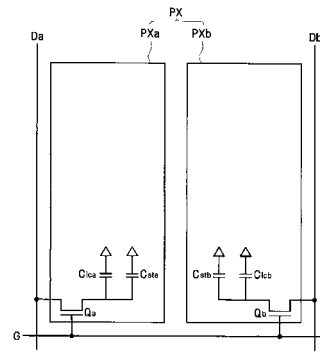
20

30

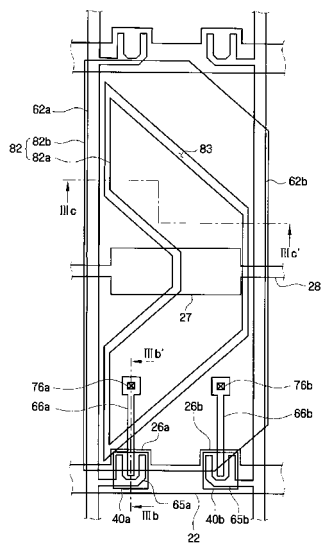
【図 1】



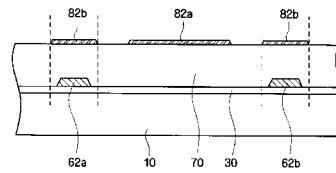
【図 2】



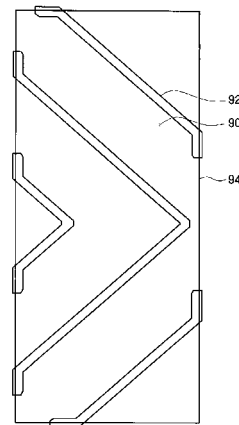
【図 3 A】



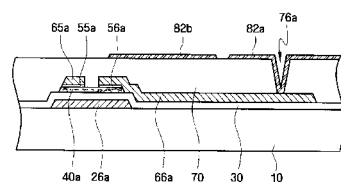
【図 3 C】



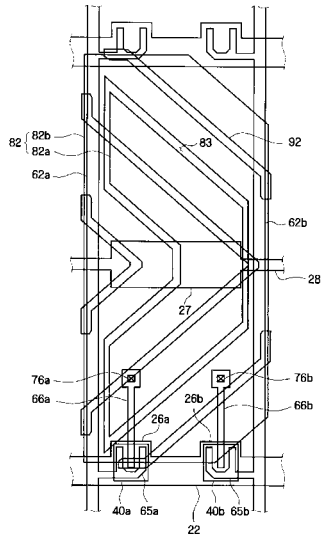
【図 4】



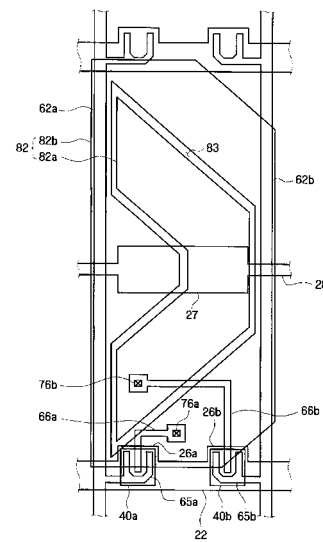
【図 3 B】



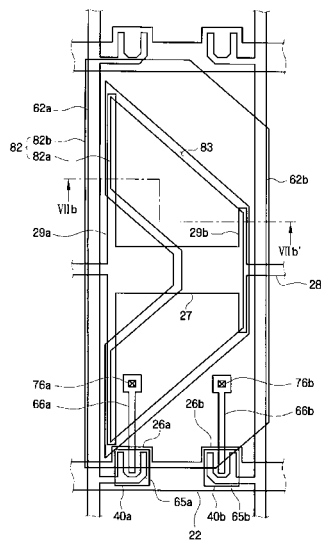
【図 5】



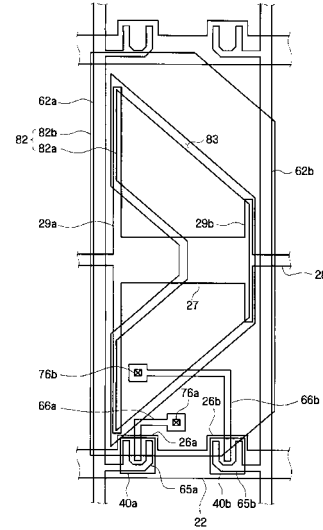
【図 6】



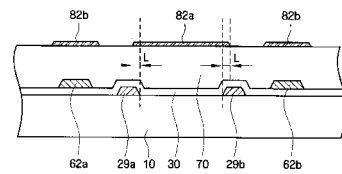
【図 7 A】



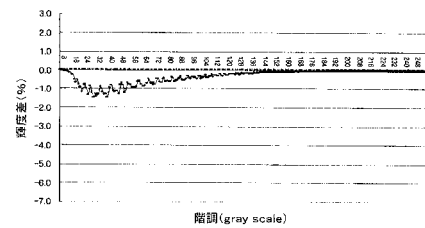
【図 8】



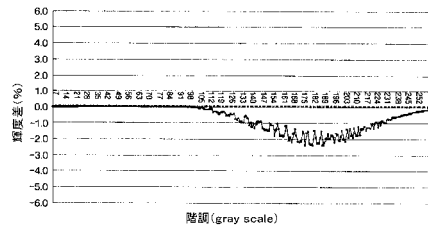
【図 7 B】



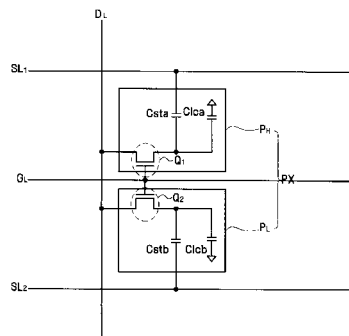
【図 9 A】



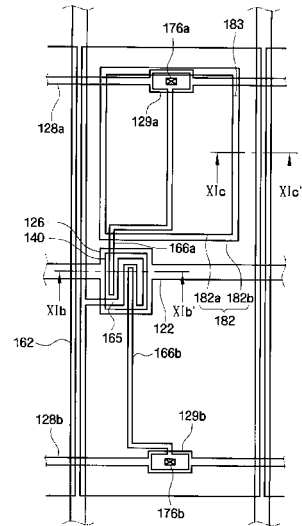
【図 9 B】



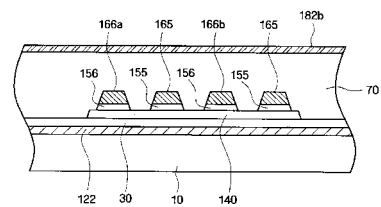
【図 10】



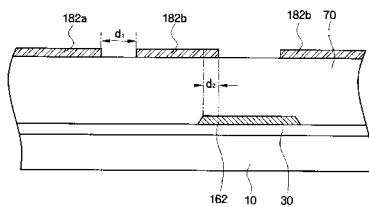
【図 11 A】



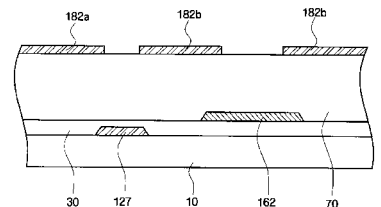
【図 11 B】



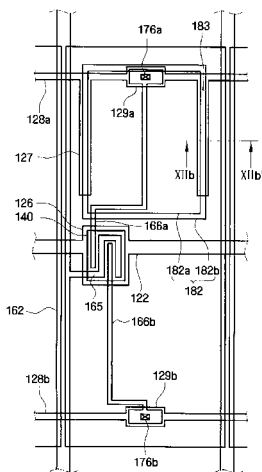
【図 11 C】



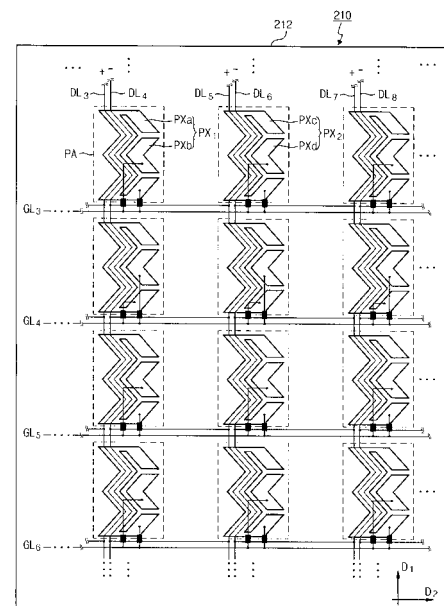
【図 12 B】



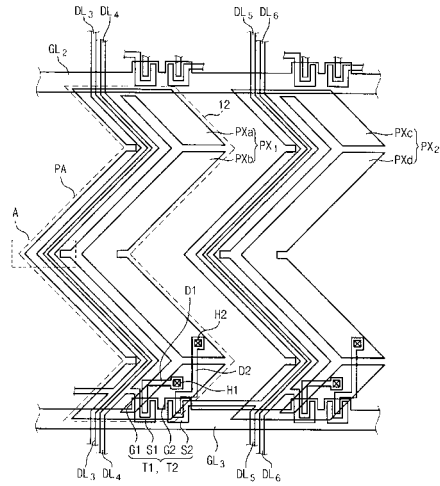
【図 12 A】



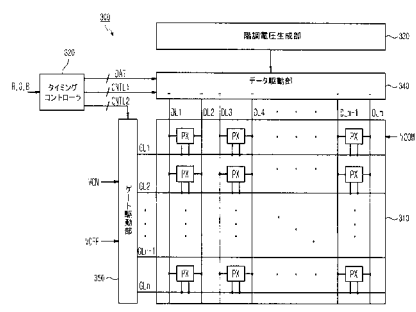
【図 13】



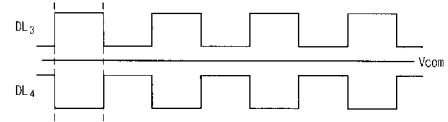
【図 14】



【図 15】



【図 16】



フロントページの続き

(51)Int.Cl.		F I
H 0 1 L 21/336 (2006.01)	G 0 9 G 3/20	6 2 4 B
H 0 1 L 29/786 (2006.01)	G 0 9 G 3/20	6 4 1 C
	G 0 9 G 3/20	6 4 1 G
	G 0 9 G 3/20	6 4 1 K
	G 0 9 G 3/36	
	H 0 1 L 29/78	6 1 2 Z

(72)発明者 李 成 榮
大韓民国京畿道安養市萬安區石水洞 3 2 3 - 6 番池 2 層

(72)発明者 文 盛 載
大韓民国ソウル特別市中區中林洞三星サイバーアパート 1 1 2 棟 1 8 0 4 號

(72)発明者 羅 惠 錫
大韓民国ソウル特別市江北區水踰 3 洞 1 7 0 番地 4 3 號

審査官 藤田 都志行

(56)参考文献 特開 2 0 0 6 - 1 8 4 9 1 3 (J P , A)
特開 2 0 0 6 - 7 8 7 8 9 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G 0 2 F	1 / 1 3 4 3
G 0 2 F	1 / 1 3 6 8
G 0 2 F	1 / 1 3 3
G 0 9 G	3 / 2 0
G 0 9 G	3 / 3 6
H 0 1 L	2 1 / 3 3 6
H 0 1 L	2 9 / 7 8 6

专利名称(译)	液晶表示装置		
公开(公告)号	JP5376774B2	公开(公告)日	2013-12-25
申请号	JP2007128787	申请日	2007-05-15
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
当前申请(专利权)人(译)	三星显示器的股票会社		
[标]发明人	金東奎 李成榮 文盛載 羅惠錫		
发明人	金 東 奎 李 成 榮 文 盛 載 羅 惠 錫		
IPC分类号	G02F1/1343 G02F1/1368 G02F1/133 G09G3/20 G09G3/36 H01L21/336 H01L29/786		
CPC分类号	G02F1/133707 G02F1/13624 G02F1/136286 G02F2001/134345 G02F2201/122 G02F2201/40 G02F2203/30 G09G3/3614 G09G3/3648 G09G2300/0426 G09G2300/0876 G09G2320/028 H01L27 /124		
FI分类号	G02F1/1343 G02F1/1368 G02F1/133.550 G09G3/20.611.D G09G3/20.611.J G09G3/20.624.B G09G3 /20.641.C G09G3/20.641.G G09G3/20.641.K G09G3/36 H01L29/78.612.Z		
F-TERM分类号	2H092/GA11 2H092/JA24 2H092/JA34 2H092/JA37 2H092/JA41 2H092/JA47 2H092/JB22 2H092 /JB31 2H092/JB46 2H092/NA01 2H092/NA25 2H092/PA01 2H092/PA06 2H092/PA13 2H093/NA31 2H093/NC10 2H093/NC12 2H093/NC34 2H093/NE01 2H093/NE03 2H192/AA24 2H192/AA42 2H192 /BA13 2H192/BC24 2H192/BC31 2H192/CB05 2H192/CC32 2H192/CC55 2H192/CC64 2H192/CC72 2H192/DA12 2H192/DA74 2H192/EA22 2H192/EA43 2H193/ZA04 2H193/ZA06 2H193/ZA07 2H193 /ZA08 2H193/ZA19 2H193/ZB14 2H193/ZC07 2H193/ZF22 2H193/ZF36 2H193/ZF42 2H193/ZF43 2H193/ZF44 2H193/ZP01 2H193/ZP03 5C006/AA12 5C006/AA16 5C006/AA17 5C006/AA22 5C006 /AC11 5C006/AC21 5C006/AC25 5C006/AC28 5C006/AF43 5C006/AF46 5C006/AF51 5C006/AF71 5C006/AF83 5C006/BA19 5C006/BB16 5C006/BC02 5C006/BC06 5C006/BC12 5C006/BC23 5C006 /EB01 5C006/FA12 5C006/FA14 5C006/FA16 5C006/FA22 5C006/FA25 5C006/FA29 5C006/FA36 5C006/FA37 5C006/FA54 5C006/FA55 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD02 5C080 /DD05 5C080/DD08 5C080/DD10 5C080/DD15 5C080/DD25 5C080/EE02 5C080/EE19 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5F110/AA30 5F110/BB01 5F110/CC07 5F110/DD02 5F110/EE02 5F110/EE03 5F110/EE04 5F110/EE14 5F110/FF03 5F110 /GG02 5F110/GG13 5F110/GG15 5F110/HK04 5F110/HK05 5F110/HK09 5F110/HK16 5F110/HK21 5F110/HK22 5F110/HM04 5F110/NN02 5F110/NN03 5F110/NN22 5F110/NN23 5F110/NN24 5F110 /NN27 5F110/NN35 5F110/NN72 5F110/NN73 5F110/NN77		
代理人(译)	山下大沽嗣		
优先权	1020060068658 2006-07-21 KR 1020060085875 2006-09-06 KR 1020060117667 2006-11-27 KR		
其他公开文献	JP2008026870A		

摘要(译)

要解决的问题：提供一种能够提高显示质量的液晶显示装置。 解决方案：半导体器件包括第一绝缘基板，形成在第一绝缘基板上并沿第一方向延伸的栅极布线，以电绝缘状态与栅极布线交叉并沿第二方向延伸的数据布线，，具有从数据配线向其施加不同数据电压的第一和第二子像素电极的像素电极，第二子像素电极的至少一部分是具有与数据配线重叠的像素电极的液晶显示器设备。 点域1

图 3 A

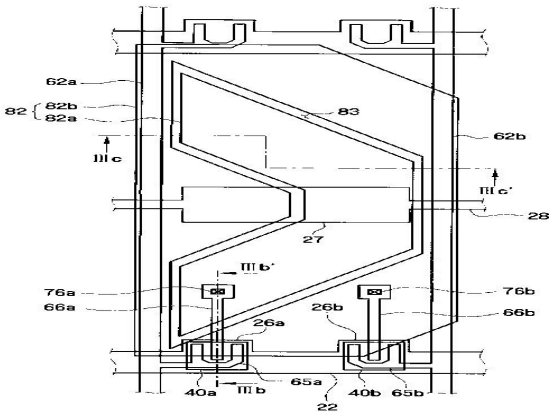


图 3 B