

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4946135号
(P4946135)

(45) 発行日 平成24年6月6日(2012.6.6)

(24) 登録日 平成24年3月16日(2012.3.16)

(51) Int.Cl. F I
GO2F 1/1343 (2006.01) GO2F 1/1343
GO2F 1/1337 (2006.01) GO2F 1/1337 505
GO2F 1/1368 (2006.01) GO2F 1/1368

請求項の数 4 (全 15 頁)

(21) 出願番号	特願2006-94929 (P2006-94929)	(73) 特許権者	000001443
(22) 出願日	平成18年3月30日 (2006. 3. 30)		カシオ計算機株式会社
(65) 公開番号	特開2007-233317 (P2007-233317A)		東京都渋谷区本町 1 丁目 6 番 2 号
(43) 公開日	平成19年9月13日 (2007. 9. 13)	(74) 代理人	100091351
審査請求日	平成19年11月22日 (2007.11.22)		弁理士 河野 哲
(31) 優先権主張番号	特願2006-22438 (P2006-22438)	(74) 代理人	100088683
(32) 優先日	平成18年1月31日 (2006. 1. 31)		弁理士 中村 誠
(33) 優先権主張国	日本国(JP)	(74) 代理人	100108855
			弁理士 蔵田 昌俊
		(74) 代理人	100075672
			弁理士 峰 隆司
		(74) 代理人	100109830
			弁理士 福原 淑弘
		(74) 代理人	100084618
			弁理士 村松 貞男

最終頁に続く

(54) 【発明の名称】 液晶表示素子

(57) 【特許請求の範囲】

【請求項 1】

薄膜トランジスタに接続された画素電極と、前記画素電極との間の電位差により一対の基板間に設けられた液晶層における液晶分子の配向方向を制御する共通電極と、を有し、前記画素電極と前記共通電極とが前記一対の基板のうち一方の基板に設けられている液晶表示素子であって、

前記画素電極の長辺に沿うように配置されるとともに、前記薄膜トランジスタを介して前記画素電極に電氣的に接続される信号線を備え、

前記共通電極は、前記信号線及び前記画素電極よりも前記液晶層に近い側の層として形成されているとともに、前記画素電極と重なる領域に前記画素電極の幅よりも狭い幅のスリットが前記画素電極の幅方向に並ぶように複数設けられ、

前記スリットのそれぞれは、前記画素電極の前記長辺方向の長さよりも長く形成されているとともに、一対の短辺が前記画素電極と重なることのないように配置され、

前記信号線と前記画素電極との間の隙間が前記共通電極によって覆われていることを特徴とする液晶表示素子。

【請求項 2】

前記共通電極は、前記信号線を覆うように設けられていることを特徴とする請求項 1 に記載の液晶表示素子。

【請求項 3】

前記スリットは、前記画素電極と重なる領域で、くの字状に屈曲していることを特徴と

する請求項 1 または 2 に記載の液晶表示素子。

【請求項 4】

前記画素電極の短辺に沿うように配置されるとともに、前記薄膜トランジスタにゲート信号を供給する走査線を備え、

前記共通電極は、前記走査線を覆うように設けられていることを特徴とする請求項 1 から 3 の何れかに記載の液晶表示素子。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、液晶分子の配向方位を基板面と実質的に平行な面内において制御して表示する液晶表示素子に関する。

10

【背景技術】

【0002】

液晶表示素子として、間隙を設けて対向する一对の基板間に、液晶分子がその分子長軸を一方向に揃えて前記基板面と実質的に平行に配向した液晶層を設け、前記一对の基板の互いに対向する内面のうち、一方の基板の内面に、前記液晶分子の配向方位を前記基板面と実質的に平行な面内において制御する電界を生成するための互いに絶縁された画素電極と共通電極とを設けたものがある。

【0003】

この液晶表示素子は、従来、前記一方の基板の内面に、それぞれの画素領域に対応する共通電極と、前記共通電極を覆う絶縁層の上に、前記共通電極にそれぞれ対応させて、複数の画素電極と、これらの画素電極にそれぞれ接続された複数の薄膜トランジスタと、各行の前記薄膜トランジスタにゲート信号を供給する複数の走査線と、各列の前記薄膜トランジスタにデータ信号を供給する複数の信号線とを設けた構成となっている（特許文献 1 参照）。

20

【特許文献 1】特開 2002 - 82357 号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

しかし、上記従来の液晶表示素子は、前記走査線または信号線と前記画素電極との間に生じる電界の影響により、画素の周辺の領域の液晶分子の配向が乱れ、前記画素の周辺部に光漏れが生じ、コントラストが低下する。そして、この光漏れを防止するためにブラックマスクを設けると、開口率が低下して表示画像が暗くなるという問題をもっている。

30

【0005】

この発明は、画素の周辺部の光漏れを無くして、コントラストが高く、且つ開口率を高くして明るい画像を表示することができる液晶表示素子を提供することを目的としたものである。

【課題を解決するための手段】

【0006】

請求項 1 に記載の発明は、薄膜トランジスタに接続された画素電極と、前記画素電極との間の電位差により一对の基板間に設けられた液晶層における液晶分子の配向方向を制御する共通電極と、を有し、前記画素電極と前記共通電極とが前記一对の基板のうち一方の基板に設けられている液晶表示素子であって、前記画素電極の長辺に沿うように配置されるとともに、前記薄膜トランジスタを介して前記画素電極に電氣的に接続される信号線を備え、前記共通電極は、前記信号線及び前記画素電極よりも前記液晶層に近い側の層として形成されているとともに、前記画素電極と重なる領域に前記画素電極の幅よりも狭い幅のスリットが前記画素電極の幅方向に並ぶように複数設けられ、前記スリットのそれぞれは、前記画素電極の前記長辺方向の長さよりも長く形成されているとともに、一对の短辺が前記画素電極と重なることのないように配置され、前記信号線と前記画素電極との間の隙間が前記共通電極によって覆われていることを特徴とする。

40

50

【 0 0 0 7 】

請求項 2 に記載の発明は、請求項 1 に記載の液晶表示素子において、前記共通電極は、前記信号線を覆うように設けられていることを特徴とする。

【 0 0 0 8 】

請求項 3 に記載の発明は、請求項 1 または 2 に記載の液晶表示素子において、前記スリットは、前記画素電極と重なる領域で、くの字状に屈曲していることを特徴とする。

【 0 0 0 9 】

請求項 4 に記載の発明は、請求項 1 から 3 の何れかに記載の液晶表示素子において、前記画素電極の短辺に沿うように配置されるとともに、前記薄膜トランジスタにゲート信号を供給する走査線を備え、前記共通電極は、前記走査線を覆うように設けられていることを特徴とする。

10

【 発明の効果 】

【 0 0 1 7 】

本発明によれば、画素の周辺部の光漏れを無くして、コントラストが高く、且つ開口率を高くして明るい画像を表示することができる。

【 発明を実施するための最良の形態 】

【 0 0 2 6 】

(第 1 の実施形態)

図 1 ~ 図 4 はこの発明の第 1 の実施例を示しており、図 1 は液晶表示素子の一部分の平面図、図 2 は図 1 の II - II 線に沿う断面図、図 3 は図 1 の III - III 線に沿う断面図、図 4 は図 1 の IV - IV 線に沿う断面図である。

20

【 0 0 2 7 】

この液晶表示素子は、アクティブマトリクス液晶表示素子であり、図 1 ~ 図 4 のように、間隙を設けて対向する一对の透明基板 1, 2 間に、液晶分子がその分子長軸を一方に揃えて前記基板 1, 2 面と実質的に平行に配向した液晶層 3 が封入され、前記一对の基板 1, 2 の互いに対向する内面のうち、一方の基板、例えば表示の観察側 (図 2 及び図 3 において上側) とは反対側の基板 2 の内面に、行方向 (図 1 において左右方向) 及び列方向 (図 1 において上下方向) に配列された複数の透明な画素電極 4 と、これらの画素電極 4 にそれぞれ接続された複数の薄膜トランジスタ (以下、 T F T と記す) 5 と、各画素電極行の一侧にそれぞれ沿わせて形成され、各行の T F T 5 にゲート信号を供給する複数の走査線 1 2 と、各画素電極列の一侧にそれぞれ沿わせて形成され、各列の T F T 5 にデータ信号を供給する複数の信号線 1 3 と、前記複数の画素電極 4 の前記液晶層 3 に対向する側に、絶縁膜 1 4 を介して前記画素電極 4 を覆って積層され、且つ前記画素電極 4 に対応する領域ごとに少なくとも 1 つの縁部 1 5 d が形成され、前記画素電極 4 と前記縁部 1 5 d との間に、前記液晶層 3 の液晶分子の配向方位を前記基板 1, 2 面と実質的に平行な面内において制御する電界を生成する透明な共通電極 1 5 とが設けられている。

30

【 0 0 2 8 】

なお、前記一对の基板 1, 2 は、それぞれの周縁部を図示しない枠状シール材を介して接合されており、前記液晶層 3 は、前記一对の基板 1, 2 間の前記シール材で囲まれた領域に、正の誘電異方性を有するネマティック液晶を封入して形成されている。

40

【 0 0 2 9 】

前記 T F T 5 は、前記一方の基板 2 の基板面上に形成されたゲート電極 6 と、前記ゲート電極 6 を覆って前記基板 2 の略全面に形成された透明なゲート絶縁膜 7 と、このゲート絶縁膜 7 の上に前記ゲート電極 6 と対向させて形成された i 型半導体膜 8 と、前記 i 型半導体膜 8 のチャンネル領域を挟む両側部の上に n 型半導体膜 9 を介して設けられたソース電極 1 0 及びドレイン電極 1 1 とからなっている。

【 0 0 3 0 】

また、前記複数の走査線 1 2 は、前記一方の基板 2 の基板面上に、前記 T F T 5 のゲート電極 6 と接続して形成されており、前記複数の信号線 1 3 は、前記ゲート絶縁膜 7 の上に前記 T F T 5 のドレイン電極 1 1 と接続して形成されている。

50

【 0 0 3 1 】

そして、前記複数の画素電極 4 はそれぞれ、前記ゲート絶縁膜 7 の上に、ITO 膜等の透明導電膜により、予め定めた実質的に矩形形状の画素領域の全域に対応する形状に形成されている。

【 0 0 3 2 】

すなわち、前記画素電極 4 は、前記画素に対応する面積をもった実質的に矩形形状の 1 つの透明導電膜からなっており、これらの画素電極 4 の 1 つの角部に、その画素電極 4 に対応する TFT 5 のソース電極 1 0 が接続されている。

【 0 0 3 3 】

そして、前記複数の画素電極 4 は、前記ゲート絶縁膜 7 の上に、ITO 膜等の透明導電膜により、予め定めた画素領域の全域に対応する形状であって、1 つの実質的な矩形形状に形成されており、これらの画素電極 4 の 1 つの角部に、その画素電極 4 に対応する TFT 5 のソース電極 1 0 が接続されている。

10

【 0 0 3 4 】

さらに、前記一方の基板 2 の内面には、その略全面にわたって、前記複数の画素電極 4 と TFT 5 と走査線 1 2 及び信号線 1 3 を覆う透明な層間絶縁膜 1 4 が形成されており、前記共通電極 1 5 は、前記ゲート絶縁膜 7 と層間絶縁膜 1 4 とからなる絶縁層の上に画素電極 4 を覆って形成されている。

【 0 0 3 5 】

前記共通電極 1 5 は、前記複数の画素電極 4 及び前記走査線 1 2 を挟んで隣合う画素電極 4 , 4 間の領域である周辺部分 1 5 b と前記信号線 1 3 を挟んで隣合う画素電極 4 , 4 間の領域である周辺部分 1 5 c の両方に対応する部分にわたって形成され、前記複数の画素電極 4 に対応する領域にそれぞれ、間隔をおいて平行に並ぶ複数の部分電極 1 5 a を形成する複数のスリット 1 6 が設けられ、これらの部分電極 1 5 a によって、前記画素電極 4 との間前記液晶分子の配向方位を制御する電界を生成するための、間隔をおいて互いに平行に並ぶ複数の縁部 1 5 d が形成された ITO 膜等の透明導電膜からなっている。

20

【 0 0 3 6 】

この実施例では、前記透明導電膜の複数の画素電極 4 に対応する部分にそれぞれ、前記列方向に沿う 4 本のスリット 1 6 を互に平行に設け、これらのスリット間に 3 本の部分電極 1 5 a を形成している。

30

【 0 0 3 7 】

この共通電極 1 5 の前記画素電極 4 に対応する部分に形成された複数の部分電極 1 5 a の幅は、隣合う部分電極 1 5 a の間隔 (スリット 1 6 の幅) と同程度に設定されている。

【 0 0 3 8 】

また、前記共通電極 1 5 の前記走査線 1 2 を挟んで隣合う画素電極 4 , 4 間に対応する領域であって、前記画素電極の周辺部分 1 5 c は、その両側縁部が前記隣合う画素電極 4 の両方の周辺部にそれぞれ対向する幅に形成されている。

【 0 0 3 9 】

さらに、前記複数のスリット 1 6 は、前記画素電極 4 の前記列方向の幅より長く形成されており、したがって、画素電極 4 に対応するスリット 1 6 , 1 6 の端部間の幅は、その両側縁部が前記隣合う画素電極 4 の両方の周辺部と重なる幅に形成されている。

40

【 0 0 4 0 】

なお、前記一方の基板 (観察側とは反対側の基板) 2 には、行方向と列方向の一方または両方の一端の縁部に、他方の基板 1 の外方に張出す端子配列部が形成されており、前記複数の走査線 1 2 と信号線 1 3 は、前記端子配列部に配列形成された複数の走査線端子と信号線端子に接続され、前記共通電極 1 5 は、その外周縁の一部または複数箇所から導出されたリード配線を介して前記端子配列部に形成された共通電極端子に接続されている。

【 0 0 4 1 】

一方、前記他方の基板 1 の内面には、前記複数の TFT 5 にそれぞれ対向させて、前記 TFT 5 の光による誤動作を防ぐための遮光膜 1 7 が設けられるとともに、前記複数の画

50

素電極 4 と前記共通電極 1 5 とにより形成された複数の画素（画素電極 4 と共通電極 1 5 の各部分電極 1 5 a の側縁との間に生成された電界により液晶分子の配向状態が制御される領域）にそれぞれ対応させて、赤、緑、青の 3 色のカラーフィルタ 1 8 R , 1 8 G , 1 8 B が設けられている。

【 0 0 4 2 】

また、前記一对の基板 1 , 2 の前記枠状シール材で囲まれた領域の内面にはそれぞれ、前記共通電極 1 5 及びカラーフィルタ 1 8 R , 1 8 G , 1 8 B を覆って水平配向膜 1 9 , 2 0 が設けられている。

【 0 0 4 3 】

これらの配向膜 1 9 , 2 0 はそれぞれ、前記共通電極 1 5 の各部分電極 1 5 a の長さ方向に対して $5^{\circ} \sim 15^{\circ}$ の範囲の予め定めた角度で斜めに交差する方向に沿って互いに逆方向にラビングすることにより配向処理されており、前記液晶層 3 の液晶分子は、前記配向膜 1 9 , 2 0 の配向処理方向に分子長軸を揃えて、前記基板 1 , 2 面と実質的に平行に配向している。

【 0 0 4 4 】

また、図では省略しているが、この液晶表示素子は、前記一对の基板 1 , 2 の外面にそれぞれ配置された一对の偏光板を備えており、これらの偏光板のうち、一方の偏光板は、その透過軸を前記配向膜 1 9 , 2 0 の配向処理と実質的に平行にして配置され、他方の偏光板は、その透過軸を前記一方の偏光板の透過軸と実質的に直交または平行にして配置されている。

【 0 0 4 5 】

この液晶表示素子は、前記複数の画素電極 4 に前記 T F T 5 を介して表示信号を印加することにより、前記共通電極 1 5 の各部分電極 1 5 a の縁部と前記画素電極 4 の前記部分電極 1 5 a , 1 5 a 間に対応する部分との間に電界を生成させ、その電界により前記液晶分子の配向方位を前記基板 1 , 2 面と実質的に平行な面内において制御して表示する。

【 0 0 4 6 】

この液晶表示素子は、前記共通電極 1 5 を、前記画素電極 4 より前記液晶層 3 側に、絶縁膜（層間絶縁膜）1 4 を介して前記画素電極 4 を覆って積層し、且つ前記画素電極 4 に対応する領域ごとに少なくとも 1 つの縁部 1 5 d を形成し、前記画素電極 4 と前記縁部 1 5 d との間に、前記液晶分子の配向方位を前記基板 1 , 2 面と実質的に平行な面内において制御する電界を生成するようにしたので、前記画素電極 4 の周辺部に発生する前記画素電極 4 と共通電極 1 5 との間以外の電界を液晶層 3 に対して遮断するから、前記画素周辺部の配向の乱れを無くして、光漏れを防止することができる。

【 0 0 4 7 】

また、この液晶表示素子においては、前記共通電極 1 5 に、前記複数の画素電極 4 に対応する領域ごとに、間隔をおいて互いに平行に並ぶ複数の縁部 1 5 d を形成するための複数のスリット 1 6 を設けているため、前記共通電極 1 5 の各縁部 1 5 d と前記画素電極 4 の間に、実質的に均一な強さの電界を生成させ、高品質の画像を表示することができる。

【 0 0 4 8 】

この実施例の液晶表示素子は、前記一方の基板 2 の内面に、各画素電極行にそれぞれ沿わせて形成され、各行の T F T 5 にゲート信号を供給する複数の走査線 1 2 と、各画素電極列にそれぞれ沿わせて形成され、各列の T F T 5 にデータ信号を供給する複数の信号線 1 3 とが設けられ、前記共通電極 1 5 は、複数の画素電極 4 と T F T 5 と走査線 1 2 及び信号線 1 3 を覆う絶縁層（T F T 5 のゲート電極 6 及び走査線 1 2 を覆うゲート絶縁膜 7 と、画素電極 4 と T F T 5 と信号線 1 3 を覆う層間絶縁膜 1 4 との積層膜）の上に、前記走査線 1 2 を挟んで隣合う画素電極 4 , 4 間の領域と前記信号線 1 3 を挟んで隣合う画素電極 4 , 4 間の領域の両方を覆う領域によって、前記画素電極行方向及び画素電極列方向に延出した形状に形成され、前記画素電極 4 に対応する部分が、間隔をおいて互いに平行に並ぶ複数の部分電極 1 5 a からなり、その各部分電極 1 5 a の縁部と前記画素電極 4 との間に、前記液晶分子の配向方位を制御する電界を生成するため、前記走査線 1 2 及び信

10

20

30

40

50

号線 1 3 と前記画素電極 4 の縁部との間に生じる電界を前記共通電極 1 5 により遮蔽し、その電界による画素周辺の液晶分子の配向の乱れを無くすことができ、したがって、隣合う画素間の光漏れを無くし、良好な品質の画像を表示することができる。

【 0 0 4 9 】

すなわち、この液晶表示素子は、前記共通電極 1 5 を、前記走査線 1 2 を挟んで隣合う画素電極 4 , 4 間の領域と前記信号線 1 3 を挟んで隣合う画素電極 4 , 4 間の領域の両方に対応させて形成され、前記複数の画素電極 4 に対応する部分にそれぞれ、間隔をおいて平行に並ぶ複数の部分電極 1 5 a を形成する複数のスリット 1 6 が設けられた導電膜により形成しているため、前記走査線 1 2 と前記画素電極 4 の縁部との間に生じる電界及び前記信号線 1 3 と前記画素電極 4 の縁部との間に生じる電界の両方を、前記共通電極 1 5 の前記隣合う画素電極 4 , 4 間の領域に対応する部分 1 5 b , 1 5 c により遮蔽することができる。

10

【 0 0 5 0 】

そのため、前記走査線 1 2 と前記画素電極 4 の縁部との間に生じた電界及び前記信号線 1 3 と前記画素電極 4 の縁部との間に生じた電界が液晶層 3 に作用し、その電界により前記隣合う画素間の領域の液晶分子の配向が乱れることは無く、したがって、画素周辺部の全周に亘って光漏れを無くすことができる。

【 0 0 5 1 】

しかも、この液晶表示素子は、前記共通電極 1 5 を、前記複数の画素電極 4 に対応する部分にそれぞれ複数の部分電極 1 5 a を形成する複数のスリット 1 6 が設けられた導電膜により形成しているため、前記共通電極 1 5 の前記画素電極 4 に対応する部分の複数の部分電極 1 5 a 及び前記隣合う画素電極 4 , 4 間の領域に対応する部分 1 5 b , 1 5 c の電位を実質的に等しくし、前記共通電極 1 5 の各部分電極 1 5 a の縁部と前記画素電極 4 の前記部分電極 1 5 a 間に対応する部分との間に、実質的に均一な強さの電界を生成させて、前記画素の全域にわたって液晶分子の配向方位を一様に制御することができる。

20

【 0 0 5 2 】

そのため、この液晶表示素子は、前記走査線 1 2 を挟んで隣合う画素間及び前記信号線 1 3 を挟んで隣合う画素間の両方の光漏れが無い。したがって、画素周辺の漏れ光を遮光するブラックマスクを設ける必要がなくなると、開口率が高くなり、明るく且つコントラストの高い画像を表示させることができる。また、共通電極 1 5 よりも基板側に画素電極 4 を配置しているため、TFT5 のソース電極と接続するためにスルーホール等を設ける必要がないので、製造工程が単純になり、また前記スルーホールによる開口率の低下を生じることがない。しかも、前記共通電極 1 5 が実質的に基板の略全面に渡って電氣的に接続された状態で形成されているため、各画素の光の透過率が画素の全域にわたって均一な高品質の画像を表示することができる。

30

【 0 0 5 3 】

さらに、この液晶表示素子は、前記複数の画素電極 4 は、予め定めた画素領域の全域に対応する形状に形成しているため、前記画素電極 4 の電位をその全体にわたって実質的に等しくし、前記共通電極 1 5 の各部分電極 1 5 a の縁部と前記画素電極 4 の前記部分電極 1 5 a 間に対応する部分との間に、より均一な強さの電界を生成させ、前記画素の全域にわたって液晶分子の配向方位をさらに一様に制御することができ、したがって、より高品質の画像を表示することができる。

40

【 0 0 5 4 】

(第 2 の実施形態)

図 5 及び図 6 はこの発明の第 2 の実施例を示しており、図 5 は液晶表示素子の一部分の平面図、図 6 は図 5 の VI - VI 線に沿う断面図である。

【 0 0 5 5 】

この実施例の液晶表示素子は、前記共通電極 1 5 の前記画素電極 4 , 4 間の領域に対応する部分に、その領域の全長にわたって、低抵抗の金属導電膜からなる共通電極線 2 1 を設けたものであり、他の構成は上述した第 1 の実施例と同じである。したがって、上述し

50

た第1の実施例と同一の部材には、同一の符号を付し、その説明を省略する。

【0056】

前記共通電極線21は、前記層間絶縁膜14の上に、前記走査線12を挟んで隣合う画素電極4, 4間の領域と前記信号線13を挟んで隣合う画素電極4, 4間の領域のいずれか一方、例えば信号線13を挟んで隣合う画素電極4, 4間の領域にそれぞれ対応させて、前記信号線13と重なる位置に前記信号線13と平行に形成されており、これらの共通電極線21は、前記画素電極4の配列領域の外側において共通接続され、その共通接続部を一方の基板2の端子配列部に形成された共通電極端子に接続されている。

【0057】

そして、前記共通電極15は、前記層間絶縁膜14の上に、前記共通電極線21の上に重ねて形成されている。

10

【0058】

この実施例の液晶表示素子は、前記共通電極15の前記画素電極4, 4間の領域に対応する部分に、その領域の全長にわたって、低抵抗の金属導電膜からなる共通電極線21を設けているため、行方向及び列方向に配列する複数の画素の共通電極15の電位を実質的に等しくし、輝度むらの無い画像を表示することができる。

【0059】

なお、この実施例では、共通電極15の信号線13を挟んで隣合う画素電極4, 4間の領域に対応する部分に共通電極線21を設けているが、前記共通電極線21は、走査線12を挟んで隣合う画素電極4, 4間の領域に対応する部分に設けてもよい。また、前記共通電極線21は、前記共通電極15の上に設けてもよい。

20

【0060】

なお、上述した第1及び第2の実施例では、共通電極15を、複数の画素電極4及び走査線12を挟んで隣合う画素電極4, 4間の領域と信号線13を挟んで隣合う画素電極4, 4間の領域の両方に対応させて形成しているが、前記共通電極15は、複数の画素電極4及び走査線12を挟んで隣合う画素電極4, 4間の領域と信号線13を挟んで隣合う画素電極4, 4間の領域のいずれか一方に対応させて形成してもよい。

【0061】

その場合も、前記走査線12と信号線13の少なくとも一方と前記画素電極4の縁部との間に生じる電界を前記共通電極15により遮蔽し、その電界による隣合う画素間の領域の液晶分子の配向の乱れを無くすことができるため、隣合う画素間の光漏れを無くし、良好な品質の画像を表示することができる。

30

【0062】

このように、前記共通電極15を、複数の画素電極4及び走査線12を挟んで隣合う画素電極4, 4間の領域と信号線13を挟んで隣合う画素電極4, 4間の領域のいずれか一方に対応させて形成する場合、前記共通電極15は、各画素行ごとまたは各画素列ごとに、複数の画素電極4及び前記隣合う画素電極4, 4間の領域に対応させて形成され、前記複数の画素電極4に対応する部分にそれぞれ、間隔をおいて平行に並ぶ複数の部分電極15aを形成する複数のスリットまたは櫛状の細長切欠部が設けられた複数本の部分電極と、これらの部分電極の端部を共通接続する接続部とからなる導電膜により形成すればよい。

40

【0063】

(第3の実施形態)

図7、図8及び図9は、この発明の第3の実施例を示しており、図7は液晶表示素子の一部分の平面図、図8は図7のVIII-VIII線に沿う断面図、図9は図7のIX-IX線に沿う断面図である。

【0064】

この実施例の液晶表示素子は、低抵抗の金属導電膜からなる共通電極線121を、前記信号線13を挟んで隣合う画素電極4, 4間の領域と、前記走査線12を挟んで隣合う画素電極4, 4間の領域の両方に対応させて格子状に形成したものであり、他の構成は上述

50

した第2の実施例と同じである。したがって、上述した第2の実施例と同一の部材には、同一の符号を付し、その説明を省略する。

【0065】

この液晶表示素子は、低抵抗の金属導電膜からなる共通電極線121が、前記層間絶縁膜14の上に、前記走査線12を挟んで隣合う画素電極4，4間の領域と前記信号線13を挟んで隣合う画素電極4，4間の領域の両方にそれぞれ対応させて、前記信号線13と重なる位置に前記信号線13と平行に延出する列配線部分121aと、前記走査線12と重なる位置に前記走査線12と平行に延出する行配線部分121bとが互いに接続された形状に形成されている。すなわち、この共通電極線121は、前記列配線部分121aと前記行配線部分121bとにより、前記画素電極4の外側の四方を取り囲む格子状に形成されている。そして、前記共通電極線121の走査線12と平行に形成された行配線部分121bには、TFT5に対応する領域が幅広に形成され、前記TFT5上を覆う遮光部分121cが形成されている。

10

【0066】

そして、前記共通電極15は、前記層間絶縁膜14の上と、前記共通電極線121の上に重ねて形成されている。

【0067】

つまりこの液晶表示素子では、前記共通電極15が、一方の基板の絶縁膜14上に、各画素に対応する領域に間隔をおいて互いに平行に並ぶ複数の縁部15dが形成された透明導電膜と、隣接する画素の間で行方向に延出する走査線12、及び列方向に延出する信号線13の両方に沿って形成された金属導電膜とから構成されている。

20

【0068】

この実施例の液晶表示素子は、前記共通電極15の隣接する画素電極4，4間の領域に対応する部分に、前記走査線12及び信号線13に沿わせて低抵抗の金属導電膜からなる共通電極線121を設けているため、行方向及び列方向に配列する複数の画素の共通電極15の電位を実質的に等しくし、輝度むらの無い画像を表示することができる。また、信号線13に沿わせて形成された行配線部分121bに遮光部分121cを形成しているため、前記TFT5の半導体層を遮光することができる。したがって、対向する観察側の基板に遮光膜を形成する必要がなくなり、開口率を高くすることができる。

【0069】

(第4の実施形態)

図10及び図11は、この発明の第4の実施例を示しており、図10は液晶表示素子の一部分の平面図、図11は図10のXI-XI線に沿う断面図である。

30

【0070】

この実施例の液晶表示素子は、低抵抗の金属導電膜からなる共通電極線221を、前記信号線13を挟んで隣合う画素電極4，4間の領域と、前記走査線12を挟んで隣合う画素電極4，4間の領域の両方にそれぞれ対応させて格子状に、且つTFT5に対応する領域を除いて形成し、対向する基板の前記TFT5に対向する領域に遮光膜217を形成したものであり、他の構成は上述した第3の実施例と同じである。したがって、上述した第3の実施例と同一の部材には、同一の符号を付し、その説明を省略する。

40

【0071】

この液晶表示素子は、低抵抗の金属導電膜からなる共通電極線221が、前記層間絶縁膜14の上に、前記走査線12を挟んで隣合う画素電極4，4間の領域と、前記信号線13を挟んで隣合う画素電極4，4間の領域の両方にそれぞれ対応させて、前記信号線13と重なる位置に前記信号線13と平行に延出する列配線部分221aと、前記走査線12と重なる位置に前記走査線12と平行に延出する行配線部分221bとが互いに接続された形状に形成されている。すなわち、この共通電極線221は、前記列配線部分221aと前記行配線部分221bとにより、前記画素電極4の外側の四方を取り囲む格子状に形成されている。そして、前記共通電極線221の走査線12と平行に形成された行配線部分221bには、TFT5に対応する領域に幅広部221cが形成され、この幅広部22

50

1 c の前記 T F T 5 に対応する部分に開口 2 2 1 d が形成されている。

【 0 0 7 2 】

透明導電膜は、前記層間絶縁膜 1 4 の上と、前記行配線部分 2 2 1 b の開口 2 2 1 d を除いた前記共通電極線 2 2 1 の上に重ねて形成されている。したがって、透明導電膜と金属導電膜とからなる前記共通電極 1 5 は、T F T 5 の上以外の領域に形成されている。

【 0 0 7 3 】

そして、観察側の基板 1 の、前記観察側とは反対側の基板 2 に対向する内面には、前記 T F T に対応する領域に遮光膜 2 1 7 が設けられている。

【 0 0 7 4 】

このように、この液晶表示素子では、前記共通電極 1 5 が、前記画素電極 4 より前記液晶層 3 側に、絶縁膜 1 4 を介して前記画素電極 4 に対応させて形成され、各画素に対応する領域に間隔をおいて互いに平行に並ぶ複数の縁部が形成された透明導電膜と、隣接する画素の間で行方向に延出する走査線 1 2、及び列方向に延出する信号線 1 3 の両方に沿って、これらの走査線 1 2 と信号線 1 3 を覆い、且つ前記薄膜トランジスタ 5 に対応する領域を除いた部分に形成された金属導電膜とから構成されている。そして、T F T 5 に対応する領域には遮光膜 2 1 7 が配置されているのである。

【 0 0 7 5 】

この実施例の液晶表示素子は、前記共通電極 1 5 の隣接する画素電極 4、4 間の領域に対応する部分に、前記走査線 1 2 及び信号線 1 3 に沿わせて低抵抗の金属導電膜からなる共通電極線 2 2 1 を設けているため、行方向及び列方向に配列する複数の画素の共通電極 1 5 の電位を実質的に等しくし、輝度むらの無い画像を表示することができる。そして、透明導電膜と金属導電膜とからなる前記共通電極 1 5 は、T F T 5 の上以外の領域に形成されているので、前記共通電極 1 5 と前記 T F T 5 との間に形成される浮遊容量を小さくすることができ、液晶表示素子のドライバにかかる負荷を少なくすることができる。また、他方の基板（観察側基板）1 には、前記 T F T 5 のみを遮光する遮光膜 2 1 7 を形成するだけで足りるため、各画素の開口率を高くすることができる。

【 0 0 7 6 】

（第 5 の実施形態）

上述した第 1 乃至第 4 の実施例の液晶表示素子は、共通電極 1 5 に、信号線 1 3 と平行なスリット 1 6 を設けたものであるが、画素電極 4 との間に液晶分子の配向方位を基板 1、2 面と実質的に平行な面内において制御する電界を生成する共通電極は、前記信号線 1 3 に対して斜めに傾斜させたスリットを設けたものでよい。

【 0 0 7 7 】

図 1 2 は、この発明の第 5 の実施例を示す液晶表示素子の一部分の平面図であり、この図では、一方の基板（観察側とは反対側の基板）2 の内面に設けられた T F T 5 と走査線 1 2 及び信号線 1 3 を省略している。この第 5 の実施例は、上述した第 3 の実施例と比べて、前記共通電極の形状のみが異なっており、その他の構成は同一であるから、同一の部材には同一の符号を付し、その説明を省略する。

【 0 0 7 8 】

この実施例の液晶表示素子は、共通電極 1 1 5 に、信号線 1 3 に対して斜めに傾斜させたスリット 1 1 6 を設けたものであり、この共通電極 1 1 5 は、前記複数の画素電極 4 と T F T 5 と走査線 1 2 及び信号線 1 3 を覆う絶縁層絶縁膜（T F T 5 のゲート電極 6 及び走査線 1 2 を覆うゲート絶縁膜 7 と、画素電極 4 と T F T 5 と信号線 1 3 を覆う層間絶縁膜 1 4 との積層膜）上の実質的に全面に形成され、前記画素電極 4 に対応する領域に、前記画素電極 4 との間に前記液晶分子の配向方位を制御する電界を生成するための、間隔をおいて互いに平行に並び、且つ前記一方の基板 2 面に形成された配向膜 2 0 の配向処理方向 2 0 a に対して直交及び平行以外の斜めに交差する形状に屈曲した複数の縁部 1 1 5 d を形成する複数のスリット 1 1 6 が設けられた透明導電膜からなっている。

【 0 0 7 9 】

すなわち、この液晶表示素子は、共通電極 1 1 5 の複数の画素電極 4 に対応する領域に

10

20

30

40

50

それぞれ、形状に屈曲した複数のスリット 1 6 を設けることにより、間隔をおいて平行に並ぶ複数の部分電極 1 1 5 a を形成し、これらの部分電極 1 1 5 a によって、前記一方の基板 2 の内面の配向膜 2 0 の配向処理方向 2 0 a に対して斜めに交差する形状に屈曲した縁部 1 1 5 d を形成したものである。

【 0 0 8 0 】

この構成によれば、一对の基板 1 , 2 の内面の配向膜 1 9 , 2 0 の配向処理方向に分子長軸を揃えて配向した初期配向状態の液晶分子に対して、画素電極 4 と共通電極 1 1 5 の間に電圧が印加されたときに、前記初期配向状態での分子長軸に対して斜めに交差する方向の電界が印加されるので、液晶分子の挙動方向を揃えることができ、各画素内における液晶分子の配向が乱れるのを防止することができる。

10

【 0 0 8 1 】

なお、この実施例における共通電極 1 1 5 の形状は、前述した第 1 乃至第 4 の実施例のいずれにも適用することができる。

【 0 0 8 2 】

(第 6 の実施形態)

上述した第 1 乃至第 5 の実施例では、前記複数の画素電極 4 を、予め定めた画素領域の全域に対応する実質的に矩形形状に形成しているが、前記画素電極 4 は、前記共通電極 1 5 の複数の部分電極 1 5 a , 1 5 a 間に対応する櫛形状に形成してもよい。

【 0 0 8 3 】

図 1 3 は、この発明の第 6 の実施例を示す液晶表示素子の一部分の断面図である。この第 5 の実施例は、上述した第 3 の実施例と比べて、前記画素電極の形状のみが異なっており、その他の構成は同一であるから、同一の部材には同一の符号を付し、その説明を省略する。

20

【 0 0 8 4 】

この実施例の液晶表示素子は、画素電極 1 0 4 を、共通電極 1 5 の前記画素電極 1 0 4 に対応する領域に設けられた複数のスリット 1 6 にそれぞれ対応した形状の複数の部分電極 (以下、画素部分電極という) 1 0 4 a を有する櫛形状に形成したものであり、前記複数の画素部分電極 1 0 4 a は、前記画素電極 1 0 4 に、前記共通電極 1 5 の複数の部分電極 (以下、共通部分電極という) 1 5 a にそれぞれ対応した形状の複数のスリット 1 0 4 b を設けることにより形成されている。

30

【 0 0 8 5 】

この実施例において、前記画素電極 1 0 4 の複数の画素部分電極 1 0 4 a は、その両側縁が、前記共通電極 1 5 の前記画素部分電極 1 0 4 a を挟んで隣合う共通部分電極 1 5 a , 1 5 a の縁部にそれぞれ対向する幅に形成するのが望ましい。

【 0 0 8 6 】

なお、この画素電極 1 0 4 の形状は、前述した第 1 乃至第 5 実施例のいずれにも適用することができる。

【 0 0 8 7 】

この実施例の液晶表示素子によれば、前記画素電極 1 0 4 の前記共通電極 1 5 と重なる部分の面積が減少するから、前記画素電極 1 0 4 と前記共通電極 1 5 の間に発生する浮遊容量が小さくなり、液晶表示素子のドライバにかかる負荷を小さくすることができる。

40

【 図面の簡単な説明 】

【 0 0 8 8 】

【 図 1 】 この発明の第 1 の実施例を示す液晶表示素子の一部分の平面図。

【 図 2 】 図 1 の II - II 線に沿う断面図。

【 図 3 】 図 1 の III - III 線に沿う断面図。

【 図 4 】 図 1 の IV - IV 線に沿う断面図。

【 図 5 】 この発明の第 2 の実施例を示す液晶表示素子の一部分の平面図。

【 図 6 】 図 5 の VI - VI 線に沿う断面図。

【 図 7 】 この発明の第 3 の実施例を示す液晶表示素子の一部分の平面図。

50

【図8】図7のVIII - VIII線に沿う断面図。

【図9】図7のIX - IX線に沿う断面図。

【図10】この発明の第4の実施例を示す液晶表示素子の一部分の平面図。

【図11】図1のXI - XI線に沿う断面図。

【図12】この発明の第5の実施例を示す液晶表示素子の一部分の平面図。

【図13】この発明の第6の実施例を示す液晶表示素子の一部分の断面図。

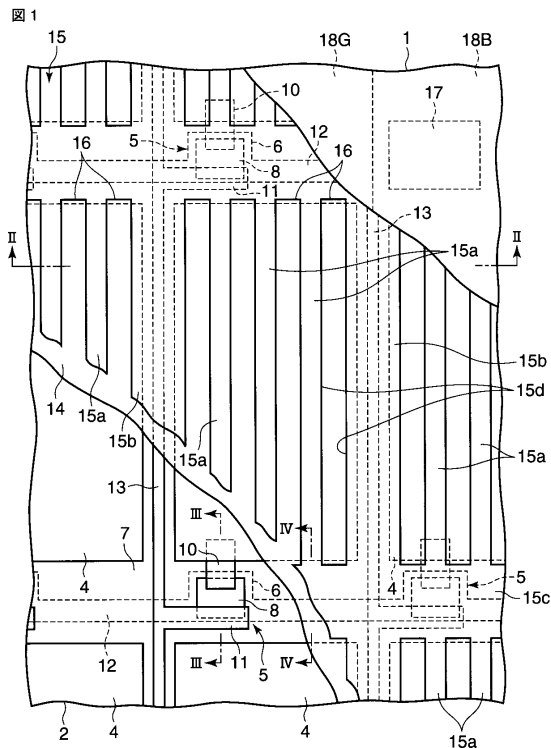
【符号の説明】

【0089】

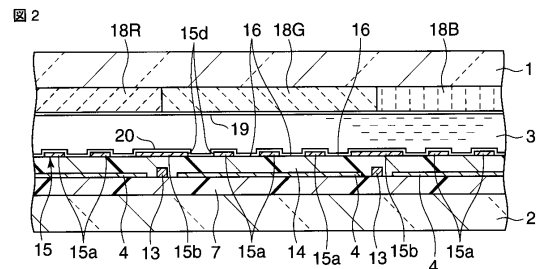
1, 2 ... 基板、3 ... 液晶層、4, 104 ... 画素電極、5 ... TFT、6 ... ゲート電極、7 ... ゲート絶縁膜、8 ... i型半導体膜、9 ... n型半導体膜、10 ... ソース電極、11 ... ドレイン電極、12 ... 走査線、13 ... 信号線、14 ... 層間絶縁膜、15, 115 ... 共通電極、15a, 115a ... 部分電極、16, 116 ... スリット、17 ... 遮光膜、18R, 18G, 18B ... カラーフィルタ、19, 20 ... 配向膜、21, 121, 221 ... 共通電極線。

10

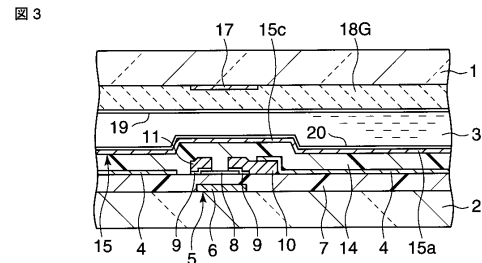
【図1】



【図2】

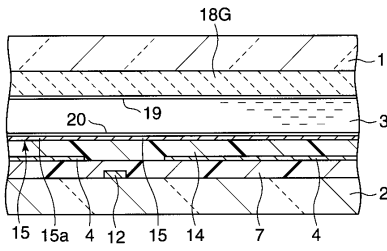


【図3】



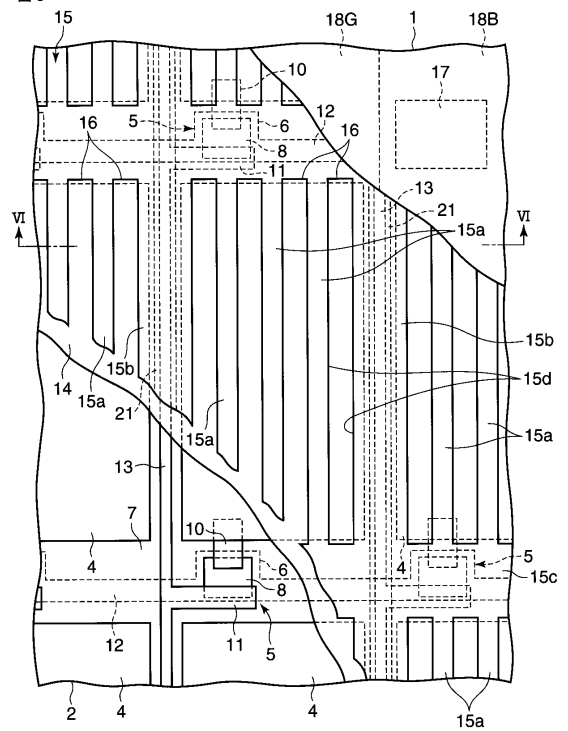
【 図 4 】

図 4



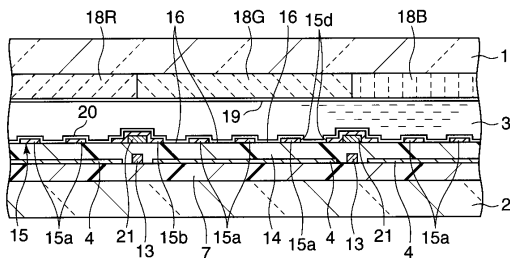
【 図 5 】

図 5



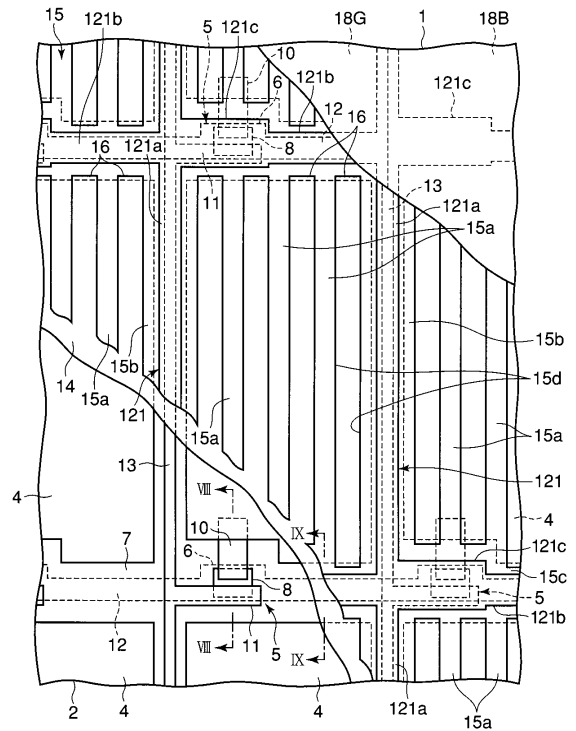
【 図 6 】

図 6

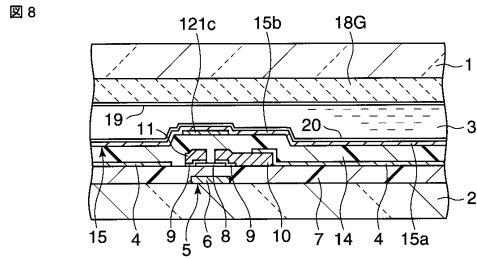


【 図 7 】

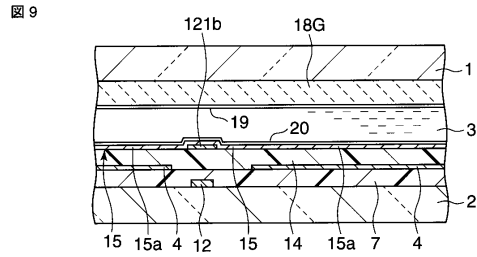
図 7



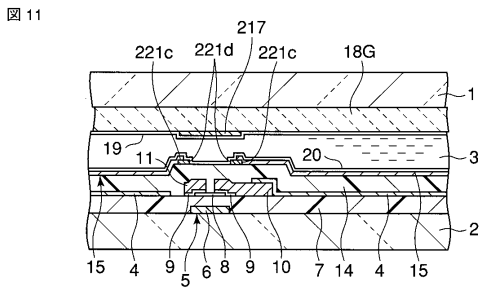
【図8】



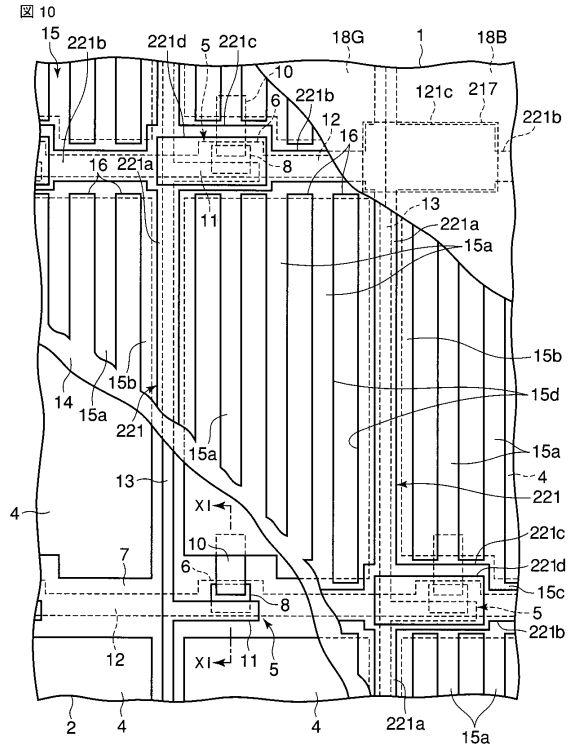
【図9】



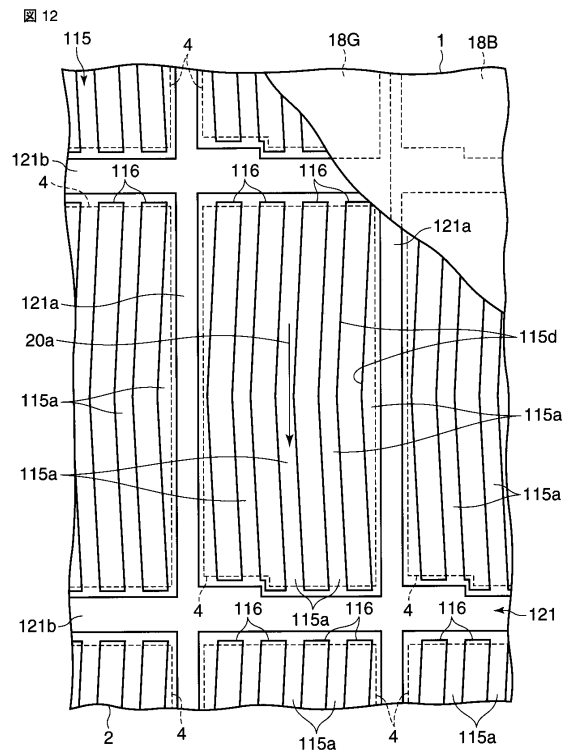
【図11】



【図10】



【図12】



フロントページの続き

(74)代理人 100092196

弁理士 橋本 良郎

(72)発明者 下牧 伸一

東京都八王子市石川町2951番地の5 カシオ計算機株式会社八王子技術センター内

審査官 福田 知喜

(56)参考文献 特開2002-296615(JP,A)

特開2002-169179(JP,A)

特開2001-174818(JP,A)

特開平05-127195(JP,A)

特開2003-233083(JP,A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1343

G02F 1/1337

G02F 1/1368

专利名称(译)	液晶显示元件		
公开(公告)号	JP4946135B2	公开(公告)日	2012-06-06
申请号	JP2006094929	申请日	2006-03-30
[标]申请(专利权)人(译)	卡西欧计算机株式会社		
申请(专利权)人(译)	卡西欧计算机有限公司		
当前申请(专利权)人(译)	卡西欧计算机有限公司		
[标]发明人	下牧伸一		
发明人	下牧 伸一		
IPC分类号	G02F1/1343 G02F1/1337 G02F1/1368		
FI分类号	G02F1/1343 G02F1/1337.505 G02F1/1368		
F-TERM分类号	2H090/HA16 2H090/LA01 2H090/LA04 2H090/LA15 2H090/MA07 2H092/GA14 2H092/GA17 2H092/JA24 2H092/JB05 2H092/JB16 2H092/JB57 2H092/NA04 2H092/NA07 2H092/NA28 2H092/PA08 2H092/PA09 2H192/AA24 2H192/BB12 2H192/BB53 2H192/BB73 2H192/BB82 2H192/BB84 2H192/CB05 2H192/DA32 2H192/EA22 2H192/EA28 2H192/EA43 2H192/JA33 2H290/AA73 2H290/BA04 2H290/BB63 2H290/BF13 2H290/CA13 2H290/CA46		
代理人(译)	河野 哲 中村诚		
审查员(译)	福田 知喜		
优先权	2006022438 2006-01-31 JP		
其他公开文献	JP2007233317A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种液晶显示装置，其能够消除每个像素的周边部分中的光泄漏并显示令人满意的质量的图像。解决方案：液晶显示装置包括液晶层3，液晶层3设置在一个和另一个基板2和1之间的间隙中，液晶分子的长轴在一个方向上排列，基本上平行于基板表面。提供数据信号的多个薄膜晶体管在基板2的内表面上沿行和列方向排列。多个像素电极4与薄膜晶体管电连接，并且至少一个边缘部分15d用于对应于每个区域的每个区域。在基板2的内表面上设置有经由绝缘膜14层叠在像素电极4的液晶层3侧的像素电极4。用于产生控制液体的取向方向的电场的公共电极15在像素电极4和边缘部分15d之间提供基本平行于基板表面的平面中的晶体分子。Z

