

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4860233号
(P4860233)

(45) 発行日 平成24年1月25日(2012.1.25)

(24) 登録日 平成23年11月11日(2011.11.11)

(51) Int.Cl.

F I

G02F 1/133 (2006.01)
G02F 1/1368 (2006.01)
G09G 3/20 (2006.01)
G09G 3/36 (2006.01)

G O 2 F 1/133 5 5 0
 G O 2 F 1/133 5 2 5
 G O 2 F 1/1368
 G O 9 G 3/20 6 1 1 E
 G O 9 G 3/20 6 2 1 M

請求項の数 2 (全 8 頁) 最終頁に続く

(21) 出願番号 特願2005-310880 (P2005-310880)
 (22) 出願日 平成17年10月26日(2005.10.26)
 (65) 公開番号 特開2007-121485 (P2007-121485A)
 (43) 公開日 平成19年5月17日(2007.5.17)
 審査請求日 平成20年10月24日(2008.10.24)

(73) 特許権者 501426046
 エルジー ディスプレイ カンパニー リ
 ミテッド
 大韓民国 ソウル, ヨンドゥンポーク, ヨ
 イドードン 20
 (74) 代理人 100064447
 弁理士 岡部 正夫
 (74) 代理人 100085176
 弁理士 加藤 伸晃
 (74) 代理人 100094112
 弁理士 岡部 譲
 (74) 代理人 100096943
 弁理士 臼井 伸一
 (74) 代理人 100101498
 弁理士 越智 隆夫

最終頁に続く

(54) 【発明の名称】 液晶表示装置のフリッカ防止調整方法

(57) 【特許請求の範囲】

【請求項 1】

第1と第2の基板間に配置された液晶、該第1の基板上でマトリックス状に配置された、表示領域を画成しているゲート線とデータ線、該第1の基板上で、該ゲート線とデータ線の交点各々に規定された画素領域内に形成された画素電極、該第1又は第2の基板上で、画素電極との間に液晶駆動電圧を印加するよう形成された共通電極、該表示領域の外側に設けられ、該ゲート線各々を順次走査するよう該ゲート線に信号を印加するゲートドライバ、該表示領域の外側に設けられ、該データ線各々にデータ信号を印加するデータドライバ、及び画素領域各々に設けられたTFT素子であって、該ゲート線上のゲート信号によってオンになったとき、該データ線上のデータ信号を該画素電極に印加するTFT素子と

10

からなるアクティブマトリックス液晶表示装置であって、
 該ゲートドライバの位置から遠くに配置されたTFT素子のゲート - ソース寄生容量が、近くに配置されたTFT素子のゲート - ソース寄生容量より大きくなるよう形成されているアクティブマトリックス液晶表示装置のフリッカ調整方法において、

該液晶表示装置の表示部の中央部でのフリッカを防止するよう、該共通電極の電圧 V_{COM} の電圧レベルを調整して、該電圧レベルを設定し、そして

該液晶表示装置の表示部の周辺部でのフリッカを防止するよう、ゲートドライバからのゲ

20

ート信号電圧のゲートターンオン電圧 V_{gh} の大きさを調整することからなるフリッカ調整方法。

【請求項 2】

請求項 1 に記載の調整方法において、前記 T F T 素子のチャネル幅 W は、T F T 素子がゲートドライバから離れるに従って大きくなるよう構成されているものであるフリッカ調整方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、アクティブマトリックス液晶表示装置のフリッカ及び焼きつきを防止する方法、特に V_{COM} の調整方法に係る。

10

【背景技術】

【0002】

T F T スイッチング素子を含むアクティブマトリックス L C D (液晶表示装置) 構成の各画素において、T F T 素子がオンの際に画素電極と共通電極との間に液晶を駆動する電圧が与えられる。画素電極には信号(データ)電圧、共通電極には一定の共通電圧 V_{COM} が印加される。線順次駆動の走査形式では、マトリックスの各行を順次に走査し、走査されている1つの行ライン上の全てのT F T 素子を一水平走査期間の V_H だけオンにするアドレス電圧(ゲート信号電圧)がアドレス線に印加される。即ち、 V_H 期間の間だけ信号電圧が画素電極に印加され、1 フレーム期間の残りの期間における信号電圧は、画素電極に並列な蓄積容量に蓄積された電荷により維持される。次のフレームにおいて走査されたとき、その蓄積電荷は次のデータにより更新される。

20

【0003】

液晶は直流電圧で駆動すると寿命が短くなること等から、極性反転駆動方式が一般的に採用され、図 1 にフレーム反転コモン D C 駆動方式での液晶に印加される電圧の波形を示す。即ち、フレーム毎に正と負の極性反転の信号電圧を印加する。フレーム F_i で正極性なら、フレーム F_{i+1} で負極性とする。T F T 素子がオンである V_H 期間、信号電圧がT F T 素子を介して画素電極に直接印加されると同時に、蓄積容量が信号電圧まで充電される。その後T F T 素子がオフになったとき、本来は信号電圧に対応する充電電圧が残りのフレーム期間そのまま維持されるべきであるが、画素電極に結合されているゲート・ソース(又はゲート・ドレイン)間の寄生容量 C_{gs} に対し流れ、信号電圧が正極性においては充電電圧が ΔV_g だけ低下し、一方信号電圧が負極性においては、 ΔV 波だけ低下する。この ΔV_g は突き抜け電圧と称される。信号電圧の極性によってこの ΔV_g は低下させる量が違うから、画素電極の電圧である充電電圧は正と負極性で非対称となり、いわゆる“フリッカ”が生ずる。この非対称性を補うため、共通電極の共通電圧 V_{COM} の電圧レベルは、信号電圧の中心レベルから負極性側に ΔV_{COM} だけシフトさせて設定し正と負極性の信号電圧に対称性を取り、フリッカを抑制している。

30

【0004】

即ち、信号電圧が正極性、負極性共に充電電圧が突き抜け電圧 ΔV_g だけ低下する。又、TNの場合、黒表示と白表示で液晶容量が違うので、白表示と黒表示で突き抜け電圧の最適 V_{COM} の値が違う。通常、中間階調表示でフリッカ調整を行うことでフリッカを抑制している。

40

【0005】

一方、各画素のT F T 素子のソース電極(又はドレイン電極)はゲート(アドレス)配線と重なって形成され、ゲート配線の寄生容量 C_{gs} を形成する。この C_{gs} は、ゲート線においてゲートドライバ側の近くから遠くなるにつれてゲートパルスを遅延させる原因となる(又はゲートパルスの波形がなまってくる)。これは、突き抜け電圧 ΔV_g の大きさに影響を与え、ゲートドライバから遠い画素になるにつれて ΔV_g が小さくなる。前述のように、フリッカをなくすために信号電圧の正・負電極性での対象性を得るようシフトして設定した V_{COM} は、 ΔV_g の大きさに依存する。

50

【 0 0 0 6 】

そうすると、寄生容量 C_{gs} の影響で ΔV_g がゲート線の位置で変わってくることは、フリッカをなくすために V_{COM} が設定すべき電圧レベル値はゲート線の位置で変わってくることを意味する。このように、ゲート線に遅延がある際に、フリッカをなくすためのゲート線の位置に対する V_{COM} 値を実線で図 2 に示す。フリッカをなくすには、以下の式で示される ΔV_g を一定にしてこの V_{COM} 値が図 2 の点線のようにフラットであるべきである。

【 0 0 0 7 】

$$\Delta V_g = (V_{gh} - V_{gl}) \times C_{gs} / (C_{gs} + C_{lc} + C_s)$$

V_{gh} : ゲート電圧のオンレベル

V_{gl} : ゲート電圧のオフレベル

C_{gs} : ゲート・ソース間の寄生容量

C_{lc} : 画素容量

C_s : 蓄積容量

10

【 0 0 0 8 】

このために、ゲートドライバから遠くなる位置の T F T 素子について、 C_{gs} を大きくすることでゲート線遅延に伴う ΔV_g が小さくなることを補償することが提案され、そのために T F T 素子のチャネル幅 W / チャネル長を大きくしていくことが採用されている（特開平 1 0 - 2 0 6 8 2 3 号）。

【 0 0 0 9 】

しかしながら、このように C_{gs} を大きくしていく（チャネル幅を大きくしていく）ことだけでは、ゲート線と信号線の線幅、ゲート絶縁膜の膜厚等の製造上のバラツキにより V_{COM} を十分にフラットにすることはできなかった。従って、本発明の課題は、上述のごとき製造上のバラツキに伴う不十分な V_{COM} のフラット化を調整により改善する方法を提供することにある。

20

【 0 0 1 0 】

【特許文献 1】特開平 1 0 - 2 0 6 8 2 3 号

【発明の開示】

【課題を解決するための手段】

【 0 0 1 1 】

第 1 と第 2 の基板間に配置された液晶、該第 1 の基板上でマトリックス状に配置された、表示領域を画成しているゲート線とデータ線、該第 1 の基板上で、該ゲート線とデータ線の交点各々に規定された画素領域内に形成された画素電極、該第 1 又は第 2 の基板上で、画素電極との間に液晶駆動電圧を印加するよう形成された共通電極、該表示領域の外側に設けられ、該ゲート線各々を順次走査するようゲート線に信号を印加するゲートドライバ、表示領域の外側に設けられ、データ線各々にデータ信号を印加するデータドライバ、及び画素領域各々に設けられた T F T 素子であって、ゲート線上のゲート信号によってオンになったとき、該データ線上のデータ信号を該画素電極に印加する T F T 素子とからなるアクティブマトリックス液晶表示装置のフリッカ調整方法であり、

30

該ゲートドライバの位置から遠くに配置された T F T 素子のゲート・ソース寄生容量が、近くに配置された T F T 素子のゲート・ソース寄生容量より大きくなるよう形成されているアクティブマトリックス液晶表示装置において、本発明のフリッカ防止調整方法は行われる。

40

【 0 0 1 2 】

本発明の調整方法では、液晶表示装置の表示部の中央部でのフリッカを防止するよう、共通電極電圧 V_{COM} の電圧レベルを調整して、電圧レベルを設定し、そして液晶表示装置の表示部の周辺部でのフリッカを防止するよう、ゲートドライバからのゲート信号電圧のゲートターンオン電圧 V_{gh} の大きさを調整する。

【発明の効果】

【 0 0 1 3 】

本発明の調整方法によると、製造上においてゲート線と信号線の線幅、ゲート絶縁膜の

50

膜厚等のバラツキによる V_{COM} の特性のフラット化が表示域全体にわたって十分になされない場合でも、フラット化が可能であり、液晶表示装置の表示域全体にわたってフリッカの防止（焼きつけの防止）が可能となる。

【発明を実施するための最良の形態】

【0014】

本発明の調整方法を実施する対象としてのアクティブマトリックスLCD構成における1画素領域での構造を図3に示す。ゲート線（アドレス線）10とデータ線20が画成する1画素領域に、TFT素子と画素電極が形成される。TFT素子はアモルファス半導体領域（パッチ）30、ドレイン電極40、ソース電極50を含み、ゲート電極はゲート線10から延在する突出部10aで構成される。ドレイン電極40はデータ線20に接続され、ソース電極50はコンタクトホールを介して画素電極60に接続されている。画素電極60の一部は次のゲート線10と重複して領域60で蓄積容量Csを形成している。

10

【0015】

図4は、TFT素子構造部を含むTN型液晶表示装置の断面を示す。基板a上にゲート配線10とその突出部10aが形成され、絶縁層b上にアモルファス半導体パッチ30が形成され、その左右にドレイン電極40とソース電極50が接触層としての $n+\alpha$ Si膜cを介して形成される。それらをカバーする保護膜dがつけられ、コンタクトホールeを介して画素電極60がソース電極50に接続されている。液晶fをはさみ、対向基板g上にブラックマトリクスh、カラーフィルタi、対向（共通）電極jが設けられる。

20

【0016】

本発明の調整方法を実施する対象としてのアクティブマトリックスLCD構成の特徴として、TFT素子のゲート・ソース間寄生容量Cgsがゲートドライバ側から遠くに離れるにつれて、大きくなるようにしている。具体例としては、個々のTFT素子のチャネル幅Wをゲートドライバ側から遠くなるにつれて大きくしていくようにしている。このようにして V_{COM} を一応はフラット化させている。

【0017】

そのTFT構造の1つの例について、ゲートドライバに近い位置にあるTFT構成を図5、遠い位置にあるTFT構成を図6に示す。図5と図6において、30'と30''はアモルファス半導体パッチ、40'と40''はドレイン電極、そして50'と50''はソース電極であり、ゲート電極となるゲート線突出部10a'と10a''上に形成されている。図5において、アモルファス半導体パッチ30'は斜線区域として示されている。TFT素子製造工程でマスク枚数を減らすため、パッチ30'はドレイン電極40'と同一境界線で形成され、ドレイン電極40'の外郭と一致している。

30

【0018】

図5と図6において、ソース電極50'、50''とその周辺の点区域がゲート・ソース寄生容量Cgsを形成する。寄生容量Cgsは図5のものに対し、図6のものが大きくなっている。このため、ソース電極の幅は図6のゲートドライバから遠い位置のTFTのものが広がっている。一方、TFT素子のチャネル幅は図5においてW'、図6においてW''として示され、TFT素子のチャネルギャップは図5においてL'、図6においてL''として示されている。本発明によると、寄生容量Cgsを変えてもTFT素子のチャネル幅とチャネルギャップは同じに維持される。即ち、 $W' = W''$ 、 $L' = L''$ となるように、ソース電極とドレイン電極が設計される。

40

【0019】

図5と図6の例では、入れ子状に凹形のドレイン電極の中にソース電極が入っている基本構造をしている。図6で寄生容量Cgsを大きくするためソース電極の幅を広くした分、チャネル長を一定（即ち $W' = W''$ ）にすべくドレイン電極の両側の辺は短くなっている。即ちIVの長さを大きくしている。又、チャネルギャップを一定（即ち $L' = L''$ ）にすべく、ドレイン電極のへこみ部の横幅は広くしている。又、チャネルギャップLを一定にすべくドレイン電極の下辺の幅を広くしている。このように、寄生容量Cgsを変えて突き抜け電圧 ΔV_g をゲート線（アドレス線）についてゲートドライバの近端から遠端にわたっ

50

て一定にし、 V_{COM} をゲート線にわたって一定であってもフリッカが生じないようにしているが、チャンネル幅 W とギャップ L を一定にしているので、 TFT 素子のターンオン電流 I_{on} 、ターンオフ電流 I_{off} も一定になり、寄生容量 C_{gs} を変化させることによる設計上の弊害がない。

【0020】

具体的には、先ず所望の C_{gs} を得るようソース電極50"の幅を決め、図6に示すI、II、III、IV及びVの幅を適宜選択することで、一定のチャンネル長とチャンネルギャップを実現している。

【0021】

前述のように、このように寄生容量 C_{gs} (チャンネル幅 W)の変化により、ゲートドライバからの距離に対し一定な V_{COM} になるが、製造上のゲート線と信号線の線幅、ゲート絶縁膜のパラツキで、製造毎に特性が異なり、フリッカを十分に抑えることはできない。本発明の V_{COM} 調整法では、LCD表示装置の表示中央部のフリッカが抑制されるよう V_{COM} レベルの調整による設定を行う。その設定で周辺にフリッカが生じているときは、その後に周辺のフリッカ調整を行うために V_{gh}/V_{gl} (V_{gh} :ゲート電圧のオンレベル、 V_{gl} :ゲート電圧のオフレベル)の設定を行う。

【0022】

図7、8に示すように、寄生容量 C_{gs} (チャンネル幅 W)の変化を有するLCD表示装置での V_{COM} 特性は、製造上におけるゲート線と信号線の線幅、ゲート絶縁膜の膜厚等のパラツキによりずれる。図7はゲート線や信号線の線幅が細くなった場合、またはゲート絶縁膜の膜厚が厚くなった場合に起こる。この場合は V_{gh} を大きくすると点線のように下にそっている V_{COM} がフラットに調整できる。図8はゲート線や信号線の線幅が太くなった場合、またはゲート絶縁膜の膜厚が薄くなった場合に起こる。この場合は V_{gh} を小さくすると一点斜線のように下にそっている V_{COM} をフラットに調整できる。即ち V_{gh} により V_{COM} 特性のそりを調整ができることを本発明者は見出した。

【0023】

発明者の認識によると、 TFT 素子の寄生容量 C_{gs} (又はチャンネル幅 W)がゲートドライバの距離から一定であるようなLCD表示装置では、 V_{gh} を変えても V_{COM} 特性の"そり"の調整は事実上できなかった。従って、フリッカ防止のための V_{COM} 特性調整法は、 TFT 素子の寄生容量 C_{gs} (又はチャンネル幅 W)が変化しているタイプのアクティブマトリックスLCD表示装置に適用されるものである。

【0024】

本発明の実施例として、画素電極と共通電極が対向する異なる基板上にそれぞれ形成されているTN型液晶表示装置において説明されたが、第1の基板(アレイ基板)上にゲート線、データ線、画素電極と共に共通電極が形成される液晶表示装置の TFT 構造にも適用できることは明らかであり、即ち、TN、IPS、FFS、MVA型の液晶表示装置に適用できるものである。

【図面の簡単な説明】

【0025】

【図1】画素電極電圧と V_{COM} 電圧を示す図である。

【図2】フリッカ防止のための V_{COM} レベルを示す図である。

【図3】本発明の調整法の適用される液晶表示装置での画素領域内の TFT 素子と画素電極を示す図である。

【図4】本発明の調整法の適用される液晶表示装置での液晶表示装置の断面を示す図である。

【図5】ゲート線上におけるゲートドライバに近い TFT 素子の構造の例を示す図である。

【図6】ゲート線上におけるゲートドライバに遠い TFT 素子の構造の例を示す図である。

【図7】近端部 V_{COM} 特性について、本発明の調整法による V_{COM} 特性のフラット化を示す

10

20

30

40

50

図である。

【図 8】遠端部 V_{COM} 特性について、本発明の調整法による V_{COM} 特性のフラット化を示す図である。

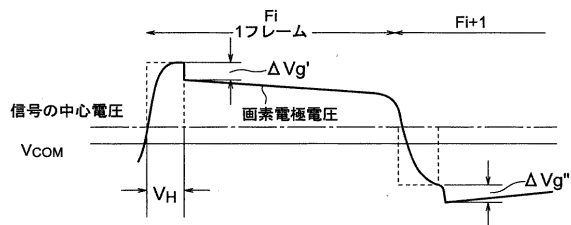
【符号の説明】

【 0 0 2 6 】

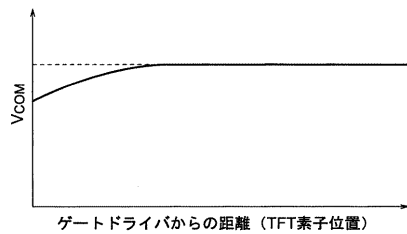
- 1 0 . . . ゲート線
- 1 0 a . . . ゲート線突出部
- 2 0 . . . データ線
- 3 0 . . . アモルファス半導体パッチ
- 4 0 . . . ドレイン電極
- 5 0 . . . ソース電極
- 6 0 . . . 画素電極
- 6 0 a . . . 蓄積容量部

10

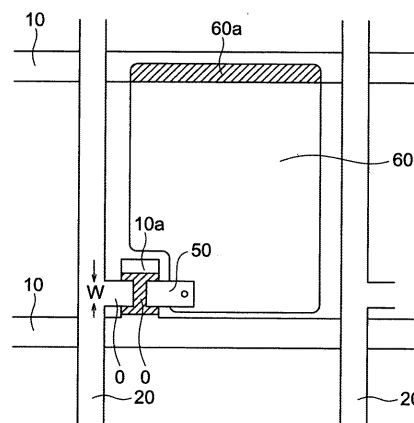
【図 1】



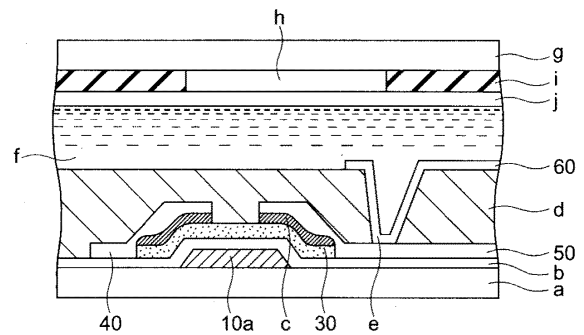
【図 2】



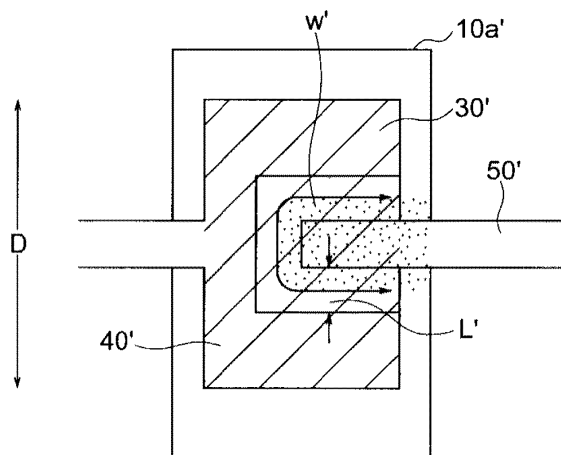
【図 3】



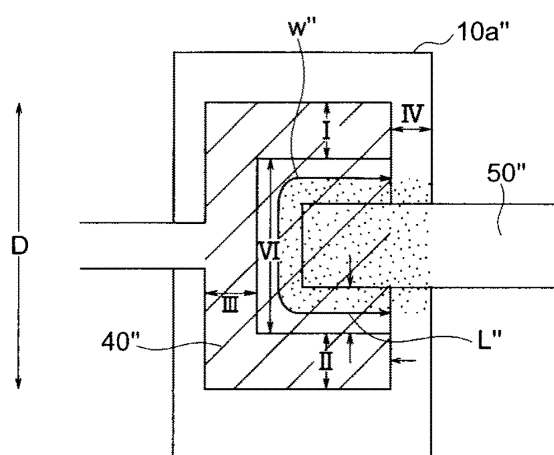
【図 4】



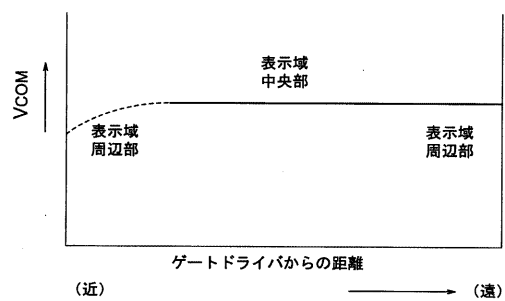
【図 5】



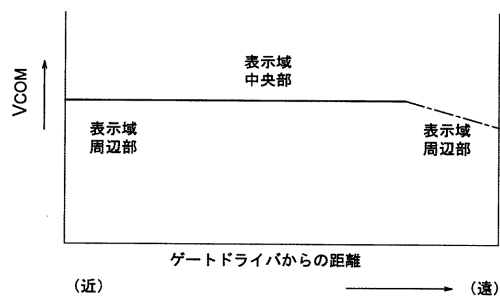
【図 6】



【図 7】



【図 8】



 フロントページの続き

(51)Int.Cl.

F I

G 0 9 G	3/20	6 2 4 B
G 0 9 G	3/20	6 2 4 D
G 0 9 G	3/20	6 2 4 E
G 0 9 G	3/20	6 8 0 G
G 0 9 G	3/36	

(74)代理人 100096688

弁理士 本宮 照久

(74)代理人 100104352

弁理士 朝日 伸光

(74)代理人 100128657

弁理士 三山 勝巳

(72)発明者 永山 和由

 神奈川県横浜市港北区新横浜3 - 17 - 5 ベネックスS - 2 , 8階 LG フィリップス LC
 D株式会社 日本研究所内

審査官 藤田 都志行

(56)参考文献 特開2000 - 147539 (JP, A)

特開平11 - 084428 (JP, A)

特開2004 - 093821 (JP, A)

特開平10 - 206823 (JP, A)

特開平5 - 232512 (JP, A)

特開平5 - 232509 (JP, A)

(58)調査した分野(Int.Cl. , DB名)

G 0 2 F 1 / 1 3 3

G 0 2 F 1 / 1 3 6 8

G 0 9 G 3 / 2 0

G 0 9 G 3 / 3 6

专利名称(译)	防止液晶显示装置闪烁的方法		
公开(公告)号	JP4860233B2	公开(公告)日	2012-01-25
申请号	JP2005310880	申请日	2005-10-26
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji.菲利普斯杜天公司，有限公司		
当前申请(专利权)人(译)	Eruji显示有限公司		
[标]发明人	永山和由		
发明人	永山 和由		
IPC分类号	G02F1/133 G02F1/1368 G09G3/20 G09G3/36		
FI分类号	G02F1/133.550 G02F1/133.525 G02F1/1368 G09G3/20.611.E G09G3/20.621.M G09G3/20.624.B G09G3/20.624.D G09G3/20.624.E G09G3/20.680.G G09G3/36		
F-TERM分类号	2H092/JA26 2H092/JA32 2H092/NA23 2H092/PA06 2H093/NA18 2H093/NA43 2H093/NA53 2H093/NC09 2H093/NC18 2H093/NC34 2H093/NC67 2H093/ND10 2H192/AA24 2H192/AA44 2H192/BC31 2H192/CB05 2H192/CB45 2H192/CB52 2H192/DA02 2H192/DA71 2H192/EA22 2H192/EA43 2H192/HB03 2H192/HB73 2H193/ZA04 2H193/ZA06 2H193/ZB06 2H193/ZB46 2H193/ZD23 2H193/ZF59 2H193/ZH40 2H193/ZH45 2H193/ZH46 5C006/AC25 5C006/AF46 5C006/AF51 5C006/AF52 5C006/AF53 5C006/AF61 5C006/AF71 5C006/BB16 5C006/BC03 5C006/BC06 5C006/BC11 5C006/BC20 5C006/BF43 5C006/EB04 5C006/FA18 5C006/FA23 5C080/AA10 5C080/BB05 5C080/DD06 5C080/DD28 5C080/EE28 5C080/FF11 5C080/JJ04 5C080/JJ06		
代理人(译)	臼井伸一 朝日 伸光		
其他公开文献	JP2007121485A		
外部链接	Espacenet		

摘要(译)

要解决的问题为有源矩阵液晶显示装置提供防闪烁调整方法。解决方案：在液晶显示装置中，其结构使得TFT元件的寄生电容（ C_{gs} ）随着与栅极自由体的距离变大而变大，并且实现公共电极电压 V_{COM} 的平坦化，通过设定 V_{COM} 的电压电平，以防止中心部分的闪烁，然后调节栅极信号电压的导通电压 V_{gh} 的大小，以防止显示器的周边部分闪烁，从而防止整个显示区域中的闪烁。点域7

【图 3】

