

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4785409号
(P4785409)

(45) 発行日 平成23年10月5日(2011.10.5)

(24) 登録日 平成23年7月22日(2011.7.22)

(51) Int.Cl.

F I

G O 2 F 1/1368 (2006.01)

G O 2 F 1/1368

G O 2 F 1/1343 (2006.01)

G O 2 F 1/1343

G O 2 F 1/1345 (2006.01)

G O 2 F 1/1345

G O 2 F 1/133 (2006.01)

G O 2 F 1/133 5 5 0

G O 9 G 3/20 (2006.01)

G O 9 G 3/20 6 1 1 D

請求項の数 10 (全 14 頁) 最終頁に続く

(21) 出願番号 特願2005-121188 (P2005-121188)
 (22) 出願日 平成17年4月19日(2005.4.19)
 (65) 公開番号 特開2005-309438 (P2005-309438A)
 (43) 公開日 平成17年11月4日(2005.11.4)
 審査請求日 平成20年4月2日(2008.4.2)
 (31) 優先権主張番号 10-2004-0026753
 (32) 優先日 平成16年4月19日(2004.4.19)
 (33) 優先権主張国 韓国(KR)

(73) 特許権者 390019839
 三星電子株式会社
 Samsung Electronics
 Co., Ltd.
 大韓民国京畿道水原市靈通区梅灘洞416
 416, Maetan-dong, Yeongtong-gu, Suwon-si,
 Gyeonggi-do, Republic of Korea

(74) 代理人 100121382

弁理士 山下 託嗣

(74) 代理人 100094145

弁理士 小野 由己男

(74) 代理人 100106367

弁理士 稲積 朋子

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

スイッチング素子を有する複数の画素からなる少なくとも一つの画素行と、
 前記スイッチング素子に接続され前記スイッチング素子をターンオンさせるゲートオン
 電圧を伝達する複数対のゲート線と、
 前記スイッチング素子に接続されデータ電圧を伝達する複数のデータ線と、
 を含み、
 前記各対のゲート線は前記画素行の上下に配置され、
 前記のデータ線のそれぞれは、1対の画素列の間に配置されており、
 前記各画素行において、隣接した2つのデータ線の間に位置する2つの画素は、同一の
 データ線に接続されている、
 液晶表示装置。

【請求項 2】

同一のデータ線に接続された画素のうち、データ線に隣接する画素のうちの1つと、デ
 ータ線と1つの画素を挟んで隣り合う画素のうちの1つと、は同一の画素行に属している
 、請求項1に記載の液晶表示装置。

【請求項 3】

上下に隣接した2つの画素は、互いに異なるデータ線に接続されている、請求項2に記
 載の液晶表示装置。

【請求項 4】

10

20

隣接したデータ線に沿って流れるデータ電圧の極性は互いに逆である、請求項3に記載の液晶表示装置。

【請求項 5】

各データ線に沿って流れるデータ電圧の極性は同一である、請求項3に記載の液晶表示装置。

【請求項 6】

前記液晶表示装置の見掛け反転は 1×2 ドット反転である、請求項5に記載の液晶表示装置。

【請求項 7】

左側端の画素列または右側端の画素列において、少なくとも一つの画素を反対側最後のデータ線に接続するための少なくとも一つのダミー線をさらに含む、請求項6に記載の液晶表示装置。

【請求項 8】

行方向に交互に配置されている複数の第 1 画素及び第 2 画素をそれぞれ含む複数の画素行と、

前記第 1 画素に接続されている複数の第 1 ゲート線と、

前記第 2 画素に接続されている複数の第 2 ゲート線と、

前記第 1 ゲート線及び前記第 2 ゲート線と交差し、隣接した一对の第 1 画素及び第 2 画素の間にそれぞれ配置されてこれに接続されている複数のデータ線と、

前記各画素行のうちの左側端または右側端に位置した第 1 画素または第 2 画素を反対側最後のデータ線に接続するための少なくとも一つのダミー線と、

を含み、

前記データ線のそれぞれは、1 対の画素列の間に配置されており、

前記各画素行において、隣接した二つのデータ線の間に位置する第 1 画素及び第 2 画素は、同一のデータ線に接続されている、

薄膜トランジスタ表示板。

【請求項 9】

同一のデータ線に接続された画素のうち、データ線に隣接する第 1 画素のうちの一つと、データ線と 1 つの画素を挟んで隣り合う第 2 画素のうちの一つと、は同一の画素行に属している、請求項8に記載の薄膜トランジスタ表示板。

【請求項 10】

上下に隣接した第 1 画素及び第 2 画素は、互いに異なるデータ線に接続されている、請求項9に記載の薄膜トランジスタ表示板。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は液晶表示装置に関する。

【背景技術】

【0002】

一般に、液晶表示装置 (LCD) は、画素電極及び共通電極が具備された二つの表示板と、その間に入っている誘電率異方性を有する液晶層とを含む。画素電極は、行列状に配列され、薄膜トランジスタ (TFT) 等のスイッチング素子に接続されて一行ずつ順次にデータ電圧が印加される。共通電極は、表示板の全面に対して形成され、共通電圧が印加される。画素電極と共通電極、及びその間の液晶層は、回路的には液晶キャパシタをなし、液晶キャパシタは、これに接続されたスイッチング素子と共に画素を構成する基本単位となる。

【0003】

このような液晶表示装置では、二つの電極に電圧を印加して液晶層に電界を生成し、該電界の強度を調節して液晶層を通過する光の透過率を調節することによって所望の画像を得る。この時、液晶層に一方向の電界が長く印加されることによって発生する劣化現象を

10

20

30

40

50

防ぐため、フレーム毎に、行毎に、若しくは画素毎に共通電圧に対するデータ電圧の極性を反転させる。

【発明の開示】

【発明が解決しようとする課題】

【0004】

前記データ電圧の反転方式のうち、画素毎にデータ電圧の極性を反転させる場合（以下、ドット反転と言う。）、キックバック電圧（kick back voltage）による垂直フリッカー現象や垂直クロストーク（vertical crosstalk）現象などが減少して画質が向上する。しかし、所定の行毎及び列毎にデータ電圧の極性を反転させることで、データ線へのデータ電圧の印加動作が複雑になり、かつデータ線の信号遅延による不具合がある。このため、信号遅延を減らすために低抵抗物質でデータ線を作製する等、製造工程が複雑で、かつ製造コストが増加する。

10

【0005】

これに対し、所定の列毎にデータ電圧の極性を反転させる場合（以下、列反転と言う。）、一つのデータ線を通じて流れるデータ電圧の極性がフレーム毎にのみ反転され、データ線の信号遅延問題が大きく減少する。

【0006】

ところが、列反転ではドット反転のメリットを維持することができず、垂直フリッカー現象や垂直クロストーク現象などが生じ、液晶表示装置の画質が悪化する。

また、液晶表示装置は、スイッチング素子を制御するためのゲート信号を伝達するゲート線と、電界生成電極に印加するためのデータ電圧を伝達するデータ線、並びにゲート信号及びデータ電圧を生成するゲート駆動部とデータ駆動部を備える。ゲート駆動部及びデータ駆動部は複数の駆動集積回路チップからなるのが普通であり、チップの数をできる限り減らすことが生産コスト節減において重要要素である。特に、データ駆動集積回路チップはゲート駆動回路チップに比べて高価であってチップ数を減らすことは一層重要である。

20

【0007】

本発明の目的は、液晶表示装置の画質を向上させることである。本発明の他の目的は、列反転及びドット反転のメリットを両方有する液晶表示装置を提供することである。本発明の他の目的は、駆動回路チップの数を減らして液晶表示装置の製造コストを節減することである。

30

【課題を解決するための手段】

【0008】

前述した目的を達成するために、本発明1は、
・スイッチング素子を有する複数の画素からなる少なくとも一つの画素行、
・前記スイッチング素子に接続され前記スイッチング素子をターンオンさせるゲートオン電圧を伝達する複数対のゲート線、
・前記スイッチング素子に接続されデータ電圧を伝達する複数のデータ線、を含み、
・前記各対のゲート線は前記画素行の下部及び上部に配置され、前記のデータ線のそれぞれは、1対の画素列の間に配置されている液晶表示装置を提供する。

40

【0009】

このような液晶表示装置においては、各画素のスイッチング素子の位置を配線の長さができるだけ短くなるような位置に、画素行毎に変えることが好ましい。駆動部反転は列反転方式であっても見掛け反転は1×2ドット反転であることができるので、画質が向上する。

【0010】

発明2は、発明1において、同一のデータ線に接続された画素のうち、データ線に隣接する画素のうちの1つと、データ線と1つの画素を挟んで隣り合う画素のうちの1つと、は同一の画素行に属している液晶表示装置を提供する。

【0011】

50

発明 3 は、発明 1 において、前記各画素行において、隣接した二つのデータ線の間に位置する二つの画素は、同一のデータ線に接続されている液晶表示装置を提供する。

発明 4 は、発明 3 において、上下に隣接した二つの画素は、互いに異なるデータ線に接続されている液晶表示装置を提供する。

【 0 0 1 2 】

発明 5 は、発明 4 において、隣接したデータ線に沿って流れるデータ電圧の極性は逆である液晶表示装置を提供する。

発明 6 は、発明 4 において、各データ線に沿って流れるデータ電圧の極性は同一である液晶表示装置を提供する。

【 0 0 1 3 】

発明 7 は、発明 6 において、見掛け反転は 1×2 ドット反転である液晶表示装置を提供する。

発明 8 は、発明 7 において、左側端の画素列または右側端の画素列において、少なくとも一つの画素を反対側最後のデータ線に接続するための少なくとも一つのダミー線をさらに含む液晶表示装置を提供する。

【 0 0 1 4 】

発明 9 は、

- ・交互に配置されている複数の第 1 画素及び第 2 画素をそれぞれ含む複数の画素行、
- ・前記第 1 画素に接続されている複数の第 1 信号線、前記第 2 画素に接続されている複数の第 2 信号線、
- ・前記第 1 信号線と交差し、隣接した一对の第 1 画素及び第 2 画素の間にそれぞれ配置されてこれに接続されている複数の第 3 信号線、
- ・前記各画素行のうち左側端または右側端に位置した第 1 画素または第 2 画素を反対側最後の第 3 信号線に接続するための少なくとも一つの第 4 信号線、を含み、
- ・前記第 3 信号線それぞれは隣接する第 1 画素及び次隣接する第 2 画素に接続されている、薄膜トランジスタ表示板を提供する。

【 0 0 1 5 】

発明 10 は、前記発明 9 において、同一の第 3 信号線に接続された画素のうち、第 3 信号線に隣接する第 1 画素のうちの一つと、第 3 信号線と 1 つの画素を挟んで隣り合う第 2 画素のうちの一つと、は同一の画素行に属している薄膜トランジスタ表示板を提供する。

【 0 0 1 6 】

発明 11 は、発明 10 において、前記各画素行において、隣接した二つの第 3 信号線の間に位置する第 1 画素及び第 2 画素は、同一の第 3 信号線に接続されている薄膜トランジスタ表示板を提供する。

【 0 0 1 7 】

発明 12 は、発明 11 において、上下に隣接した第 1 画素及び第 2 画素は、互いに異なる第 3 信号線に接続されている薄膜トランジスタ表示板を提供する。

【発明の効果】

【 0 0 1 8 】

本発明では隣接した画素行の間にスイッチング素子が接続されたデータ線の位置を変更すれば、駆動部反転は列反転方式であっても見掛け反転は 1×2 ドット反転であることができる。従って、データ駆動部から列反転方式でデータ電圧の極性を決めて印加でき、データ線材料の選択幅が広くなり、製造工程を単純化し易く、かつ見掛け反転がドット反転であって画質が向上される。

【発明を実施するための最良の形態】

【 0 0 1 9 】

以下、添付した図面を参照して、本発明の実施例に対して、本発明が属する技術分野における通常の知識を有する者が容易に実施することができるよう詳細に説明する。しかし、本発明は、多様な形態で実現することができ、ここで説明する実施例に限定されない。

10

20

30

40

50

【 0 0 2 0 】

図面は、各種層及び領域を明確に表現するために、厚さを拡大して示している。明細書全体を通じて類似した部分については同一な図面符号を付けている。層、膜、領域、板などの部分が、他の部分の“上に”あるとする時、これは他の部分の“すぐ上に”ある場合に限らず、その中間に更に他の部分がある場合も含む。逆に、ある部分が他の部分の“すぐ上に”あるとする時、これは中間に他の部分がない場合を意味する。

【 0 0 2 1 】

本発明の実施例による液晶表示装置について、図面を参照して詳細に説明する。

図 1 は、本発明の一実施例による液晶表示装置のブロック図であり、図 2 は、本発明の一実施例による液晶表示装置の一画素に対する等価回路図である。また、図 3 は、本発明

10

【 0 0 2 2 】

図 1 に示したように、本発明の一実施例による液晶表示装置は、液晶表示板組立体 3 0 0 及びこれに接続されたゲート駆動部 4 0 0 とデータ駆動部 5 0 0、データ駆動部 5 0 0 に接続された階調電圧生成部 8 0 0、及びこれらを制御する信号制御部 6 0 0 を含む。

【 0 0 2 3 】

液晶表示板組立体 3 0 0 は等価回路によれば、複数の表示信号線 ($G_1 - G_{2n}$ 、 $D_1 - D_m$ 、 L_1 、 L_2) と、これに接続されほぼ行列状に配列された複数の画素とを含む。

表示信号線 ($G_1 - G_{2n}$ 、 $D_1 - D_m$ 、 L_1 、 L_2) は、ゲート信号 (走査信号とも言う。) を伝達する複数のゲート線 ($G_1 - G_{2n}$) と、データ信号を伝達するデータ線 ($D_1 - D_m$)、及びダミー線 (L_1 、 L_2) を含む。ゲート線 ($G_1 - G_{2n}$) は、ほぼ行方向に延びて互いにほぼ平行であり、データ線 ($D_1 - D_m$) とダミー線 (L_1 、 L_2) は、ほぼ列方向に延びて互いにほぼ平行である。

20

【 0 0 2 4 】

図 3 に示したように、ゲート線 ($G_1 - G_{2n}$)、データ線 ($D_1 - D_m$) 及びダミー線 (L_1 、 L_2) が具備された液晶表示板組立体 3 0 0 の上方には液晶表示装置を駆動するための信号制御部 6 0 0、駆動電圧生成部 7 0 0 及び階調電圧生成部 8 0 0 等の回路要素を備えているプリント回路基板 (PCB) 5 5 0 が位置している。ダミー線 (L_1) は液晶表示板組立体 3 0 0 の最左側の周縁部付近に、ダミー線 (L_2) は液晶表示板組立体 3 0 0 の最右側の周縁部付近に、ほぼ行方向に延びてデータ線 ($D_1 - D_m$) とほぼ平行である。

30

【 0 0 2 5 】

液晶表示板組立体 3 0 0 及び PCB 5 5 0 は、可撓性回路 (FPC) 基板 5 1 0 を通じて互いに電氣的、物理的に接続されている。

前記可撓性回路基板 5 1 0 には、データ駆動部 5 0 0 を構成するデータ駆動集積回路チップ 5 4 0 が実装されており、複数のデータ伝達線 5 2 1 が設けられている。該データ伝達線 5 2 1 は、接触部 (C 1) を通じて液晶表示板組立体 3 0 0 上に形成された複数のデータ線 ($D_1 - D_m$) にそれぞれ接続されて該当するデータ電圧を伝達する。

【 0 0 2 6 】

最左側及び最右側に位置した FPC 基板 5 1 0 には、信号伝達線 5 2 2 a、5 2 2 b、5 2 3 a、5 2 3 b が設けられている。信号伝達線 5 2 2 a、5 2 2 b、5 2 3 a、5 2 3 b は、接触部 C 3 を通じて PCB 5 5 0 に設けられた信号伝達線 5 5 1 a、5 5 1 b に接続される。

40

【 0 0 2 7 】

最左側の FPC 基板 5 1 0 に形成された信号伝達線 5 2 2 a は、接触部 C 2 を通じて最左側に位置したデータ線 (D_1) に接続されており、更に、接触部 (C 3) を通じて信号伝達線 5 5 1 a、5 2 3 a に接続され、接触部 (C 1) を通じてダミー線 (L_2) に接続されている。

【 0 0 2 8 】

また、最右側の FPC 基板 5 1 0 に形成された信号伝達線 5 2 3 b は、最右側に位置したデータ線 (D_m) に接触部 (C 2) を通じて連結され、更に、接触部 (C 3) を通じて

50

信号伝達線 5 5 1 b、5 2 3 b に連結されて接触部 (C 1) を通じてダミー線 (L 1) に連結されている。

【0029】

各画素は、表示信号線 ($G_1 - G_{2n}$ 、 $D_1 - D_m$) 及びダミー線 (L 1、L 2) に接続されたスイッチング素子 (Q) と、これに接続された液晶キャパシタ (C_{LC})、及びストレージキャパシタ (C_{ST}) を含む。ストレージキャパシタ (C_{ST}) は必要に応じて省略することができる。

【0030】

薄膜トランジスタ等のスイッチング素子 (Q) は下部表示板 100 に具備されており、三端子素子であって、その制御端子及び入力端子はそれぞれゲート線 ($G_1 - G_{2n}$)、データ線 ($D_1 - D_m$)、及びダミー線 (L 1、L 2) に接続され、出力端子は液晶キャパシタ (C_{LC}) 及びストレージキャパシタ (C_{ST}) に接続されている。

10

【0031】

液晶キャパシタ (C_{LC}) は、下部表示板 100 の画素電極 190 と、上部表示板 200 の共通電極 270 を二つの端子とし、二つの電極 190、270 の間の液晶層 3 は誘電体として機能する。画素電極 190 はスイッチング素子 (Q) に接続され、共通電極 270 は上部表示板 200 の全面に形成されて共通電圧 (V_{com}) の印加を受ける。図 2 とは異なって、共通電極 270 が下部表示板 100 に具備される場合もあり、その場合、二つの電極 190、270 のうちの少なくとも一つは、線形または棒形に形成することができる。

20

【0032】

液晶キャパシタ (C_{LC}) の補助的な役割をするストレージキャパシタ (C_{ST}) は、下部表示板 100 に具備された別の信号線 (図示せず) 及び画素電極 190 が絶縁体を介在して重なってなり、該別の信号線には共通電圧 (V_{com}) 等の定められた電圧が印加される。しかし、ストレージキャパシタ (C_{ST}) は、画素電極 190 が絶縁体を媒介としてすぐ上の前段ゲート線と重なってなることができる。

【0033】

図 3 に示したように、一対のゲート線 (G_1 及び G_2 、 G_3 及び G_4) は、一行の画素電極 190 の上下に配置されている。また、データ線 ($D_1 - D_m$) は、二列の画素電極 190 の間に一つずつ配置されている。即ち、一対の画素列の間に一つのデータ線が配置されている。かかるゲート線 ($G_1 - G_{2n}$) 及びデータ線 ($D_1 - D_m$) と画素電極 190 間の接続についてより詳しく説明する。

30

【0034】

画素電極 190 の上側及び下側に接続された複数対のゲート線 ($G_1 - G_{2n}$) は、各画素電極 190 の上側または下側に形成されたスイッチング素子 (Q) を通じて該当する画素電極 190 に接続される。

【0035】

即ち、奇数番目画素行において、データ線 ($D_1 - D_m$) を中心に左側に位置したスイッチング素子 (Q) は、上側に位置したゲート線 (G_1 、 G_5 、 G_9) に接続され、データ線 ($D_1 - D_m$) を中心に右側に位置したスイッチング素子 (Q) は、下側に位置したゲート線 (G_2 、 G_6 、 G_{10}) に接続されている。これに対し、偶数番目画素行に位置した上側ゲート線 (G_3 、 G_7 、 G_{11}) 及び下側ゲート線 (G_4 、 G_8 、 G_{12}) とスイッチング素子 (Q) との接続は、奇数番目画素行と逆である。即ち、データ線 ($D_1 - D_m$) を中心に右側に位置したスイッチング素子 (Q) は、上側に位置したゲート線 (G_3 、 G_7 、 G_{11}) に接続され、データ線 ($D_1 - D_m$) を中心に左側に位置したスイッチング素子 (Q) は、下側に位置したゲート線 (G_4 、 G_8 、 G_{12}) に接続されている。

40

【0036】

奇数番目行の画素電極 190 のうちデータ線 ($D_1 - D_m$) を中心に左側に位置した画素電極 190 は、スイッチング素子 (Q) を通じてすぐに隣接したデータ線 ($D_1 - D_m$) に接続され、データ線 ($D_1 - D_m$) を中心に右側に位置した画素電極 190 は、スイッチン

50

グ素子 (Q) を通じて次隣接するデータ線に接続されている。偶数番目行の画素電極 190 のうちデータ線 ($D_1 - D_m$) を中心に左側に位置した画素電極 190 は、スイッチング素子 (Q) を通じて直前のデータ線に接続され、データ線 ($D_1 - D_m$) を中心に右側に位置した画素電極 190 は、スイッチング素子 (Q) を通じてすぐ隣接したデータ線に接続されている。また、第 1 列の偶数番目行の画素電極 190 は、最後のデータ線 (D_m) に連結されたダミー線 (L_1) に接続され、最後の列の奇数番目行の画素電極 190 は、第 1 のデータ線 (D_1) に連結された連結線 (L_1) に接続されている。

【0037】

既に説明したように、各画素に形成されたスイッチング素子 (Q) は、連結されたデータ線 ($D_1 - D_m$) やダミー線 (L_1 、 L_2) に接続され易くするよう、つまり連結長さができるだけ短くなるような位置に形成される。従って、図 3 に示した配置において、スイッチング素子 (Q) の位置は画素行毎に変わる。即ち、奇数番目行に位置した画素対のうちのデータ線 ($D_1 - D_m$) の左側に位置した画素においては、右側上段部にスイッチング素子 (Q) が形成され、データ線 ($D_1 - D_m$) の右側に位置した画素においては、右側下段部にスイッチング素子 (Q) が形成されている。

10

【0038】

これに対し、偶数番目行に位置した画素のスイッチング素子 (Q) の形成位置は、隣接した画素行の形成位置と正反対である。即ち、偶数番目行に位置した画素対のうちのデータ線 ($D_1 - D_m$) の左側に位置した画素においては、左側下段部にスイッチング素子 (Q) が形成され、データ線 ($D_1 - D_m$) の右側に位置した画素においては、左側上段部にスイッチング素子 (Q) が形成されている。

20

【0039】

図 3 に示した画素電極 190 とデータ線 ($D_1 - D_m$) の接続に関しては、各画素行において、隣接した二つのデータ線の間に位置した二つの画素のスイッチング素子 (Q) は同一なデータ線に接続されている。即ち、奇数番目画素行において、二つのデータ線の間に形成された二つの画素のスイッチング素子 (Q) は、右側に位置したデータ線に接続され、偶数番目画素行において、二つのデータ線の間に形成された二つの画素のスイッチング素子 (Q) は、左側に位置したデータ線に接続されている。

【0040】

図 3 に示した配置は一例であって、奇数番目行と偶数番目行における画素電極 190 とデータ線 ($D_1 - D_m$) 及びゲート線 ($G_1 - G_{2n}$) の接続は互いに入れ替わることもあり、さらに別の接続関係を有することもできる。

30

【0041】

一方、色表示を実現するためには、各画素が三原色のうちの一色を固有に表示したり (空間分割)、各画素が時間によって交互に三原色を表示して (時間分割)、三原色の空間的、時間的な和によって所望のカラーが認識されるようにする。図 2 は、空間分割の一例であって、各画素が画素電極 190 に対応する領域において、赤色、緑色、または青色のカラーフィルタ 230 を具備している様子を示している。図 2 とは異なって、カラーフィルタ 230 は、下部表示板 100 の画素電極 190 の上または下に形成することもできる。

40

【0042】

図 3 で、カラーフィルタ 230 は、行方向には赤色、緑色、青色の順で配列され、各画素列は一色のカラーフィルタ 230 のみを備えるストライプ配列となっている。

液晶表示板組立体 300 の二つの表示板 100、200 のうちの少なくとも一つの外側面には、光を偏光する偏光子 (図示せず) が付着されている。

【0043】

以下、液晶表示板組立体 300 の下部表示板 100 構造について、図 4 乃至図 6 を参照して詳細に説明する。

図 4 は、本発明の一実施例による薄膜トランジスタ表示板の配置図であり、図 5 及び図 6 は、各々図 4 の薄膜トランジスタ表示板の V-V' 線及び V I-V I' 線による断面図で

50

ある。

【 0 0 4 4 】

透明なガラスなどの絶縁基板 1 1 0 上に、複数のゲート線 1 2 1 a、1 2 1 b 及び複数の維持電極線 1 3 1 が形成されている。

ゲート線 1 2 1 a、1 2 1 b は主に横方向に延びており、各ゲート線 1 2 1 の一部は下または上に突出してゲート電極 1 2 4 をなす。二つのゲート線 1 2 1 a、1 2 1 b は互いに隣接して対をなして、互いに逆方向に延びているゲート電極 1 2 4 を備える。最上のゲート線 1 2 1 b と最下のゲート線 1 2 1 a は対をなさない場合もある。

【 0 0 4 5 】

維持電極線 1 3 1 は、距離の遠いゲート線 1 2 1 a、1 2 1 b の間に主に横方向に延びており、縦方向に延びている複数の維持電極 1 3 3 を含む。

ゲート線 1 2 1 a、1 2 1 b 及び維持電極線 1 3 1 の上には、窒化ケイ素 (S i N x) などからなるゲート絶縁膜 1 4 0 が形成されている。

【 0 0 4 6 】

前記ゲート絶縁膜 1 4 0 上には、水素化非晶質シリコンなどからなる複数の線状半導体 1 5 1 が形成されている。線状半導体 1 5 1 は、主に縦方向に延びており、ここから複数の突出部 1 5 4 がゲート電極 1 2 4 に向けて延びている。

【 0 0 4 7 】

半導体 1 5 1 上部には、シリサイドまたは n 型不純物が高濃度にドーピングされている n+水素化非晶質シリコンなどの物質からなる複数の線状及び島状抵抗性接触部材 (o h m i c c o n t a c t) 1 6 1、1 6 5 が形成されている。線状接触部材 1 6 1 は複数の突出部 1 6 3 を備えており、該突出部 1 6 3 と島状接触部材 1 6 5 は対をなして半導体 1 5 1 の突出部 1 5 4 上に位置する。

【 0 0 4 8 】

抵抗接触部材 1 6 1、1 6 5 及びゲート絶縁膜 1 4 0 の上には、各々複数のデータ線 1 7 1 及び複数のドレイン電極 1 7 5 が形成されている。

データ線 1 7 1 は、主に縦方向に延びてゲート線 1 2 1 と交差し、データ電圧を伝達する。各データ線 1 7 1 は、他の層または外部装置との接続のために幅が拡張されている拡張部 1 7 9 と、ドレイン電極 1 7 5 に向けて延びた複数のソース電極 1 7 3 とを含む。ソース電極 1 7 3 とドレイン電極 1 7 5 は互いに分離されてゲート電極 1 2 4 に対し互いに反対側に位置する。ゲート電極 1 2 4、ソース電極 1 7 3、及びドレイン電極 1 7 5 は、半導体 1 5 1 の突出部 1 5 4 と共に薄膜トランジスタ (T F T) をなし、薄膜トランジスタのチャンネル (c h a n n e l) は、ソース電極 1 7 3 とドレイン電極 1 7 5 との間の突出部 1 5 4 に設けられる。データ線 1 7 1 の一部は、隣接した二つのゲート線 1 2 1 の間を横方向に延びて次隣接画素のソース電極 1 7 3 となる。

【 0 0 4 9 】

抵抗性接触部材 1 6 1、1 6 5 は、その下部の半導体 1 5 1 と、その上部のデータ線 1 7 1 及びドレイン電極 1 7 5 の間にのみ存在し、接触抵抗を低くする役割を果たす。線状半導体 1 5 1 は、薄膜トランジスタが位置する突出部 1 5 4 を除いて、データ線 1 7 1、ドレイン電極 1 7 5、及びその下部の抵抗性接触部材 1 6 1、1 6 5 と実質的に同一平面形状を有する。即ち、線状半導体 1 5 1 は、データ線 1 7 1 及びドレイン電極 1 7 5 と、その下部の抵抗性接触部材 1 6 1、1 6 5 の下に存在する部分の他にも、ソース電極 1 7 3 とドレイン電極 1 7 5 の間にこれらで覆われず露出された部分を有する。これとは異なって、突出部 1 5 4 のみを残し他の部分は全て除去できる。

【 0 0 5 0 】

データ線 1 7 1 及びドレイン電極 1 7 5 と、露出された半導体 1 5 1 部分の上には保護膜 1 8 0 が形成されている。

保護膜 1 8 0 には、ドレイン電極 1 7 5 及びデータ線 1 7 1 の拡張部 1 7 9 をそれぞれ露出する複数の接触孔 (c o n t a c t h o l e) 1 8 5、1 8 1 が形成され、ゲート絶縁膜 1 4 0 と共にゲート線 1 2 1 の拡張部 1 2 9 を露出する複数の接触孔 1 8 1 が形成

10

20

30

40

50

されている。

【0051】

保護膜180上には、ITOまたはIZOからなる複数の画素電極190及び複数の接触補助部材192、199が形成されている。

画素電極190は、接触孔185を通じてドレイン電極175と物理的・電氣的に連結されてドレイン電極175からデータ電圧が印加される。データ電圧が印加された画素電極190は、共通電圧(Vcom)が印加される共通電極270と共に電場を生成することによって、二つの電極190、270の間の液晶層3の液晶分子を再配列する。

【0052】

また、画素電極190及び共通電極270は液晶キャパシタ(CLC)をなして、薄膜トランジスタがターンオフされた後にも印加された電圧を維持し、電圧維持能力を強化するために液晶キャパシタと並列に接続されたストレージキャパシタは、画素電極190及びそれと隣接する維持電極線131の重畳などで作られる。

【0053】

更に維持電極133は、データ線171が間に無い二つの画素電極190間に位置して、二つの画素電極190の結合容量による干渉を減らす役割を果たす。

画素電極190上には、液晶層を配向できる配向膜(図示せず)が塗布されている。

【0054】

この時、ゲート線121a、121b、維持電極線131、データ線171、及びドレイン電極175等は、各々Cr、Al、AlNd、Mo、MoWなどの単一層であることができる。更に、2種類の金属からなる二重層構造であることもできる。

【0055】

再び図1を参照すれば、階調電圧生成部800は、画素の透過率に関連する二組の複数階調電圧を生成する。そのうち一組は共通電圧(Vcom)に対し正の値を有し、もう一組は負の値を有する。

【0056】

ゲート駆動部400は、液晶表示板組立体300のゲート線(G_1 - G_{2n})に接続されて、外部からのゲートオン電圧(Von)とゲートオフ電圧(Voff)との組み合わせからなるゲート信号をゲート線(G_1 - G_{2n})に印加し、複数の集積回路で構成される。

【0057】

データ駆動部500は、液晶表示板組立体300のデータ線(D_1 - D_m)に接続されて、階調電圧生成部800からの階調電圧を選択してデータ信号として画素に印加する

複数のゲート駆動集積回路またはデータ駆動集積回路は、チップの形態でFPC基板に実装してFPC基板を液晶表示板組立体300に付着することも、FPC基板を用いずガラス基板上に該集積回路を直接付着することもできる(COG実装方式: chip on glass)。更に、該集積回路のような機能を有する回路を画素の薄膜トランジスタと共に液晶表示板組立体300に直接設けることもできる。

【0058】

信号制御部600は、ゲート駆動部400及びデータ駆動部500などの動作を制御する。

以下、このような液晶表示装置の表示動作について詳細に説明する。

【0059】

信号制御部600は、外部のグラフィック制御部(図示せず)から入力映像信号(R、G、B)及びその表示を制御する入力制御信号、例えば垂直同期信号(Vsync)と水平同期信号(Hsync)、メインクロック(MCLK)、データイネーブル信号(DE)などが提供される。信号制御部600の入力映像信号(R、G、B)及び入力制御信号に基づいて、映像信号(R、G、B)を液晶表示板組立体300の動作条件に合わせて適宜に処理し、ゲート制御信号(CONT1)及びデータ制御信号(CONT2)などを生成した後、ゲート制御信号(CONT1)をゲート駆動部400に送り、データ制御信号(CONT2)及び処理した映像信号(DAT)をデータ駆動部500に送る。ここで、

10

20

30

40

50

映像信号 (R、G、B) の処理は、図 3 に示した液晶表示板組立体の画素配列によって映像データ (R、G、B) を再配列する動作を含む。

【 0 0 6 0 】

ゲート制御信号 (C O N T 1) は、ゲートオン電圧 (V o n) の出力開始を指示する垂直同期開始信号 (S T V)、ゲートオン電圧 (V o n) の出力時期を制御するゲートクロック信号 (C P V)、及びゲートオン電圧 (V o n) の持続時間を限定する出力イネーブル信号 (O E) などを含む。

【 0 0 6 1 】

データ制御信号 (C O N T 2) は、映像データ (D A T) の伝送開始を知らせる水平同期開始信号 (S T H)、データ線 (D₁-D_m) に該当データ電圧の印加を指示するロード信号 (T P)、共通電圧 (V c o m) に対するデータ電圧の極性 (以下、“共通電圧に対するデータ電圧の極性”を略して“データ電圧の極性”と言う。) を反転させる反転信号 (R V S)、及びデータクロック信号 (H C L K) などを含む。

10

【 0 0 6 2 】

データ駆動部 5 0 0 は、信号制御部 6 0 0 からのデータ制御信号 (C O N T 2) に従って一行の画素のうちの半分に対する映像データ (D A T) 群を順に受信し、階調電圧生成部 8 0 0 からの階調電圧のうちの各映像データ (D A T) に対応する階調電圧を選択することによって映像データ (D A T) を該当データ電圧に変換した後、これを該当するデータ線 (D₁-D_m) に印加する。

【 0 0 6 3 】

20

ゲート駆動部 4 0 0 は、信号制御部 6 0 0 からのゲート制御信号 (C O N T 1) に従ってゲートオン電圧 (V o n) をゲート線 (G₁-G_{2n}) に順に印加して、該ゲート線 (G₁-G_{2n}) に接続されたスイッチング素子 (Q) をターンオンし、これにより、データ線 (D₁-D_m) に印加されたデータ電圧がターンオンされたスイッチング素子 (Q) を通じて該当する画素に印加される。

【 0 0 6 4 】

画素に印加されたデータ電圧と共通電圧 (V c o m) との差は、液晶キャパシタ (C L C) の充電電圧、つまり画素電圧として表れる。液晶分子は、画素電圧の大きさに応じてその配列を相違にし、これによって液晶層 3 を通過する光の偏光が変化する。かかる偏光の変化は、表示板 1 0 0、2 0 0 に付着された偏光子 (図示せず) によって光透過率の変化として表れる。

30

【 0 0 6 5 】

1/2 水平周期 (または 1/2 H) [水平同期信号 (H s y n c) 及びゲートクロック (C P V) の一周期] を単位としてデータ駆動部 5 0 0 及びゲート駆動部 4 0 0 は同じ動作を繰り返す。この方法で、1 フレーム期間の間全てのゲート線 (G₁-G_{2n}) に対し順にゲートオン電圧 (V o n) を印加して、全ての画素にデータ電圧を印加する。1 フレームが終了すれば次のフレームが開始し、各画素に印加されるデータ電圧の極性が直前フレームでの極性と逆になるようデータ駆動部 5 0 0 に印加される反転信号 (R V S) の状態が制御される (フレーム反転) 。

【 0 0 6 6 】

40

前記のようなフレーム反転の他にも、データ駆動部 5 0 0 は、1 フレーム内において隣接するデータ線 (D₁-D_m) に沿って下降するデータ電圧の極性を反転し、これによりデータ電圧が印加された画素電圧の極性も変化する。ところが、図 3 に示したように、画素とデータ線 (D₁-D_m) の接続は様々であって、データ駆動部 5 0 0 での極性反転パターンと、液晶表示板組立体 3 0 0 の画面に表示される画素電圧の極性反転パターンとが異なる。以下、データ駆動部 5 0 0 での反転を駆動部反転とし、画面に表示される反転を見掛け反転とする。

【 0 0 6 7 】

再び図 3 を参照して、本発明の実施例による反転形態について詳細に説明する。

図 3 で、駆動部反転は列反転であって、一つのデータ線に流れるデータ電圧は常に同一

50

極性であり、隣接した二つのデータ線に流れるデータ電圧は逆極性であり、見掛け反転は1×2ドット反転である。

【0068】

このように、見掛け反転がドット反転である場合、画素電圧が正極性である時と負極性である時にキックバック電圧のため生ずる輝度差が分散され、縦筋不良が減少する。

以上のように、隣接した画素行間にスイッチング素子が接続されたデータ線の位置を変更すれば、駆動部反転は列反転方式であっても見掛け反転は1×2ドット反転であることができる。従って、データ駆動部から列反転方式でデータ電圧の極性が決定されて印加され、データ線材料の選択幅が大きくなり、製造工程を単純化し易く、かつ見掛け反転がドット反転であって画質が向上される。

10

【0069】

以上で本発明の好ましい実施例について詳細に説明したが、本発明の権利範囲はこれに限定されず、特許請求の範囲で定義している本発明の基本概念を利用した当業者の様々な変形及び改良形態も本発明の権利範囲に属するものである。

【図面の簡単な説明】

【0070】

【図1】本発明の一実施例による液晶表示装置のブロック図である。

【図2】本発明の一実施例による液晶表示装置の一画素に対する等価回路図である。

【図3】本発明の一実施例による液晶表示装置の構造図である。

【図4】本発明の一実施例による薄膜トランジスタ表示板の配置図である。

20

【図5】図4の薄膜トランジスタ表示板のV-V'線及びVI-VI'線による断面図である。

【図6】図4の薄膜トランジスタ表示板のV-V'線及びVI-VI'線による断面図である。

【符号の説明】

【0071】

3 液晶層

92、97 接触補助部材

100、200 表示板

110、210 絶縁基板

30

121a、121b ゲート線

124 ゲート電極

131 維持電極線

140 ゲート絶縁膜

151、154 半導体

161、163、165 抵抗性接触部材

171、179 データ線

173 ソース電極

175 ドレイン電極

180 保護膜

40

181、185 接触孔

190 画素電極

230 カラーフィルタ

270 共通電極

300 液晶表示板組立体

400 ゲート駆動部

500 データ駆動部

510 可撓性回路基板

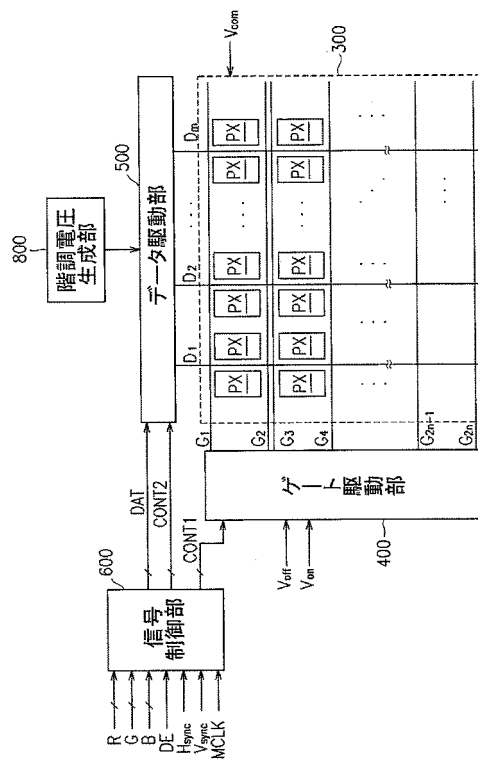
550 プリント回路基板

522a、522b、523a、523b、551a、551b 信号伝達線

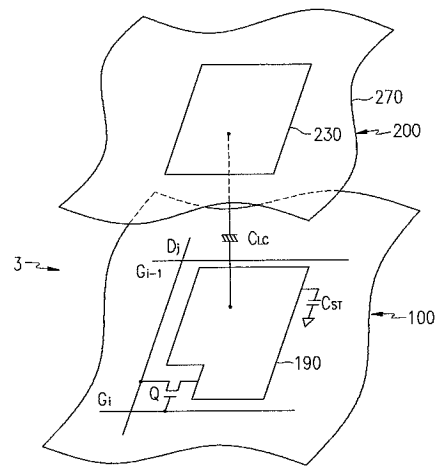
50

600 信号制御部
 700 駆動電圧生成部
 800 階調電圧生成部

【図1】



【図2】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/36 (2006.01)
 G 0 9 G 3/20 6 1 1 E
 G 0 9 G 3/20 6 2 1 B
 G 0 9 G 3/20 6 2 1 M
 G 0 9 G 3/20 6 2 4 B
 G 0 9 G 3/20 6 8 0 G
 G 0 9 G 3/36

- (72)発明者 姜 南 洙
 大韓民国京畿道安山市四 1 洞プルンマウル住公 5 団地アパート 5 1 7 棟 7 0 4 号
- (72)発明者 文 勝 煥
 大韓民国京畿道龍仁市水枝邑上 ヒョン 里現代アイパーク 6 次アパート 2 0 5 棟 1 5 0 4 号 (マ
 ンヒョンマウル)
- (72)発明者 金 聖 萬
 大韓民国ソウル市松坡区新川洞薔薇アパート 3 0 棟 5 0 8 号
- (72)発明者 李 成 榮
 大韓民国ソウル市陽川区新月 7 洞 3 3 1 - 5 4 番地ソニイルピラ ガ棟 3 0 2 号

審査官 右田 昌士

- (56)参考文献 特開平 1 1 - 3 2 6 8 6 9 (J P , A)
 特開平 0 2 - 0 4 2 4 2 0 (J P , A)
 特開 2 0 0 3 - 3 1 5 7 6 6 (J P , A)
 米国特許出願公開第 2 0 0 4 / 0 2 4 6 4 0 4 (U S , A 1)
 特開平 0 9 - 2 8 8 2 6 0 (J P , A)
 米国特許第 0 5 7 9 0 0 9 0 (U S , A)

- (58)調査した分野(Int.Cl. , D B 名)
- | | |
|---------|-------------|
| G 0 2 F | 1 / 1 3 6 8 |
| G 0 2 F | 1 / 1 3 3 |
| G 0 2 F | 1 / 1 3 4 3 |
| G 0 2 F | 1 / 1 3 4 5 |
| G 0 9 G | 3 / 2 0 |
| G 0 9 G | 3 / 3 6 |

专利名称(译)	液晶表示装置		
公开(公告)号	JP4785409B2	公开(公告)日	2011-10-05
申请号	JP2005121188	申请日	2005-04-19
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
当前申请(专利权)人(译)	三星电子株式会社		
[标]发明人	姜南洙 文勝煥 金聖萬 李成榮		
发明人	姜 南 洙 文 勝 煥 金 聖 萬 李 成 榮		
IPC分类号	G02F1/1368 G02F1/1343 G02F1/1345 G02F1/133 G09G3/20 G09G3/36 G02F1/136 G02F1/1362		
CPC分类号	G09G3/3614 G02F1/136286 G09G3/36 G09G3/3611 G09G3/3648 G09G3/3655 G09G2300/0413 G09G2300/0426 G09G2300/0452 G09G2310/08 G09G2320/0209 G09G2320/0247		
FI分类号	G02F1/1368 G02F1/1343 G02F1/1345 G02F1/133.550 G09G3/20.611.D G09G3/20.611.E G09G3/20.621.B G09G3/20.621.M G09G3/20.624.B G09G3/20.680.G G09G3/36		
F-TERM分类号	2H092/GA32 2H092/JA26 2H092/JA28 2H092/JA34 2H092/JA37 2H092/JA41 2H092/JB22 2H092/JB31 2H092/JB34 2H092/JB37 2H092/JB57 2H092/JB61 2H092/NA25 2H092/PA08 2H092/PA11 2H093/NA31 2H093/NA43 2H093/NA51 2H093/NC02 2H093/NC11 2H093/NC34 2H093/NC35 2H093/ND54 2H093/NE06 2H192/AA24 2H192/BC31 2H192/CB05 2H192/CB46 2H192/CC24 2H192/CC62 2H192/DA02 2H192/DA12 2H192/DA72 2H192/EA43 2H192/FA65 2H192/FB46 2H192/FB52 2H192/GA03 2H192/GD61 2H193/ZA04 2H193/ZA08 2H193/ZD21 2H193/ZF02 5C006/AC11 5C006/AC21 5C006/AC27 5C006/AC28 5C006/AF42 5C006/AF43 5C006/AF44 5C006/AF46 5C006/AF50 5C006/AF51 5C006/AF53 5C006/AF61 5C006/AF71 5C006/BB16 5C006/BB27 5C006/BC02 5C006/BC03 5C006/BC06 5C006/BC11 5C006/BC20 5C006/BC22 5C006/BC23 5C006/EB04 5C006/EB05 5C006/FA23 5C006/FA41 5C080/AA10 5C080/BB05 5C080/DD06 5C080/DD10 5C080/DD22 5C080/DD27 5C080/DD28 5C080/EE28 5C080/FF11 5C080/JJ02 5C080/JJ06		
代理人(译)	山下大沽嗣		
优先权	1020040026753 2004-04-19 KR		
其他公开文献	JP2005309438A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种液晶显示装置，其通过显著减少垂直串扰的发生而增加图像质量并且具有线和点反转的优点，并且通过减少液晶显示装置的制造成本来降低液晶显示装置的制造成本。驱动电路芯片的数量。解决方案：液晶显示装置包括至少一个像素行，该像素行包括具有开关元件的多个像素，连接到开关元件的多对栅极线以及传输导通的栅极导通电压开关元件，以及连接到开关元件并向其传输数据电压的多条数据线。各对栅极线设置在像素行的上侧和下侧。各个数据线设置在两个像素列之间，并连接到相邻像素和与相邻像素相邻的像素。这里，驱动部分反转是线反转，虚拟反转是1×2点反转。

【 図 1 】

