

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4781034号
(P4781034)

(45) 発行日 平成23年9月28日 (2011.9.28)

(24) 登録日 平成23年7月15日 (2011.7.15)

(51) Int. Cl.

F I

G O 2 F 1/1368 (2006.01)

G O 2 F 1/1368

G O 2 F 1/1339 (2006.01)

G O 2 F 1/1339 5 O 5

請求項の数 29 (全 14 頁)

(21) 出願番号	特願2005-214820 (P2005-214820)	(73) 特許権者	501426046
(22) 出願日	平成17年7月25日 (2005.7.25)		エルジー ディスプレイ カンパニー リ
(65) 公開番号	特開2006-189776 (P2006-189776A)		ミテッド
(43) 公開日	平成18年7月20日 (2006.7.20)		大韓民国 ソウル, ヨンドゥンポーク, ヨ
審査請求日	平成17年7月25日 (2005.7.25)		イドードン 2 O
審査番号	不服2010-12359 (P2010-12359/J1)	(74) 代理人	100110423
審査請求日	平成22年6月8日 (2010.6.8)		弁理士 曾我 道治
(31) 優先権主張番号	10-2004-0118559	(74) 代理人	100084010
(32) 優先日	平成16年12月31日 (2004.12.31)		弁理士 古川 秀利
(33) 優先権主張国	韓国 (KR)	(74) 代理人	100094695
			弁理士 鈴木 憲七
		(74) 代理人	100111648
			弁理士 梶並 順
		(74) 代理人	100147566
			弁理士 上田 俊一

最終頁に続く

(54) 【発明の名称】 液晶表示装置及びその製造方法

(57) 【特許請求の範囲】

【請求項 1】

基板と、
 前記基板上に形成された活性層と、
 前記基板上に形成され、前記活性層と接続されるストレージ下部電極と、
 前記活性層と前記ストレージ下部電極が形成された基板上に形成される第1絶縁膜と、
 前記第1絶縁膜上に形成され、二重層構造を有するゲート電極、ゲートライン、ゲートパッド、データパッド、データリンク及び画素電極と、
 前記ゲート電極、ゲートライン、ゲートパッド、データパッド、データリンク及び画素電極が形成された前記第1絶縁膜上に形成される第2絶縁膜と、
 前記第2絶縁膜上に形成され、ソース電極を含むデータライン及びドレイン電極と、
 前記データパッドから伸張され、前記第2絶縁膜に形成された第3コンタクトホールを通じて前記データラインと直接接続されるデータリンクと
 を含み、
 前記ゲートパッドは、前記ゲートラインと接続され、前記データパッドは、前記データラインと接続され、前記ゲートパッドと同一な断面構造を有し、
 前記データライン及び前記第3コンタクトホールは、シーラントにより密封された領域の内側に形成される
 ことを特徴とする液晶表示装置。

【請求項 2】

10

20

前記ゲートライン、前記ゲートパッド、前記データパッド及び前記データリンクは、金属層が透明導電層上に形成された二重層構造を有する

ことを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

前記ゲートパッド及び前記データパッドは、前記第 2 絶縁膜及び前記金属層を貫通する第 1 及び第 2 コンタクトホールをそれぞれ通じて露出された前記透明導電層を備える

ことを特徴とする請求項 2 に記載の液晶表示装置。

【請求項 4】

前記ゲートパッド及び前記データパッドの前記金属層が、前記第 1 及び第 2 コンタクトホールの周囲に位置する

ことを特徴とする請求項 3 に記載の液晶表示装置。

【請求項 5】

前記第 3 コンタクトホールが、前記データリンクの前記金属層を貫通して、前記透明導電層を露出させる

ことを特徴とする請求項 2 に記載の液晶表示装置。

【請求項 6】

前記データラインが、選定された長さだけ前記シーラントと離隔される

ことを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 7】

前記活性層と、前記第 1 絶縁膜を挟んで前記活性層と交差する前記ゲート電極、及び前記ゲート電極を挟んで、前記活性層のソース領域及びドレイン領域と接続された前記ソース電極及びドレイン電極は、薄膜トランジスタを形成する

ことを特徴とする請求項 3 に記載の液晶表示装置。

【請求項 8】

前記ゲート電極が前記ゲートラインと接続され、前記ソース電極が前記データラインと接続される

ことを特徴とする請求項 7 に記載の液晶表示装置。

【請求項 9】

前記画素電極は、前記薄膜トランジスタの前記ドレイン電極と接続される

ことを特徴とする請求項 8 に記載の液晶表示装置。

【請求項 10】

前記画素電極が、前記第 2 絶縁膜を貫通する透過ホールを通じて露出される

ことを特徴とする請求項 9 に記載の液晶表示装置。

【請求項 11】

前記金属層が、前記透過ホールの周囲を取り囲む

ことを特徴とする請求項 10 に記載の液晶表示装置。

【請求項 12】

前記データラインと交差し、二重層構造を有したストレージラインと、

前記活性層と接続された前記ストレージ下部電極と、

前記ストレージ下部電極が、前記第 1 絶縁膜を挟んで前記ストレージラインと重なることによって形成された第 1 ストレージキャパシタと

をさらに備えることを特徴とする請求項 7 に記載の液晶表示装置。

【請求項 13】

前記ドレイン電極が、前記第 2 絶縁膜を挟んで前記ストレージラインと重なることによって形成された第 2 ストレージキャパシタをさらに備える

ことを特徴とする請求項 12 に記載の液晶表示装置。

【請求項 14】

前記ドレイン電極が、前記ストレージラインを横切って、前記透過ホールを通じて露出された画素電極と接続される

ことを特徴とする請求項 13 に記載の液晶表示装置。

10

20

30

40

50

【請求項 15】

前記データリンクが、前記データラインに沿って延長され、複数のコンタクトホールを通じて前記データラインと並列に接続される

ことを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 16】

基板上に活性層と、前記活性層と接続されるストレージ下部電極を形成する段階と、
前記活性層と前記ストレージ下部電極とが形成された基板上に第 1 絶縁膜を形成する段階と、

前記第 1 絶縁膜上に、二重層構造を有するゲート電極、ゲートライン、ゲートパッド、データパッド、データリンク及び画素電極を形成する段階と、

前記ゲート電極、ゲートライン、ゲートパッド、データパッド、データリンク及び画素電極が形成された前記第 1 絶縁膜上に形成される第 2 絶縁膜を形成する段階と、

前記第 2 絶縁膜上に、ソース電極を含むデータライン及びドレイン電極を形成する段階と、

前記データパッドから伸張され、前記第 3 コンタクトホールを通じて前記データラインと直接接続されるデータリンクを形成する段階と

を含み、

前記ゲートパッドは、前記ゲートラインと接続され、前記データパッドは、前記データラインと接続され、前記ゲートパッドと同一な断面構造を有し、

前記データライン及び前記第 3 コンタクトホールは、シーラントにより密封された領域の内側に形成される

ことを特徴とする液晶表示装置の製造方法。

【請求項 17】

前記ゲートライン、前記ゲートパッド、前記データパッド及び前記データリンクは、金属層が透明導電層上に形成された二重層構造を有する

ことを特徴とする請求項 16 に記載の液晶表示装置の製造方法。

【請求項 18】

前記第 2 絶縁膜及び前記金属層を貫通して、前記ゲートパッド及び前記データパッドの透明導電層を露出させる第 1 及び第 2 コンタクトホールをそれぞれ形成するステップと

をさらに含むことを特徴とする請求項 17 に記載の液晶表示装置の製造方法。

【請求項 19】

前記金属層が、前記第 1 及び第 2 コンタクトホールの周囲を取り囲む

ことを特徴とする請求項 18 に記載の液晶表示装置の製造方法。

【請求項 20】

前記第 3 コンタクトホールが、前記データリンクの前記金属層を貫通して、前記透明導電層を露出させる

ことを特徴とする請求項 17 に記載の液晶表示装置の製造方法。

【請求項 21】

前記データラインが、選定された長さだけ前記シーラントと離隔される

ことを特徴とする請求項 16 に記載の液晶表示装置の製造方法。

【請求項 22】

前記活性層と、前記第 2 絶縁膜を挟んで前記活性層と交差する前記ゲート電極及び前記ゲート電極を挟んで、前記活性層のソース領域及びドレイン領域と接続された前記ソース電極及びドレイン電極は薄膜トランジスタを形成する工程と

を含むことを特徴とする請求項 18 に記載の液晶表示装置の製造方法。

【請求項 23】

前記ゲート電極が前記ゲートラインと接続され、前記ソース電極が前記データラインと接続される

ことを特徴とする請求項 22 に記載の液晶表示装置の製造方法。

【請求項 24】

10

20

30

40

50

前記画素電極は、前記薄膜トランジスタの前記ドレイン電極と接続されることを特徴とする請求項 2 2 に記載の液晶表示装置の製造方法。

【請求項 2 5】

前記第 2 絶縁膜及び金属層を貫通して、前記画素電極の透明導電層を露出させる透過ホールを形成する工程をさらに含む

ことを特徴とする請求項 2 4 に記載の液晶表示装置の製造方法。

【請求項 2 6】

二重層構造を有したストレージラインを形成する工程と、
前記活性層と接続された前記ストレージ下部電極を形成する工程と
をさらに含み、

前記ストレージ下部電極が第 1 絶縁膜を挟んで前記ストレージラインと重なることによって形成される第 1 ストレージキャパシタを含む

ことを特徴とする請求項 2 4 に記載の液晶表示装置の製造方法。

【請求項 2 7】

前記ストレージラインが、前記データラインと交差する

ことを特徴とする請求項 2 6 に記載の液晶表示装置の製造方法。

【請求項 2 8】

前記ドレイン電極が、前記第 2 絶縁膜を挟んで前記ストレージラインと重なることによって形成された第 2 ストレージキャパシタをさらに備える

ことを特徴とする請求 2 7 に記載の液晶表示装置の製造方法。

【請求項 2 9】

前記データリンクが、前記データラインに沿って延長され、複数のコンタクトホールを通じて前記データラインと並列に接続される

ことを特徴とする請求項 1 6 に記載の液晶表示装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、ポリシリコンを利用した液晶表示装置及びその製造方法に係り、特に工程を単純化できる液晶表示装置及びその製造方法に関する。

【背景技術】

【0 0 0 2】

通常、液晶表示装置は、液晶表示パネル（以下、液晶パネルと称す）にマトリックス状に配列された液晶セルそれぞれがビデオ信号によって光透過率を調節することによって画像を表示する。

【0 0 0 3】

液晶セルそれぞれには、ビデオ信号を独立的に供給するためのスイッチ素子として薄膜トランジスタ（T F T と称す）が利用される。このような T F T の活性層としては、非結晶のシリコンまたはポリシリコンが利用される。ここで、非結晶のシリコンより電荷移動度が約 1 0 0 倍程度速いポリシリコンを利用する場合、高い応答速度を必要とする駆動回路を液晶パネルに内蔵できる。

【0 0 0 4】

このようなポリシリコン型の液晶パネルは、T F T と共に駆動回路が形成された T F T 基板と、カラーフィルタが形成されたカラーフィルタ基板とが、液晶を挟んで接合されて形成される。

【0 0 0 5】

図 1 は、ポリシリコン型の液晶パネルのうち、T F T 基板の一部分を示す平面図であり、図 2 は、図 1 に示した T F T 基板を I - I ' 線に沿って切断した断面図である。

【0 0 0 6】

図 1 及び図 2 に示した T F T 基板は、ゲートライン 2 及びデータライン 4 と接続された T F T 3 0、及び T F T 3 0 と接続された画素電極 2 2 を備える。T F T 3 0 は、N M O

10

20

30

40

50

S T F TまたはP M O S T F Tで形成されるが、以下では、N M O S T F Tに形成された場合のみを説明する。

【 0 0 0 7 】

T F T 3 0 は、ゲートライン 2 と接続されたゲート電極 6、データライン 4 に含まれたソース電極、及び保護膜 1 8 を貫通する画素コンタクトホール 2 0 を通じて画素電極 2 2 と接続されたドレイン電極 1 0 を備える。ゲート電極 6 は、ゲート絶縁膜 1 6 を挟んで、バフファ膜 1 2 上に形成された活性層 1 4 のチャンネル領域 1 4 C と重なるように形成される。ソース電極及びドレイン電極 1 0 は、ゲート電極 6 及び層間絶縁膜 2 6 を挟んで形成される。そして、ソース電極及びドレイン電極 1 0 は、層間絶縁膜 2 6 及びゲート絶縁膜 1 6 を貫通するソースコンタクトホール 2 4 S、及びドレインコンタクトホール 2 4 D それぞれを通じて、 n^+ 不純物が注入された活性層 1 4 のソース領域 1 4 S 及びドレイン領域 1 4 D それぞれと接続される。

10

【 0 0 0 8 】

しかしながら、上述した従来のポリシリコン型の T F T 基板は、製造工程が複雑であるという問題点がある。

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 0 9 】

本発明は、工程を単純化できる液晶表示装置及びその製造方法を提供するものである。

【 課題を解決するための手段 】

20

【 0 0 1 0 】

本発明の目的を達成するために、本発明による液晶表示装置は、基板と、前記基板上に形成された活性層と、前記基板上に形成され、前記活性層と接続されるストレージ下部電極と、前記活性層と前記ストレージ下部電極が形成された基板上に形成される第 1 絶縁膜と、前記第 1 絶縁膜上に形成され、二重層構造を有するゲート電極、ゲートライン、ゲートパッド、データパッド、データリンク及び画素電極と、前記ゲート電極、ゲートライン、ゲートパッド、データパッド、データリンク及び画素電極が形成された前記第 1 絶縁膜上に形成される第 2 絶縁膜と、前記第 2 絶縁膜上に形成され、ソース電極を含むデータライン及びドレイン電極と、前記データパッドから伸張され、前記第 2 絶縁膜に形成された第 3 コンタクトホールを通じて前記データラインと直接接続されるデータリンクとを含み、前記ゲートパッドは、前記ゲートラインと接続され、前記データパッドは、前記データラインと接続され、前記ゲートパッドと同一な断面構造を有し、前記データライン及び前記第 3 コンタクトホールは、シーラントにより密封された領域の内側に形成される。

30

【 0 0 1 1 】

また、本発明による液晶表示装置の製造方法は、基板上に活性層と、前記活性層と接続されるストレージ下部電極を形成する段階と、前記活性層と前記ストレージ下部電極とが形成された基板上に第 1 絶縁膜を形成する段階と、前記第 1 絶縁膜上に、二重層構造を有するゲート電極、ゲートライン、ゲートパッド、データパッド、データリンク及び画素電極を形成する段階と、前記ゲート電極、ゲートライン、ゲートパッド、データパッド、データリンク及び画素電極が形成された前記第 1 絶縁膜上に形成される第 2 絶縁膜を形成する段階と、前記第 2 絶縁膜上に、ソース電極を含むデータライン及びドレイン電極を形成する段階と、前記データパッドから伸張され、前記第 3 コンタクトホールを通じて前記データラインと直接接続されるデータリンクを形成する段階とを含み、前記ゲートパッドは、前記ゲートラインと接続され、前記データパッドは、前記データラインと接続され、前記ゲートパッドと同一な断面構造を有し、前記データライン及び前記第 3 コンタクトホールは、シーラントにより密封された領域の内側に形成される。

40

【 発明の効果 】

【 0 0 1 3 】

本発明による製造方法は、4 マスク工程に工程を単純化できる。その結果、前記 T F T 基板のデータライン及びドレイン電極は、保護膜が露出される。しかし、前記データライ

50

ン及びドレイン電極は、シーラントにより密封される領域に位置するので、その上に塗布される配向膜だけでなく、密封領域に充填される液晶により十分に保護可能である。さらに、前記シーラントがこのような方式で位置することによって、前記シーラントに含まれたガラスファイバにより引き起こされる断線問題を防止できる。

【0014】

また、データパッドと接続されたデータリンクが、コンタクトホールを通じてデータラインと接続され、シーラントにより密封される領域の内側に位置して、保護膜の不在によるイルミネーション問題以外にも、データリンクとシーラントに含まれたガラスファイバとの間の接触による断線問題などを防止するか、または最小化できる。

【発明を実施するための最良の形態】

10

【0015】

以下、本発明の望ましい実施の形態を、図3ないし図6Dを参照して詳細に説明する。

【0016】

図3は、本発明の実施の形態によるポリシリコンTFT基板の一部分を示す平面図であり、図4は、図3に示したTFT基板をIII-III'、IV-IV'、V-V'線に沿って切断した断面図である。

【0017】

図3及び図4に示したポリシリコンTFT基板は、ゲートライン102及びデータライン104と接続されたTFT130、TFT130と接続された画素電極122及びストレージキャパシタ160、ゲートライン102と接続されたゲートパッド170、及びデータライン104と接続されたデータパッド180を備える。

20

【0018】

データライン104は、層間絶縁膜118を挟んでゲートライン102及びストレージライン152と交差して、画素電極122が形成される画素領域を定義する。

【0019】

TFT130は、ゲートライン102のゲート信号に応答して、データライン104のビデオ信号を画素電極122に供給する。このために、TFT130は、ゲートライン102と接続されたゲート電極106、データライン104に含まれたソース電極、画素電極122と接続されたドレイン電極110、及びソース電極とドレイン電極110との間にチャンネルを形成する活性層114を備える。このようなTFT130は、NMOS TFTまたはPMOS TFTに形成されるが、以下では、NMOS TFTに形成された場合のみを説明する。

30

【0020】

ゲートライン102及びゲート電極106は、ストレージライン152と共に透明導電層101、及びその上にゲート金属層103が積層された二重層構造を有する。

【0021】

活性層114は、バッファ膜112を挟んで下部基板100上に形成される。活性層114は、ゲート絶縁膜116を挟んでゲート電極106と重なったチャンネル領域114C、チャンネル領域114Cを挟んで n^+ 不純物が注入されたソース領域114S及びドレイン領域114Dを備える。活性層114のソース領域114S及びドレイン領域114Dは、層間絶縁膜118及びゲート絶縁膜116を貫通するソースコンタクトホール124S及びドレインコンタクトホール124Dそれぞれを通じて、データライン104に含まれたソース電極、ドレイン電極110とそれぞれ接続される。そして、活性層114は、オフ電流を減少させるために、チャンネル領域114C、ソース領域114S及びドレイン領域114D間に、 n^- 不純物が注入されたLDD (Lightly Doped Drain) 領域(図示せず)をさらに備える。

40

【0022】

画素電極122は、画素領域のゲート絶縁膜116上に形成された透明導電層101、及び透明導電層101上のエッジに沿って残存するゲート金属層103を備える。すなわち、画素電極122の透明導電層101は、層間絶縁膜118及びゲート金属層103を

50

貫通する透過ホール120を通じて露出される。これと異なり、画素電極122は、残存するゲート金属層103なしに透明導電層101のみで形成されることもある。このような画素電極122は、TFT130からストレージライン152を横切って、透過ホール120の側面に沿って延びたドレイン電極110と接続される。具体的に、ドレイン電極110は、透過ホール120を通じて露出された画素電極122のゲート金属層103及び透明導電層101と接続される。このような画素電極122は、TFT130から供給されたビデオ信号を充電して、カラーフィルタ基板（図示せず）に形成された共通電極と電位差を発生させる。この電位差により、TFT基板とカラーフィルタ基板とに位置する液晶が誘電異方性により回転し、光源（図示せず）から画素電極122を経由して入射される光の透過量を調節して、カラーフィルタ基板側に透過させる。

10

【0023】

ストレージキャパシタ160は、ストレージライン152とTFT130との間に並列接続された第1及び第2ストレージキャパシタCst1、Cst2を備える。第1ストレージキャパシタCst1は、ストレージライン152が、活性層114から延びたストレージ下部電極150及びゲート絶縁膜112を挟んで重なって形成される。第2ストレージキャパシタCst2は、ドレイン電極110が、層間絶縁膜118を挟んでストレージライン152と交差して形成される。このような第1及び第2ストレージキャパシタCst1、Cst2の並列連結により容量が増加したストレージキャパシタ160は、画素電極120に充電されたビデオ信号を安定的に維持させる。

【0024】

20

ゲートライン102は、ゲートパッド170を通じてゲートドライバー（図示せず）と接続される。ゲートライン102と接続されたゲートパッド170は、ゲート絶縁膜116上に、透明導電層101及びゲート金属層103が積層された構造で形成される。そして、ゲートパッド170は、層間絶縁膜118及びゲート金属層103を貫通する第1コンタクトホール172を通じて、透明導電層101が露出される。この際、ゲートパッド170は、残存するゲート金属層103なしに透明導電層101のみで形成されることもある。

【0025】

データライン104は、データパッド180を通じてデータドライバー（図示せず）と接続される。データライン102と接続されるデータパッド180は、ゲートパッド170と同一な構造で形成される。すなわち、データパッド180は、ゲート絶縁膜116上に、透明導電層101及びゲート金属層103が積層された構造で形成される。そして、データパッド180は、層間絶縁膜118及びゲート金属層103を貫通する第2コンタクトホール182を通じて、透明導電層101が露出される。この際、データパッド180は、残存するゲート金属層103なしに透明導電層101のみで形成されることもある。

30

【0026】

そして、データライン104は、データパッド180から延びたデータリンク184及び第3コンタクトホール186を通じて接続される。データリンク184は、データパッド180から、透明導電層101及びゲート金属層103が積層された構造でデータライン104と重なるように延びる。データライン104は、層間絶縁膜118及びデータリンク184のゲート金属層103を貫通する第3コンタクトホール186を通じて、データリンク184と接続される。

40

【0027】

このようなデータライン104は、保護膜の不在により露出されてイルミネーション問題が発生すると共に、データライン104を横切るシーラントに含まれたガラスファイバによる断線問題が発生することがある。このような問題の発生を防止するために、図5に示すように、データライン104は、シーラント200により密封される領域内にシーラント200と離隔されて位置する。これにより、データライン104と接続されるデータリンク184は、シーラント200により密封される領域内に延びねばならず、このよう

50

なデータリンク 184 とデータライン 104 とを接続させる第 3 コンタクトホール 186 も、シーラント 200 により密封される領域内に位置する。

【0028】

具体的に、本発明の実施の形態によるポリシリコン T F T 基板及びカラーフィルタ基板 210 は、図 5 に示すようにシーラント 200 により合着され、シーラント 200 により密封された二つの基板間のセルギャップに液晶が充填される。この際、液晶は、二つの基板を合着した後に液晶を注入する真空注入方式以外にも、少なくとも一つの基板に液晶を滴下した後に合着することによって液晶層を形成する液晶滴下方式で形成されうる。シーラント 200 は、データライン 104 と接触されないように離隔されて塗布されることによって、ガラスファイバによるデータライン 104 の断線問題を防止できる。これにより、T F T 基板に形成されたデータライン 104、ソース電極 110 及びドレイン電極 112 は、いずれもシーラント 200 により密封される領域に位置し、その上に塗布される配向膜（図示せず）だけでなく、密封領域に充填された液晶により十分に保護可能である。

10

【0029】

そして、データライン 104 の抵抗を減少させるために、データリンク 184 は、図 6 A 及び図 6 B に示すように、データライン 104 に沿って長く延び、複数の第 3 コンタクトホール 186 を通じて並列接続される。その結果、データライン 104 の抵抗が減少することによって、画質を向上できる。

【0030】

このように、本発明によるポリシリコン型の T F T 基板は、画素電極 122 が二重層構造のゲートライン 102、ゲート電極 106、ストレージライン 152 などと共にゲート絶縁膜 116 上に形成されることによって、工程を単純化できる。

20

【0031】

図 7 A ないし図 7 D は、図 4 に示したポリシリコン T F T 基板の製造方法を段階的に説明する断面図である。

【0032】

図 7 A に示すように、下部基板 100 上にバッファ膜 112 が形成され、その上に第 1 マスク工程で一体化した活性層 114 及びストレージ下部電極 150 が形成される。

【0033】

バッファ膜 112 は、下部基板 100 上に SiO_2 のような無機絶縁物質が全面蒸着されて形成される。

30

【0034】

次いで、バッファ膜 112 上に、L P C V D (Low Pressure Chemical Vapor Deposition)、P E C V D (Plasma Enhanced C V D) などの方法で非結晶のシリコン薄膜を形成した後、結晶化してポリシリコン薄膜を形成する。この際、非結晶のシリコン薄膜を結晶化する前に、非結晶のシリコン薄膜内に存在する水素原子を除去するための脱水素化工程を進めることもある。非結晶のシリコン薄膜を結晶化する方法としては、エキシマレーザアニーリング方法のうち一つとして、ラインビームを水平方向にスキャンしてグレーンを水平方向に成長させることによって、グレーンのサイズを増大させた逐次的横方向結晶化 (Sequential Lateral Solidification: S L S) 方法が主に利用される。

40

【0035】

そして、ポリシリコン薄膜を、第 1 マスクを利用したフォトリソグラフィ工程及びエッチング工程でパターンニングして一体化した活性層 114 及びストレージ下部電極 150 を形成する。

【0036】

図 7 B に示すように、活性層 114 及びストレージ下部電極 150 が形成されたバッファ膜 112 上に、ゲート絶縁膜 116 が形成され、その上に第 2 マスク工程で二重層構造を有するゲートライン 102、ゲート電極 106、ストレージライン 152、画素電極 122、ゲートパッド 170、データパッド 180 及びデータリンク 184 を備える二重層導電パターンが形成される。

50

【 0 0 3 7 】

ゲート絶縁膜 1 1 6 は、活性層 1 1 4 及びストレージ下部電極 1 5 0 が形成されたバッファ膜 1 1 2 上に、 SiO_x 、 SiN_x のような無機絶縁物質が全面蒸着されて形成される。

【 0 0 3 8 】

次いで、ゲート絶縁膜 1 1 6 上に、透明導電層 1 0 1 及びゲート金属層 1 0 3 がスパッタリング方法などで積層される。透明導電層 1 0 1 としては、ITO (Indium Tin Oxide)、TO (Tin Oxide)、IZO (Indium Zinc Oxide)、ITZO などが、ゲート金属層 1 0 3 としては、Mo、Ti、Cu、AlNd、Al、Cr、Mo 合金、Cu 合金、Al 合金のような金属物質が単一層または少なくとも二重層構造で利用される。次いで、第 2 マスクを利用したフォトリソグラフィ工程及びエッチング工程で、ゲート金属層 1 0 3 及び透明導電層 1 0 1 をパターンニングすることによって、二重層構造を有するゲートライン 1 0 2、ゲート電極 1 0 6、ストレージライン 1 5 2、画素電極 1 2 2、ゲートパッド 1 7 0、データパッド 1 8 0 及びデータリンク 1 8 4 を備える二重層導電パターンが形成される。

10

【 0 0 3 9 】

そして、ゲート電極 1 0 6 をマスクとして利用して、活性層 1 1 4 に n^+ 不純物を注入して、活性層 1 1 4 のソース領域 1 1 4 S 及びドレイン領域 1 1 4 D が形成される。このような活性層 1 1 4 のソース及びドレイン領域 1 1 4 S、1 1 4 D は、ゲート電極 1 0 6 と重なるチャンネル領域 1 1 4 C を挟んで対向する。

20

【 0 0 4 0 】

図 7 C に示すように、第 3 マスク工程で二重層導電パターンが形成されたゲート絶縁膜 1 1 6 上に、層間絶縁膜 1 1 8 が形成され、それを貫通するソース及びドレインコンタクトホール 1 2 4 S、1 2 4 D、透過ホール 1 2 0、第 1 ないし第 3 コンタクトホール 1 7 2、1 8 2、1 8 6 が形成される。

【 0 0 4 1 】

層間絶縁膜 1 1 8 は、二重層導電パターンが形成されたゲート絶縁膜 1 1 6 上に、 SiO_2 、 SiN_x のような無機絶縁物質が全面蒸着されて形成される。

【 0 0 4 2 】

次いで、第 3 マスクを利用したフォトリソグラフィ工程及びエッチング工程で、層間絶縁膜 1 1 8 及びゲート絶縁膜 1 1 6 を貫通するソースコンタクトホール 1 2 4 S 及びドレインコンタクトホール 1 2 4 D、層間絶縁膜 1 1 8 を貫通する透過ホール 1 2 0、及び第 1 ないし第 3 コンタクトホール 1 7 2、1 8 2、1 8 6 が形成される。ソースコンタクトホール 1 2 4 S 及びドレインコンタクトホール 1 2 4 D は、活性層 1 1 4 のソース領域 1 1 4 S とドレイン領域 1 1 4 D それぞれを露出させる。透過ホール 1 2 0 は、画素電極 1 2 2 の上部層であるゲート金属層 1 0 3 を、第 1 コンタクトホール 1 7 2 は、ゲートパッド 1 7 0 の上部層であるゲート金属層 1 0 3 を、第 2 コンタクトホール 1 8 2 は、データパッド 1 8 0 の上部層であるゲート金属層 1 0 3 を、第 3 コンタクトホール 1 8 6 は、データリンク 1 8 4 の上部層であるゲート金属層 1 0 3 を露出させる。

30

【 0 0 4 3 】

次いで、透過ホール 1 2 0 及び第 1 ないし第 3 コンタクトホール 1 7 2、1 8 2、1 8 6 を通じて露出された画素電極 1 2 2、ゲートパッド 1 7 0、データパッド 1 8 0、データリンク 1 8 6 のゲート金属層 1 0 3 をエッチングして、透明導電層 1 0 1 を露出させる。この際、透明導電層 1 0 1 の周辺部には、層間絶縁膜 1 1 8 と重なったゲート金属層 1 0 3 が残存することもある。

40

【 0 0 4 4 】

図 7 D に示すように、第 4 マスク工程で層間絶縁膜 1 1 8 上に、ソース電極を含んだデータライン 1 0 4 及びドレイン電極 1 1 0 が形成される。

【 0 0 4 5 】

データライン 1 0 4 及びドレイン電極 1 1 0 は、層間絶縁膜 1 1 8 上にソース/ドレイ

50

ン金属層を形成した後、第4マスクを利用したフォトリソグラフィ工程及びエッチング工程で、ソース/ドレイン金属層をパターンングすることによって形成される。データライン104及びドレイン電極110は、ソースコンタクトホール124S及びドレインコンタクトホール124Dを通じて、活性層114のソース領域114S及びドレイン領域114Dそれぞれと接続される。また、データライン104は、第3コンタクトホール186を通じてデータリンク184と接続される。

【0046】

前述したように、本発明によるポリシリコンLCDのTFT基板の製造方法は、4マスク工程に工程を単純化できる。その結果、前記TFT基板のデータライン104及びドレイン電極110は、保護膜が露出される。しかし、前記データライン104及びドレイン電極110は、シーラントにより密封される領域に位置するので、その上に塗布される配向膜だけでなく、密封領域に充填される液晶により十分に保護可能である。さらに、前記シーラントがこのような方式で位置することによって、前記シーラントに含まれたガラスファイバにより引き起こされる断線問題を防止できる。

【0047】

また、データパッドと接続されたデータリンクが、コンタクトホールを通じてデータラインと接続され、シーラントにより密封される領域の内側に位置して、保護膜の不在によるイルミネーション問題以外にも、データリンクとシーラントに含まれたガラスファイバとの間の接触による断線問題などを防止するか、または最小化できる。

【0048】

以上、説明した内容を通じて、当業者であれば、本発明の技術思想を逸脱しない範囲で多様な変更及び修正が可能であるということが分かる。したがって、本発明の技術的範囲は、明細書の詳細な説明に記載された内容に限定されるものではなく、特許請求の範囲により決まらねばならない。

【図面の簡単な説明】

【0049】

【図1】従来のポリシリコン型の液晶パネルのうち、TFT基板の一部分を示す平面図である。

【図2】図1に示したTFT基板をI-I'線に沿って切断した断面図である。

【図3】本発明の実施の形態によるポリTFT基板を部分的に示す平面図である。

【図4】図3に示したポリシリコンTFT基板をIII-III'、IV-IV'、V-V'線に沿って切断した断面図である。

【図5】図4に示したポリシリコンTFT基板が適用された液晶パネルのデータパッド領域を示す断面図である。

【図6A】本発明の他の実施の形態によるデータライン及びデータリンクのコンタクト部分を示す平面図である。

【図6B】本発明の他の実施の形態によるデータライン及びデータリンクのコンタクト部分を示す断面図である。

【図7A】本発明の実施の形態によるポリシリコンTFT基板の製造方法を段階的に説明する断面図である。

【図7B】本発明の実施の形態によるポリシリコンTFT基板の製造方法を段階的に説明する断面図である。

【図7C】本発明の実施の形態によるポリシリコンTFT基板の製造方法を段階的に説明する断面図である。

【図7D】本発明の実施の形態によるポリシリコンTFT基板の製造方法を段階的に説明する断面図である。

【符号の説明】

【0050】

1, 100: 基板

2, 102: ゲートライン

10

20

30

40

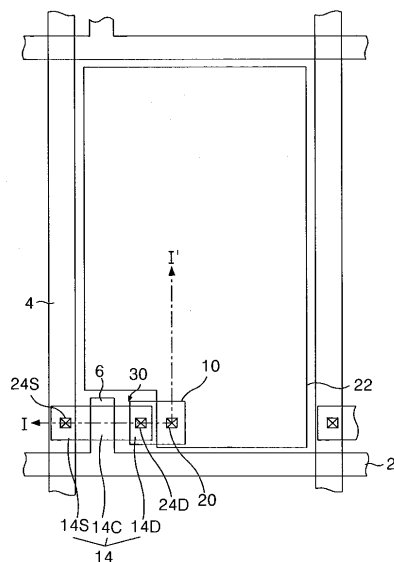
50

- 4, 104 : データライン
 6, 106 : ゲート電極
 10, 110 : ドレイン電極
 12, 112 : バッファ膜
 14, 114 : 活性層
 14S, 114S : ソース領域
 14D, 114D : ドレイン領域
 14C, 114C : チャンネル領域
 16, 116 : ゲート絶縁膜
 18 : 保護膜
 20 : 画素コンタクトホール
 22, 122 : 画素電極
 24S, 124S : ソースコンタクトホール
 24D, 124D : ドレインコンタクトホール
 26, 118 : 層間絶縁膜
 30, 130 : TFT
 101 : 透明導電層
 103 : ゲート金属層
 150 : ストレージ下部電極
 160 : ストレージキャパシタ
 170 : ゲートパッド
 172, 182, 186 : コンタクトホール
 180 : データパッド
 184 : データリンク

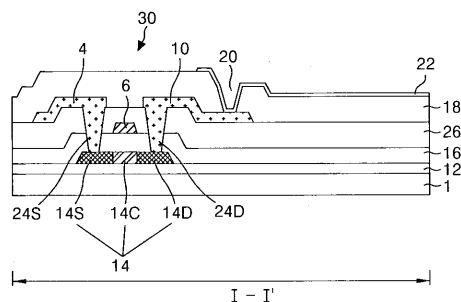
10

20

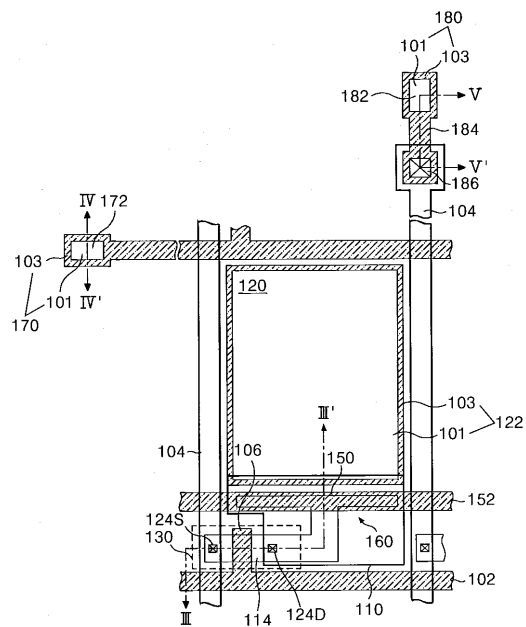
【図 1】



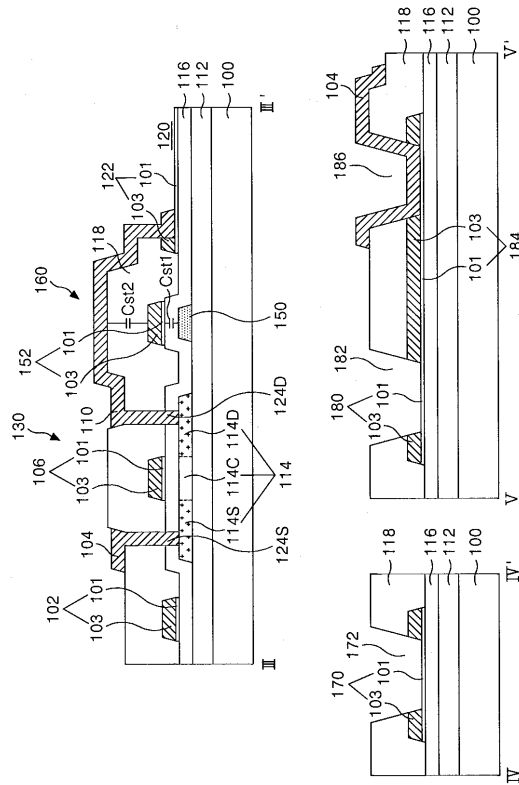
【図 2】



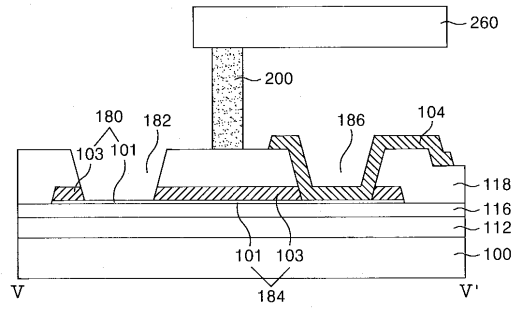
【図 3】



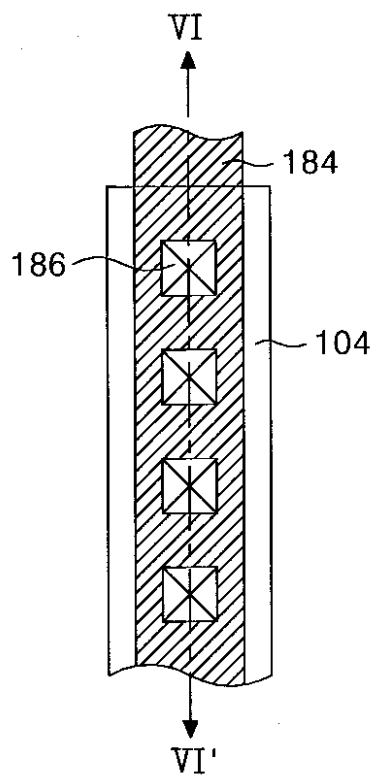
【図 4】



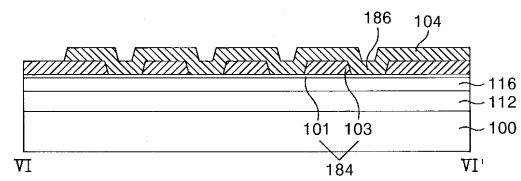
【図 5】



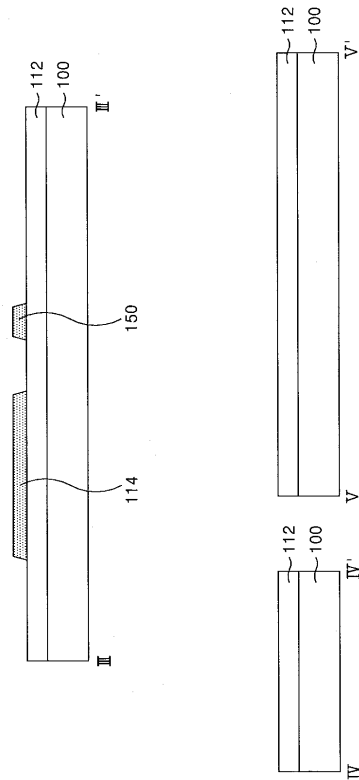
【図 6 A】



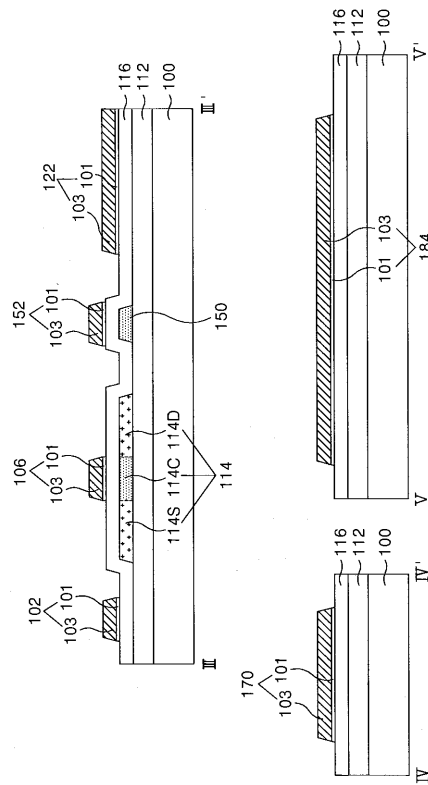
【図 6 B】



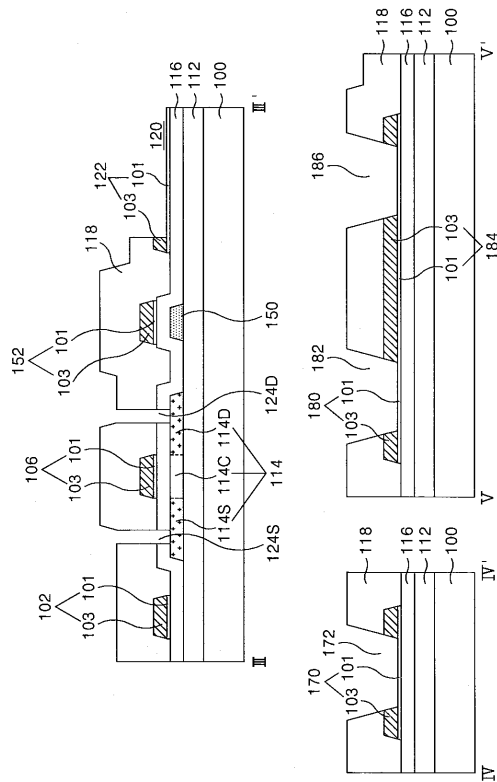
【 図 7 A 】



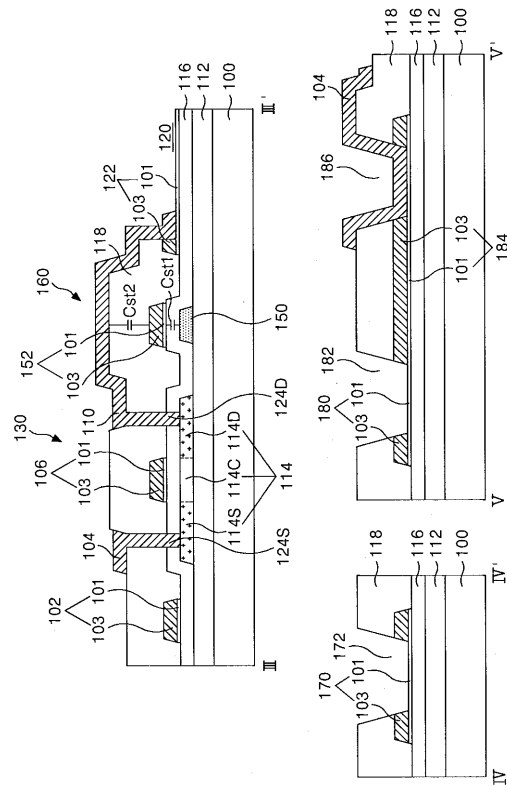
【圖 7 B】



【 図 7 C 】



【 図 7 D 】



フロントページの続き

(72)発明者 ヨンイン・バク

大韓民国、キョンギ - ド、アニョン - シ、ドンアン - グ、ホゲエ - ドン 811、ホゲエ・2 - チ
ヤ・ヒョンデ・ホームタウン 202 - 201

(72)発明者 ジョンソク・ユ

大韓民国、ソウル、ソチヨ - グ、ソチヨ - ドン 1494 - 6、ロイヤル・カウンティ・ヴィラ
302

合議体

審判長 吉野 公夫

審判官 北川 創

審判官 松川 直樹

(56)参考文献 特開2004 - 070308 (JP, A)

特開平10 - 161149 (JP, A)

特開2005 - 091477 (JP, A)

(58)調査した分野(Int.Cl. , DB名)

G02F 1/13-1/141

专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	JP4781034B2	公开(公告)日	2011-09-28
申请号	JP2005214820	申请日	2005-07-25
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji飞利浦杜迪股份有限公司		
当前申请(专利权)人(译)	Eruji显示有限公司		
[标]发明人	ヨンインパク ジョンソクユ		
发明人	ヨンイン・パク ジョンソク・ユ		
IPC分类号	G02F1/1368 G02F1/1339		
CPC分类号	H01L27/124 G02F1/1345 G02F1/13458 H01L27/12 H01L27/1214 H01L27/13		
FI分类号	G02F1/1368 G02F1/1339.505		
F-TERM分类号	2H089/MA04Y 2H089/MA05Y 2H089/QA12 2H089/QA16 2H089/TA02 2H089/TA04 2H089/TA09 2H092/GA33 2H092/GA34 2H092/GA41 2H092/GA42 2H092/JA25 2H092/JA40 2H092/JA44 2H092/ JA46 2H092/JA48 2H092/JB24 2H092/JB33 2H092/KA04 2H092/KB22 2H092/KB24 2H092/KB25 2H092/NA27 2H092/PA04 2H189/DA05 2H189/DA34 2H189/FA43 2H189/HA12 2H189/LA03 2H189/ LA10 2H192/AA24 2H192/BA42 2H192/CB02 2H192/CB34 2H192/CB53 2H192/CC32 2H192/DA23 2H192/DA24 2H192/DA43 2H192/DA44 2H192/DA65 2H192/EA43 2H192/FA35 2H192/FA64 2H192/ GD25		
代理人(译)	英年古河 Kajinami秩序 上田俊一		
助理审查员(译)	松川直树		
优先权	1020040118559 2004-12-31 KR		
其他公开文献	JP2006189776A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种液晶显示装置，并提供一种制造液晶显示装置的方法，其中可以简化工艺。ŽSOLUTION：液晶显示装置包括栅极线和连接到薄膜晶体管的数据线；栅极焊盘连接到栅极线；数据焊盘，连接到数据线并具有与栅极焊盘相同的横截面结构；数据链路，从数据焊盘延伸并通过第一接触孔连接到数据线。数据线和第一接触孔形成在由密封剂密封的区域内。Ž

【図 2】

