

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4777334号
(P4777334)

(45) 発行日 平成23年9月21日(2011.9.21)

(24) 登録日 平成23年7月8日(2011.7.8)

(51) Int.Cl. F I
GO2F 1/1343 (2006.01) GO2F 1/1343
GO2F 1/1368 (2006.01) GO2F 1/1368

請求項の数 9 (全 10 頁)

(21) 出願番号	特願2007-339585 (P2007-339585)	(73) 特許権者	501426046
(22) 出願日	平成19年12月28日(2007.12.28)		エルジー ディスプレイ カンパニー リ
(65) 公開番号	特開2008-225448 (P2008-225448A)		ミテッド
(43) 公開日	平成20年9月25日(2008.9.25)		大韓民国 ソウル, ヨンドゥンポーク, ヨ
審査請求日	平成19年12月28日(2007.12.28)		イドードン 20
(31) 優先権主張番号	10-2007-0024282	(74) 代理人	100094112
(32) 優先日	平成19年3月13日(2007.3.13)		弁理士 岡部 譲
(33) 優先権主張国	韓国 (KR)	(74) 代理人	100064447
			弁理士 岡部 正夫
		(74) 代理人	100085176
			弁理士 加藤 伸晃
		(74) 代理人	100096943
			弁理士 臼井 伸一
		(74) 代理人	100101498
			弁理士 越智 隆夫

最終頁に続く

(54) 【発明の名称】 液晶表示装置及びその製造方法

(57) 【特許請求の範囲】

【請求項 1】

基板上で画素領域を定義する複数のゲートライン及びデータラインと、
 前記ゲートラインとデータラインとの交差領域に形成される薄膜トランジスタと、
 前記画素領域に形成され、前記薄膜トランジスタと接続され、前段ゲートラインと重畳
 されて形成される画素電極と、

前記データラインと並んで形成され、前記画素電極の両側部と重畳される第1共通電極
 及び第2共通電極と、

前記各画素領域で前記第1共通電極を分離させる第1共通電極のオープン部と、

オープンされたデータラインの両側部及び隣接した前記画素電極に重畳され、溶接ポイ
 ントを通して前記オープンされたデータラインと接続される連結電極と、

前記連結電極と接続される第1部分と、前記薄膜トランジスタと接続される第2部分と
 に前記画素電極を分離し、前記第1共通電極と重畳されず、前記第1共通電極のオープン
 部と重畳しているカッティングラインと、

前記画素電極の第2部分にゲートロー電圧が印加されるように前記画素電極の第2部分
 と前記前段ゲートラインとを電氣的に接続させる溶接ポイントと、を含むことを特徴とす
 る液晶表示装置。

【請求項 2】

前記連結電極は、C字状に形成されることを特徴とする請求項1に記載の液晶表示装置

10

20

【請求項 3】

前記ゲートラインと並んで形成され、前記第 1 共通電極及び第 2 共通電極と接続される共通ラインをさらに備えることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 4】

前記カッティングラインは、前記連結電極の外郭に沿って形成されることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 5】

基板上で画素領域を定義する複数のゲートライン及びデータラインを形成する段階と、前記ゲートラインとデータラインとの交差領域に薄膜トランジスタを形成する段階と、前記画素領域に前記薄膜トランジスタと接続され、前段ゲートラインと重畳される画素電極を形成する段階と、

前記データラインと並んで形成され、前記画素電極の両側部と重畳される第 1 共通電極及び第 2 共通電極を形成する段階と、

前記各画素領域で前記第 1 共通電極を分離させる第 1 共通電極のオープン部を形成する段階と、

オープンされたデータラインの両側部及び隣接した画素電極に重畳されるように連結電極を形成する段階と、

前記オープンされたデータラインと前記連結電極とを溶接ポイントを通して電氣的に連結する段階と、

前記画素電極に前記第 1 共通電極と重畳されず、第 1 共通電極のオープン部と重畳しているカッティングラインを形成する段階と、

前記カッティングラインによって、前記連結電極と接続された第 1 部分と前記薄膜トランジスタと接続された第 2 部分とに前記画素電極を分離する段階と、

前記画素電極の第 2 部分にゲートロー電圧が印加されるように前記画素電極の第 2 部分と前記前段ゲートラインとを電氣的に接続させる段階と、を含むことを特徴とする液晶表示装置の製造方法。

【請求項 6】

前記画素電極の第 2 部分と前記前段ゲートラインとを電氣的に接続させる段階は、前記レーザーカッティング前後に行われることを特徴とする請求項 5 に記載の液晶表示装置の製造方法。

【請求項 7】

前記連結電極は、C 字状に形成されることを特徴とする請求項 5 に記載の液晶表示装置の製造方法。

【請求項 8】

前記連結電極は、レーザー CVD (Chemical Vapor Deposition) 法によって形成されることを特徴とする請求項 6 に記載の液晶表示装置の製造方法。

【請求項 9】

前記カッティングラインは、前記連結電極の外郭に沿って形成されることを特徴とする請求項 5 に記載の液晶表示装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置に関するもので、特に、データラインのオープン不良をリペアすることができる液晶表示装置及びその製造方法に関するものである。

【背景技術】

【0002】

一般的な液晶表示装置は、液晶の電氣的及び光学的特性を用いて画像を表示する液晶パネルと、この液晶パネルに駆動信号を印加する駆動部とに区分される。

【0003】

10

20

30

40

50

液晶パネルは、所定間隔を有して合着された第1及び第2基板と、前記第1及び第2基板の間に形成された液晶層とを含んで構成される。液晶パネルの製造工程は、第1基板に薄膜トランジスタを形成する薄膜トランジスタアレイ工程と、第2基板にカラーフィルタを形成するカラーフィルタアレイ工程とに区分される。薄膜トランジスタアレイが形成された第1基板と、カラーフィルタアレイが形成された第2基板とがセル工程を経て液晶層を挟んで互いに合着されることで、液晶パネルが完成される。

【0004】

完成された液晶パネルには、検査工程を通して不良可否が判断される。判断結果、良品と選別された液晶パネルの外側に偏光板をそれぞれ付着した後、駆動回路を連結することで、液晶表示装置が完成される。

10

【0005】

ここで、液晶パネルの検査工程においては、液晶パネルにテスト画面を表示することで不良画素の有無を検出する。また、薄膜トランジスタアレイ工程後、検査装置を通して薄膜トランジスタ基板の不良可否を検出する。液晶パネルまたは薄膜トランジスタ基板で発生する不良としては、画素不良及びデータラインのオープン不良が代表的である。このとき、画素不良は、点単位で発生するので、複数個が発生する場合にも使用者に認識されず、液晶パネルが不良品として見なされない反面、データラインのオープン不良は、ライン単位で発生するので、一個が発生する場合にも、液晶パネルが不良品として見なされ、液晶表示装置の製造収率が低下するという問題点がある。

【発明の開示】

20

【発明が解決しようとする課題】

【0006】

したがって、本発明は、上記のような従来の問題点を解決するためのもので、その目的は、データラインのオープン不良をリペアすることができる液晶表示装置及びその製造方法を提供することにある。

【課題を解決するための手段】

【0007】

上記の目的を達成するために、本発明の一特徴による液晶表示装置は、基板上に画素領域を定義する複数のゲートライン及びデータラインと、前記ゲートラインとデータラインとの交差領域に形成される薄膜トランジスタと、前記画素領域に形成され、前記薄膜トランジスタと接続される画素電極と、前記データラインと並んで形成され、前記画素電極の両側部と重畳される第1共通電極及び第2共通電極と、前記各画素領域で前記第1共通電極を分離させる第1共通電極のオープン部と、オープンされたデータラインの両側部及び隣接した前記画素電極に重畳され、溶接ポイントを通して前記オープンされたデータラインと接続される連結電極と、前記連結電極と接続される第1部分と、前記薄膜トランジスタと接続される第2部分とに前記画素電極を分離し、前記第1共通電極のオープン部を経由するカッティングラインとを含む。

30

【0008】

本発明の他の特徴による液晶表示装置の製造方法は、基板上で画素領域を定義する複数のゲートライン及びデータラインを形成する段階と、前記ゲートラインとデータラインとの交差領域に薄膜トランジスタを形成する段階と、前記画素領域に前記薄膜トランジスタと接続される画素電極を形成する段階と、前記データラインと並んで形成され、前記画素電極の両側部と重畳される第1共通電極及び第2共通電極を形成する段階と、前記各画素領域で前記第1共通電極を分離させる第1共通電極のオープン部を形成する段階と、オープンされたデータラインの両側部及び隣接した前記画素電極に重畳されるように連結電極を形成する段階と、前記オープンされたデータラインと前記連結電極とを溶接ポイントを通して電氣的に連結する段階と、前記画素電極に第1共通電極のオープン部を経由するカッティングラインを形成する段階と、前記カッティングラインによって、前記連結電極と接続された第1部分と前記薄膜トランジスタと接続された第2部分とに前記画素電極を分離する段階とを含む。

40

50

【発明の効果】

【0009】

本発明に係る液晶表示装置及びそのリペア方法には、次のような効果がある。

【0010】

第一に、データラインのオープン不良が発生したとき、オープン領域を挟んで分離されたデータラインを連結するための連結電極を形成することで、断線不良をリペアして液晶表示装置の収率及び生産性を向上させることができる。

【0011】

第二に、第1共通電極をオープンして形成し、画素電極のレーザーカッティングラインが第1共通電極のオープン部を経由するように構成することで、レーザーカッティング時における第1共通電極及び画素電極のショートを防止することができる。

10

【0012】

第三に、レーザーカッティングで分離された画素電極と前段ゲートラインとをレーザーで照射して電氣的に連結し、該当の画素を暗点化させることで、データラインのリペアによる画素不良を防止することができる。

【発明を実施するための最良の形態】

【0013】

以下、添付の図面を参考にして、本発明の実施例に係る液晶表示装置及びその製造方法を詳細に説明する。

【0014】

20

図1は、本発明の第1実施例に係る液晶表示装置の薄膜トランジスタ基板を示した平面図である。

【0015】

図1に示した薄膜トランジスタ基板は、第1基板上に形成される複数個のゲートラインGLと、ゲート絶縁膜を挟んでゲートラインGLと交差形成されて画素領域を定義する複数個のデータラインDLと、ゲートラインGLとデータラインDLとの交差部分に形成される薄膜トランジスタ(TFT)と、各画素領域に形成されて薄膜トランジスタ(TFT)と接続される画素電極50とを含んで構成される。

【0016】

薄膜トランジスタ(TFT)は、ゲートラインGLから分岐されるゲート電極12と、ゲート電極12が形成された第1基板の全面に形成されるゲート絶縁膜と、ゲート絶縁膜上にゲート電極12と重畳されるように形成される半導体層16と、データラインDLから分岐されて半導体層16上に形成されるソース電極18aと、ソース電極18aと対向して半導体層16上に形成されるドレイン電極18bとを含んで構成される。ここで、半導体層16は、データラインDLとも重畳されながら延長される。

30

【0017】

画素電極50は、保護膜上に形成され、保護膜を貫通するコンタクトホール40を通してドレイン電極18aと接続される。また、画素電極50は、ゲート絶縁膜及び保護膜を挟んで前段ゲートラインGL'と重畳され、第1ストレージキャパシタCst1を形成する。

40

【0018】

そして、薄膜トランジスタ基板は、共通ライン20と、この共通ライン20からデータラインDLの両側部と並んで伸張される第1及び第2共通電極20a, 20bとをさらに備える。

【0019】

共通ライン20は、ゲート絶縁膜及び保護膜を挟んで画素電極50と重畳され、第2ストレージキャパシタCst2を形成する。これによって、第1及び第2キャパシタCst1, Cst2が並列に接続された構造でストレージキャパシタ容量が増加するので、画素電極50の電圧が安定的に維持される。データラインDLの両側部に形成される第1及び第2共通電極20a, 20bは、ダミー電極21に連結され、画素電極50の両側部と重

50

畳されることで、データラインDLと画素電極50との間における光漏れを防止し、第2基板との合着マージンを増加させる。

【0020】

薄膜トランジスタ基板が完成されると、液晶層を有する検査装置を用いて不良検査を行う。薄膜トランジスタ基板の不良検査では、完成された薄膜トランジスタ基板上に液晶層を有する検査装置、すなわち、モジュレータを位置させた後、薄膜トランジスタ基板にテスト信号を供給し、モジュレータを通してテスト画像を表示することで、不良画素及び不良ライン有無を検査する。

【0021】

ここで、データラインオープン不良が検出されると、データラインDLのオープン領域を挟んで、分離されたデータラインと重畳されるようにレーザーCVD法(Laser Chemical Vapor Deposition)を用いて"C"字状の連結電極28を形成する。連結電極28は、隣接した画素電極50と重畳されるように形成される。

【0022】

次いで、分離されたデータラインDLと連結電極28の第1及び第2重畳部にレーザーをそれぞれ照射し、連結電極28及びデータラインDLを溶接させることで、データラインDLと連結電極28が第1及び第2溶接ポイント26a, 26bを通して電氣的に接続される。その結果、分離されたデータラインDLは、連結電極28を通して接続される。

【0023】

しかしながら、データラインDLと連結された連結電極28は、画素電極50の第1部分50aと接触するので、データラインDLの信号が歪曲される憂いがある。これを補完するために、連結電極28と接触した画素電極50の第1部分50aを、レーザーカッティング(Laser Cutting)ライン30を通して薄膜トランジスタ(TFT)と接続された第2部分50bと分離する。

【0024】

また、画素電極50の第2部分50bは、薄膜トランジスタ(TFT)を通して駆動可能であるが、他の正常画素電極より面積が減少し、同一電圧対比輝度偏差を誘発してしまう。このような問題点を解決するために、画素電極50の第2部分50bと重畳された前段ゲートラインGL'にレーザーを照射し、画素電極50の第2部分50bを前段ゲートラインGL'と溶接させることで、画素電極50の第2部分50bと前段ゲートラインGL'とが溶接ポイント22を通して電氣的に連結される。これによって、画素電極50の第2部分50bにはゲート信号が印加される。ゲート信号としては、ほとんどの時間の間ゲートロー電圧が印加されるので、画素電極50の第2部分50bにも共通電圧と電圧差の大きいゲートロー電圧が印加され、この画素は、ブラックを表示して暗点化される。

【0025】

上記のように、本発明の第1実施例に係る液晶表示装置によると、データラインのオープン不良を連結電極を用いてリペアすることができる。

【0026】

図面に示していないが、薄膜トランジスタ基板は、液晶層を挟んでカラーフィルタ基板と合着される。カラーフィルタ基板は、第2基板において画素領域を除いた部分の光を遮断するためのブラックマトリクス層と、カラー色相を表現するためのR、G、Bカラーフィルタ層と、カラーフィルタ層上に共通電圧を供給する共通電極とを備えている。

【0027】

図2は、本発明の第2実施例に係る液晶表示装置の薄膜トランジスタ基板を示した平面図である。図2に示した薄膜トランジスタ基板は、図1に示した薄膜トランジスタ基板と対比して、第1共通電極の構造を除けば同一の構成要素を備えているので、重複された構成要素に対する説明は省略する。

【0028】

図2を参照すると、第1共通電極20aは、データラインDLに対して平行で、所定部位がオープンされて形成される。第1共通電極20aのオープン領域は、画素電極50の

10

20

30

40

50

第1部分50a及び第2部分50bを分離するレーザーカッティング領域30と重畳される。その結果、データラインDLのオープン不良が発生した場合、連結電極28の形成後、画素電極50上のレーザーカッティング時における第1共通電極20aと画素電極50のショートを防止することができる。

【0029】

図3A乃至図3Dは、図2のI-I'~II-II'線に沿った薄膜トランジスタ基板を示した工程断面図である。図3A乃至図3Dに示していない構成要素は、図2を参照すればよい。

【0030】

図3Aを参照すると、ゲート電極12及び第1共通電極20aは、図2に示したゲートラインGL、共通ライン20、第2共通電極20bと一緒に形成される。

10

【0031】

具体的に、第1基板の上にゲート金属層がスパッタリングなどの蒸着方法で形成される。次いで、第1マスクを用いたフォトリソグラフィ工程及びエッチング工程でゲート金属層がパターニングされ、ゲートラインGL、ゲート電極12、共通ライン20、第1及び第2共通電極20a、20bが形成される。このとき、第1共通電極20aは、オープン部を有して分離形成される。

【0032】

ゲート金属層の材料としては、モリブデン(Mo)、チタニウム(Ti)、タンタル(Ta)、モリブデン合金(Mo alloy)、銅(Cu)などが用いられる。

20

【0033】

図3Bを参照すると、ゲート電極12上にゲート絶縁膜14、半導体層16、ソース及びドレイン電極18a、18bが順次形成される。

【0034】

具体的に、ゲート電極12を含む第1基板の全面に、PECVD(Plasma Enhanced Chemical Vapor Deposition)などの蒸着方法でゲート絶縁膜14、非晶質シリコン(a-Si)層及び不純物(n+)がドーピングされた非晶質シリコン層が順次形成される。次いで、ソース/ドレイン金属層がスパッタリングなどの蒸着方法で形成された後、第2マスクを用いたフォトリソグラフィ工程及びエッチング工程によってパターニングされ、活性層16b及びオーミックコンタクト層16aからなる半導体層16、データラインDL、ソース及びドレイン電極18a、18bが形成される。

30

【0035】

このとき、ソース電極18a及びドレイン電極18bとオーミックコンタクト層16aとの電気的な分離のために、回折露光またはハーフトーンマスク(half-tone mask)が用いられる。

【0036】

ゲート絶縁膜14の材料としては、酸化シリコン(SiO_x)または窒化シリコン(SiN_x)などの無機絶縁物質が用いられる。ソース/ドレイン金属層18の材料としては、モリブデン(Mo)、チタニウム(Ti)、タンタル(Ta)、モリブデン合金(Mo alloy)、銅(Cu)などが用いられる。

40

【0037】

図3Cを参照すると、ソース及びドレイン電極18a、18b上に、コンタクトホール40を含む保護膜42が形成される。

【0038】

すなわち、ソース及びドレイン電極18a、18b上に保護膜42が形成された後、第3マスクを用いたフォトリソグラフィ工程及びエッチング工程によってパターニングされ、ドレイン電極18bを露出させるコンタクトホール40が形成される。保護膜42は、ゲート絶縁膜14などの無機絶縁物質がPECVDなどの蒸着方法で蒸着されて形成されるか、誘電率の小さいアクリル系有機化合物、BCB(ベンゾシクロブテン)またはP

50

FCB（パーフルオロシクロブタン）などの有機絶縁物質がスピンまたはスピンレスなどのコーティング方法でコーティングされて形成される。

【0039】

図3Dを参照すると、保護膜42上に、ドレーン電極18bと電氣的に連結される画素電極50が形成される。

【0040】

具体的に、保護膜42上に透明導電物質が蒸着された後、第4マスクを用いたフォトリソグラフィ工程及びエッチング工程によってパターンニングされ、ドレーン電極18bと電氣的に連結される画素電極50が形成される。画素電極50は、ゲート絶縁膜14及び保護膜42を挟んで共通ライン20、第1共通電極20a及び第2共通電極20bと重畳され、前段ゲートラインGL'とも重畳されて形成される。透明導電物質としては、インジウムスズ酸化物（Indium Tin Oxide:ITO）、スズ酸化物（Tin Oxide:TO）、インジウム亜鉛酸化物（Indium Zinc Oxide:IZO）またはインジウムスズ亜鉛酸化物（Indium Tin Zinc Oxide:ITZO）などが用いられる。

10

【0041】

上記のように完成された薄膜トランジスタ基板の不良検査時、データラインオープン不良が検出されると、これによるリペア工程が必要となる。

【0042】

図4A及び図4Cは、図2に示した本発明のデータラインリペア工程を示した断面図である。

20

【0043】

図2及び図4Aを参照すると、オープンされたデータラインDLの両側部と重畳される連結電極28が、保護膜42上にレーザーCVD法（Laser Chemical Vapor Deposition）で形成される。このとき、連結電極28は、隣接した画素電極50側に突出され、その画素電極50上に重畳された"C"字状に形成される。また、連結電極28は、画素電極50上で第1共通電極20aと重畳されるが、第1共通電極20aのオープン部とは重畳されない。

【0044】

図4Bを参照すると、連結電極28とデータラインDLとの重畳部をレーザーで照射して溶接させることで、第1及び第2溶接ポイント26a、26bを通してデータラインDLと連結電極28とが連結される。

30

【0045】

図4Cを参照すると、連結電極28と接触した画素電極の第1部分50aと、薄膜トランジスタ（TFET）と接続された画素電極50の第2部分50bが、レーザーカッティングライン30を通して分離される。レーザーカッティングライン30は、連結電極28の外郭に沿って"C"字状に形成される。このとき、レーザーカッティングライン30は、連結電極28の上部では第1共通電極20aと重畳されない画素電極50を経由し、連結電極28の下部では第1共通電極20aのオープン部と重畳された画素電極50を経由する。したがって、第1共通電極20aと画素電極50とのショートを防止することができる。

40

【0046】

また、画素電極50の第2部分50bは、他の正常画素電極より面積が小さいので、同一電圧対比輝度偏差が発生してしまう。これを防止するために、画素電極の第2部分50bと重畳された前段ゲートラインGL'をレーザーで照射して電氣的に連結することで、画素電極50の第2部分50bに位置した画素がブラックを表示するように暗点化させる。このような暗点化は、レーザー溶接で連結電極とデータラインとを接続させた後、レーザーカッティング工程を行う前にも可能である。

【0047】

以上説明した本発明は、上述した実施例及び添付された図面に限定されるものでなく、

50

本発明の技術的思想を逸脱しない範囲内で多様に置換、変形及び変更可能であることが、本発明の属する技術分野で通常の知識を有する者にとって明白であろう。

【図面の簡単な説明】

【0048】

【図1】本発明の第1実施例に係る液晶表示装置を示した平面図である。

【図2】本発明の第2実施例に係る液晶表示装置を示した平面図である。

【図3A】図2のI-I'～II-II'線に沿った液晶表示装置の工程断面図である。

【図3B】図2のI-I'～II-II'線に沿った液晶表示装置の工程断面図である。

【図3C】図2のI-I'～II-II'線に沿った液晶表示装置の工程断面図である。

【図3D】図2のI-I'～II-II'線に沿った液晶表示装置の工程断面図である。

10

【図4A】図2のII～II'及びIII～III'線に沿った本発明に係る液晶表示装置のデータラインのリペア工程断面図である。

【図4B】図2のII～II'及びIII～III'線に沿った本発明に係る液晶表示装置のデータラインのリペア工程断面図である。

【図4C】図2のII～II'及びIII～III'線に沿った本発明に係る液晶表示装置のデータラインのリペア工程断面図である。

【符号の説明】

【0049】

12 ゲート電極

14 ゲート絶縁膜

20

18a, 18b ソース、ドレイン電極

20a, 20b 共通電極

22, 26a, 26b 溶接ポイント

24 半導体層

28 連結電極

30 レーザーカッティングライン

40 コンタクトホール

50 画素電極

フロントページの続き

(74)代理人 100104352

弁理士 朝日 伸光

(74)代理人 100128657

弁理士 三山 勝巳

(72)発明者 金 殷 泓

大韓民国 大邱 西區 内堂4洞 グワンチャンタウン アパート 202 - 203

審査官 吉田 英一

(56)参考文献 特開2005 - 043639 (JP, A)

国際公開第2003 / 081329 (WO, A1)

(58)調査した分野(Int.Cl., DB名)

G02F 1 / 1343

G02F 1 / 1368

H01L 29 / 78

专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	JP4777334B2	公开(公告)日	2011-09-21
申请号	JP2007339585	申请日	2007-12-28
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji显示有限公司		
当前申请(专利权)人(译)	Eruji显示有限公司		
[标]发明人	金殷泓		
发明人	金 殷 泓		
IPC分类号	G02F1/1343 G02F1/1368		
CPC分类号	G02F1/136259 G02F2001/136263		
FI分类号	G02F1/1343 G02F1/1368		
F-TERM分类号	2H092/GA13 2H092/GA17 2H092/GA24 2H092/GA32 2H092/JA26 2H092/JB22 2H092/JB31 2H092/JB51 2H092/JB56 2H092/JB61 2H092/JB73 2H092/MA05 2H092/MA08 2H092/MA13 2H092/MA17 2H092/MA47 2H092/NA29 2H192/AA24 2H192/BC31 2H192/CB05 2H192/DA14 2H192/HB03 2H192/HB34 2H192/HB37 2H192/HB46 2H192/HB48 2H192/HB54 2H192/HB64		
代理人(译)	白井伸一 朝日 伸光		
审查员(译)	吉田荣一		
优先权	1020070024282 2007-03-13 KR		
其他公开文献	JP2008225448A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种液晶显示器及其制造方法，可以修复数据线的开路故障。ΣSOLUTION：该器件包括多条栅极线和数据线，用于在衬底上限定像素区域；薄膜晶体管，形成在栅极线和数据线之间的交叉区域；像素电极，形成在像素区域中并与薄膜晶体管连接；第一公共电极和第二公共电极，与数据线平行形成并叠加在像素电极的两侧；第一公共电极的开口部分，其在每个像素区域处分隔第一公共电极；耦合电极，其叠置在打开的数据线的两侧和相邻的像素电极上，并且通过焊接点与打开的数据线连接；切割线，用于将像素电极分离为与耦合电极连接的第一部分和与薄膜晶体管连接的第二部分，并用于穿过第一公共电极的开口部分。

【图3D】

