

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4728654号
(P4728654)

(45) 発行日 平成23年7月20日(2011.7.20)

(24) 登録日 平成23年4月22日(2011.4.22)

(51) Int.Cl.

F I

G09G 3/36 (2006.01)

G02F 1/133 (2006.01)

G02F 1/1343 (2006.01)

G02F 1/1368 (2006.01)

G09G 3/20 (2006.01)

G09G 3/36

G02F 1/133 550

G02F 1/133 575

G02F 1/1343

G02F 1/1368

請求項の数 28 (全 31 頁) 最終頁に続く

(21) 出願番号 特願2005-19875 (P2005-19875)
 (22) 出願日 平成17年1月27日(2005.1.27)
 (65) 公開番号 特開2005-258417 (P2005-258417A)
 (43) 公開日 平成17年9月22日(2005.9.22)
 審査請求日 平成19年11月20日(2007.11.20)
 (31) 優先権主張番号 特願2004-32441 (P2004-32441)
 (32) 優先日 平成16年2月9日(2004.2.9)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 501286657
 株式会社 液晶先端技術開発センター
 神奈川県川崎市幸区堀川町6番地2
 (74) 代理人 100091351
 弁理士 河野 哲
 (74) 代理人 100088683
 弁理士 中村 誠
 (74) 代理人 100108855
 弁理士 蔵田 昌俊
 (74) 代理人 100075672
 弁理士 峰 隆司
 (74) 代理人 100109830
 弁理士 福原 淑弘
 (74) 代理人 100084618
 弁理士 村松 貞男

最終頁に続く

(54) 【発明の名称】 液晶画素メモリ、液晶表示装置およびこれらの駆動方法

(57) 【特許請求の範囲】

【請求項 1】

互いに位相が180°ずれた交流電圧が液晶駆動電圧として印加される第1および第2電源端子と、

この第1および第2電源端子から供給される電荷をそれぞれ保持しこれら電荷により得られる電位差を実質的に基板面に水平な横方向電界を液晶層内に生成する液晶駆動電圧として前記液晶層に印加する第1および第2画素電極と、

映像信号配線にゲート電極が接続されたソースおよびドレイン電極とを有する入力トランジスタと、

前記第1および第2の画素電極を前記第1および第2の電源端子の電位にプリチャージするために前記第1および第2の画素電極と前記第1および第2の電源端子との間に接続された一対の第1のスイッチトランジスタと、

前記第1および第2の画素電極に保持された電荷を前記入力トランジスタのゲート電極に入力された映像信号の値に応じて再分配するために、前記入力トランジスタのソースおよびドレイン電極と前記第1および第2の画素電極の間にそれぞれ接続された一対の第2のスイッチトランジスタと、を備えることを特徴とする液晶画素メモリ。

【請求項 2】

前記電源回路は第1および第2のレベル間で交互に遷移する交流電圧を前記第1および第2の電源端子に供給するように構成されることを特徴とする請求項1に記載の液晶画素メモリ。

10

20

【請求項 3】

さらに映像信号を取り込むサンプリングトランジスタと、前記サンプリングトランジスタによって取り込まれた映像信号を保持して前記入力トランジスタのゲート電極に印加する容量素子とを含むサンプルホールド回路を備えることを特徴とする請求項 1 に記載の液晶画素メモリ。

【請求項 4】

さらに前記第 1 および第 2 画素電極間に配置され、前記基準電位に設定される共通電極を備えることを特徴とする請求項 1 に記載の液晶画素メモリ。

【請求項 5】

前記入力トランジスタは N チャネルトランジスタであり、ダイオード接続された P チャネルトランジスタを介して映像信号を受け取るように接続されることを特徴とする請求項 1 に記載の液晶画素メモリ。

10

【請求項 6】

互いに位相が 180° ずれた交流電圧が液晶駆動電圧として印加される第 1 および第 2 の電源端子と、

前記第 1 および第 2 の電源端子から供給される電荷をそれぞれ保持しこれら電荷により得られる電位差を実質的に基板面に水平な横方向電界を液晶層内に生成する液晶駆動電圧として液晶層に印加する第 1 および第 2 画素電極と、

映像信号を受け取るゲート電極を有する入力トランジスタとを備える液晶画素メモリの駆動方法であって、

20

前記第 1 および第 2 の画素電極を前記第 1 および第 2 の電源端子にそれぞれ接続して、前記第 1 および第 2 の画素電極を前記第 1 および第 2 の電源端子の電位にそれぞれプリチャージする手順と、

前記第 1 および第 2 の画素電極を前記第 1 および第 2 の電源端子から切り離した後、前記第 1 および第 2 の画素電極を前記入力トランジスタのソースおよびドレイン電極に接続して、前記第 1 および第 2 の画素電極に保持された電荷を前記入力トランジスタのゲート電極に与えられた映像信号の値に応じて再配分することにより前記第 1 および第 2 の画素電極の電位を決定する手順と、を備えること特徴とする液晶画素メモリの駆動方法。

【請求項 7】

前記第 1 および第 2 電源端子の電位関係を変化させるために第 1 および第 2 レベル間で交互に遷移する交流電圧を前記第 1 および第 2 電源端子に供給することを特徴とする請求項 6 に記載の液晶画素メモリの駆動方法。

30

【請求項 8】

さらにサンプルホールド回路により複数の映像信号配線の 1 本から映像信号を取り込み持続的に前記入力トランジスタのゲートに出力することを特徴とする請求項 6 に記載の液晶画素メモリの駆動方法。

【請求項 9】

前記映像信号のリフレッシュ周期が前記液晶駆動電圧の反転周期に一致しないことを特徴とする請求項 6 に記載の液晶画素メモリの駆動方法。

【請求項 10】

前記映像信号のリフレッシュ周期が前記液晶駆動電圧の反転周期よりも長いことを特徴とする請求項 6 に記載の液晶画素メモリの駆動方法。

40

【請求項 11】

一対の支持基板と、

前記一対の支持基板間に挟持される液晶層と、

一方の支持基板上にマトリクス状に配置され液晶分子の配向をそれぞれ制御する複数の画素回路とを備え、

各画素回路は互いに位相が 180° ずれた交流電圧が液晶駆動電圧として印加される第 1 および第 2 電源端子と、

前記第 1 および第 2 電源端子から供給される電荷をそれぞれ保持しこれら電荷により得

50

られる電位差を実質的に基板に水平な横方向電界を液晶層内に生成する液晶駆動電圧として前記液晶層に印加する第 1 および第 2 画素電極と、

映像信号を受け取るゲート電極とソースおよびドレイン電極とを有する入力トランジスタと、

前記第 1 および第 2 の画素電極を前記第 1 および第 2 の電源端子の電位にそれぞれプリチャージするために前記第 1 および第 2 の画素電極を前記第 1 および第 2 の電源端子にそれぞれ接続する機能、および前記第 1 および第 2 画素電極に保持された電荷を前記入力トランジスタのゲート電極に供給された映像信号の値に応じて再分配するために前記第 1 および第 2 画素電極を前記入力トランジスタのソース、ドレイン電極の一方および他方にそれぞれ接続する機能を有するスイッチ回路と、を含むことを特徴とする液晶表示装置。

10

【請求項 1 2】

前記支持基板は前記複数の画素回路の行に沿って配置される複数の走査配線と、前記複数の画素回路の行に沿って配置される複数のプリチャージ制御配線と、複数の画素回路の列に沿って配置される複数の映像信号配線とを有し、

各画素回路は前記複数の走査配線および前記複数の映像信号配線によって区画された複数の画素領域の 1 つに配置され、

各画素回路のスイッチ回路は前記複数のプリチャージ制御配線の 1 本に接続されるゲート電極を有する第 1 および第 2 接続トランジスタと前記複数の走査配線の 1 本に接続されるゲート電極を有する第 3 および第 4 接続トランジスタを有し、

前記第 1 および第 2 画素電極は、第 1 および第 2 接続トランジスタのソースおよびドレイン電極を介して前記第 1 および第 2 電源端子にそれぞれ接続されると共に、前記第 3 および第 4 接続トランジスタのソースおよびドレイン電極を介して前記入力トランジスタのソースおよびドレイン電極の一方および他方にそれぞれ接続され、

20

前記入力トランジスタのゲート電極は前記複数の映像信号配線の 1 本からの映像信号を受け取るように接続されることを特徴とする請求項 1 1 に記載の液晶表示装置。

【請求項 1 3】

各画素回路はさらに映像信号を取り込むサンプリングトランジスタと、前記サンプリングトランジスタによって取り込まれた映像信号を保持して前記入力トランジスタのゲート電極に印加する容量素子とを含むサンプルホールド回路を備えることを特徴とする請求項 1 2 に記載の液晶表示装置。

30

【請求項 1 4】

前記支持基板はさらに前記複数の画素回路の行に沿って配置される複数の第 2 走査配線を有し、前記サンプリングトランジスタのゲートが前記複数の第 2 走査配線の 1 本に接続されることを特徴とする請求項 1 3 に記載の液晶表示装置。

【請求項 1 5】

前記支持基板は前記複数の画素回路の第 1 および第 2 電源端子をそれぞれ構成して前記電源回路に接続される複数対の電源配線を有することを特徴とする請求項 1 2 に記載の液晶表示装置。

【請求項 1 6】

前記第 3 および第 4 の接続トランジスタ、並びに前記第 1 および第 2 の電源配線は隣接する 2 つの画素回路によって共有されることを特徴とする請求項 1 5 に記載の液晶表示装置。

40

【請求項 1 7】

さらに前記第 1 および第 2 の画素電極間に配置され、前記基準電位に設定される共通電極を備えることを特徴とする請求項 1 1 に記載の液晶表示装置。

【請求項 1 8】

前記第 1 および第 2 の画素電極は相互に咬合する櫛歯状の透明電極であることを特徴とする請求項 1 1 に記載の液晶表示装置。

【請求項 1 9】

各画素回路はさらに絶縁膜を介して前記第 1 および第 2 の画素電極の一部に重なる反射

50

電極を含むことを特徴とする請求項 18 に記載の液晶表示装置。

【請求項 20】

前記入力トランジスタは N チャンネルトランジスタであり、ダイオード接続された P チャンネルトランジスタを介して映像信号を受け取るように接続されることを特徴とする請求項 11 に記載の液晶表示装置。

【請求項 21】

一対の支持基板間に設けられる液晶層と、
一方の支持基板上にマトリクス状に配置され液晶分子の配向をそれぞれ制御する複数の画素回路と、

前記複数の画素回路の行に沿って配置される複数の第 1 アドレス配線と、
複数のプリチャージ制御配線と、

前記複数の画素回路の列に沿って配置される複数の第 2 アドレス配線と、
前記複数の画素回路の列に沿って配置される複数の映像信号配線とを有し、

各画素回路は前記複数の第 1 アドレス配線および前記複数の第 2 アドレス配線によって区画された複数の画素領域の 1 つに配置され、

各画素回路は、互いに位相が 180° ずれた交流電圧が液晶駆動電圧として印加される第 1 および第 2 の電源端子と、この第 1 および第 2 の電源端子から供給される電荷をそれぞれ保持しこれら電荷により得られる電位差を、実質的に基板面に水平な横方向電界を液晶層内に生成する液晶駆動電圧として前記液晶層に印加する第 1 および第 2 の画素電極と、ゲート電極、ソースおよびドレイン電極とを有する入力トランジスタと、前記複数のプリチャージ制御配線の 1 本に接続されるゲート電極を有する第 1 および第 2 接続トランジスタと、前記第 1 のアドレス配線の 1 本に接続されるゲート電極を有する第 3 の接続トランジスタと、前記第 1 のアドレス配線の 1 本に接続されるゲート電極を有する第 4 の接続トランジスタとを有し、

前記第 1 および第 2 の画素電極は、第 1 および第 2 の接続トランジスタのソースおよびドレイン電極を介して前記第 1 および第 2 の電源端子にそれぞれ接続されると共に、前記第 3 および第 4 の接続トランジスタのソースおよびドレイン電極を介して前記入力トランジスタのソースおよびドレイン電極の一方および他方にそれぞれ接続され、

前記入力トランジスタのゲート電極は前記複数の映像信号配線の 1 本からの映像信号を受け取るように接続されることを特徴とする液晶表示装置。

【請求項 22】

一対の支持基板と、
この一対の支持基板間に設けられた液晶層と、
一方の支持基板上にマトリクス状に配置され液晶分子の配向をそれぞれ制御する複数の画素回路とを備え、

各画素回路が互いに位相が 180° ずれた交流電圧が液晶駆動電圧として印加される第 1 および第 2 電源端子と、

第 1 および第 2 電源端子から供給される電荷をそれぞれ保持しこれら電荷により得られる電位差を実質的に基板面に水平な横方向電界を液晶層内に生成する液晶駆動電圧として液晶層に印加する第 1 および第 2 画素電極と、

映像信号を受け取るゲートを有し第 1 および第 2 画素電極に保持された電荷を映像信号に対応して再配分する入力トランジスタとを含む液晶表示装置の駆動方法であって、

前記第 1 および第 2 の画素電極を前記第 1 および第 2 の電源端子にそれぞれ接続して、前記第 1 および第 2 の画素電極を前記第 1 および第 2 の電源端子の電位にプリチャージする手順と、

前記第 1 および第 2 の画素電極を前記第 1 および第 2 の電源端子から切り離れた後、前記第 1 および第 2 の画素電極を前記入力トランジスタのソースおよびドレイン電極に接続して、前記第 1 および第 2 の画素電極に保持された電荷を前記入力トランジスタのゲート電極に供給される映像信号の値に応じて再配分することにより、前記第 1 および第 2 の画素電極の電位を決定する手順と、を含むことを特徴とする液晶表示装置の駆動方法。

【請求項 2 3】

前記映像信号は、ダイオード接続された前記入力トランジスタとは逆の極性を持つトランジスタを介して、前記入力トランジスタのゲート電極に供給され、

かつ前記映像信号を供給する際に、前記ダイオード接続された前記入力トランジスタとは逆の極性を持つトランジスタが逆バイアスされない電圧レベルに、前記入力トランジスタのゲート電位を設定する手順と、

しかる後に映像信号を供給する手順を含むことを特徴とする請求項 2 2 に記載の液晶表示装置の駆動方法。

【請求項 2 4】

前記映像信号は単極性であることを特徴とする請求項 2 2 に記載の液晶表示装置の駆動方法。

10

【請求項 2 5】

前記第 1 および第 2 電源端子の電位関係を変化させるために第 1 および第 2 レベル間で交互に遷移する交流電圧を前記第 1 および第 2 電源端子に供給することを特徴とする請求項 2 4 に記載の液晶表示装置の駆動方法。

【請求項 2 6】

さらにサンプルホールド回路により映像信号を取り込み持続的に前記入力トランジスタのゲート電極に出力することを特徴とする請求項 2 4 に記載の液晶表示装置の駆動方法。

【請求項 2 7】

前記映像信号のリフレッシュ周期が前記液晶駆動電圧の反転周期に一致しないことを特徴とする請求項 2 4 に記載の液晶表示装置の駆動方法。

20

【請求項 2 8】

前記映像信号のリフレッシュ周期が前記液晶駆動電圧の反転周期よりも長いことを特徴とする請求項 2 4 に液晶表示装置の記載の駆動方法。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、液晶分子の配向を制御するために周期的に極性反転される液晶駆動電圧を液晶層に印加する液晶画素メモリ、液晶表示装置、およびこれらの駆動方法に関する。

【背景技術】

30

【0002】

例えばアクティブマトリクス液晶表示装置は文字やグラフィックの情報を表示する表示装置としてOA機器、その他の様々な機器で用いられている。この液晶表示装置は通常一對の基板間に液晶層を挟持した構造の表示パネルである。この表示パネルでは、複数の画素が表示画面を構成するためにマトリクス状に配置され、各々薄膜トランジスタ(TFT: Thin Film Transistor)を介して駆動される。

【0003】

従来のアクティブマトリクス液晶表示装置は、通常線順次走査方式で複数の画素を駆動する。線順次走査方式では、複数の画素が1水平ラインを構成する行単位に順次選択され、1水平ライン分の映像信号が選択行の画素に供給される。各画素はこの映像信号により充放電される画素容量を有し、この画素容量は映像信号の電圧を液晶駆動電圧として液晶層に印加する一對の電極間に得られる液晶容量とこの液晶容量に並列的に接続される補助容量とを含む。液晶分子の配向は液晶駆動電圧に対応して一對の電極間に生成される電界により制御される。液晶駆動電圧は映像信号のリフレッシュ周期である1フレーム期間毎に変化する。

40

【0004】

液晶分子の配向が一方向の電界により継続的に制御されると、液晶分子の偏在化が液晶層内に生じる。この偏在化は液晶表示装置を動作不能にするため、液晶駆動電圧の極性は例えば1フレーム期間毎に反転する必要がある。さらに、ドット反転駆動がフリッカを抑制するために行われる場合には、液晶分子の配向が隣接画素間で互いに逆の極性に設定さ

50

れる液晶駆動電圧により制御される。この場合、1 水平ライン分の映像信号が1 水平走査期間毎に極性反転され、複数の信号配線を介して選択行の画素に供給される。具体的には、信号配線用ドライバLSIが1 水平ライン分の映像信号に対応して複数の映像信号配線を駆動する。これら信号配線に寄生する配線容量はこのドライバLSIによって1 水平走査期間毎に反転した極性で充放電されるため、ドライバLSIの消費電力は極めて大きい。ドライバLSIの消費電力Pは、これら信号配線の総配線容量を C_L 、フレーム周波数を f_F 、走査線数を N_S 、映像信号の最大振幅（Peak-to-Peak値）を V_{SIG} とすると、おおよそ

$$P = C_L \cdot f_F \cdot N_S \cdot V_{SIG}^2$$

で与えられるが、液晶表示装置の表示パネルが大型化、高精細化すると、映像信号の配線容量と駆動回路のクロック周波数の両方が増大するため、信号配線ドライバLSIの消費電力が加速度的に増大することがわかる。この問題の解決策としては、第1の従来技術が提案されている（例えば特許文献1および特許文献2を参照）。この技術は、例えばSRAM構造のメモリ素子を画素回路内に設けて、映像信号をフレーム単位に間引くことにより消費電力の増大を抑制する。

【0005】

また、アクティブマトリクス液晶表示装置では、高画質化も重要な課題である。この課題については、横電界駆動方式の液晶表示装置が第2の従来技術として提案されている（例えば特許文献3、特許文献4および特許文献5を参照）。横電界駆動方式の液晶表示装置は一方の基板の各画素領域に一对の画素電極を設け、これら画素電極によって電極平面、すなわち基板面に略平行な横方向電界を液晶層内に生成することにより液晶分子をこの面内で回転させることにより階調表示を行い、これにより広い視野範囲で高いコントラスト比と色再現性を実現する。

【特許文献1】特開平9 - 258168号公報

【特許文献2】特開平9 - 274200号公報

【特許文献3】特開平7 - 36058号公報

【特許文献4】特開2003 - 149664号公報

【特許文献5】特開2003 - 15155号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

第1の従来技術では、画素回路内のメモリ素子がデジタルメモリであることから、通常の階調表示を行うために、表示すべき階調の数に対応する数だけのメモリ素子とこれに信号を供給する信号配線を配置する必要がある。例えば64の階調を表示可能にするためには、6ビット分のメモリ素子および6本の信号配線を全画素の画素領域内に配置する必要がある。実際にこのような多数の素子や配線を限られた画素領域内に配置すると、開口率の低下および製造歩留まりの低下を招くことから、低消費電力で高画質の液晶表示装置を安価で提供することが困難になる。

【0007】

第2の従来技術では、液晶表示装置の高画質化が可能であるが、信号配線用ドライバLSIの消費電力の問題について考慮されていない。従って、各画素はドライバLSIによって駆動される信号配線から映像信号をサンプリングトランジスタによってサンプリングし液晶駆動電圧として液晶層に直接的に印加するように構成されている。この構成では、上述した信号配線用ドライバLSIの消費電力の増大を抑制することができない。

【0008】

本発明はこのような問題を解決するものであって、消費電力を増大させずに高画質を得ることができる液晶画素メモリ、液晶表示装置、およびこれらの駆動方法を提供することを目的とする。

【課題を解決するための手段】

【0009】

10

20

30

40

50

本発明の第 1 観点によれば、互いに位相が 180° ずれた交流電圧が液晶駆動電圧として印加される第 1 および第 2 電源端子と、この第 1 および第 2 電源端子から供給される電荷をそれぞれ保持しこれら電荷により得られる電位差を実質的に基板面に水平な横方向電界を液晶層内に生成する液晶駆動電圧として前記液晶層に印加する第 1 および第 2 画素電極と、映像信号配線にゲート電極が接続されたソースおよびドレイン電極とを有する入力トランジスタと、前記第 1 および第 2 の画素電極を前記第 1 および第 2 の電源端子の電位にプリチャージするために前記第 1 および第 2 の画素電極と前記第 1 および第 2 の電源端子との間に接続された一対の第 1 のスイッチトランジスタと、前記第 1 および第 2 の画素電極に保持された電荷を前記入力トランジスタのゲート電極に入力された映像信号の値に応じて再分配するために、前記入力トランジスタのソースおよびドレイン電極と前記第 1 および第 2 の画素電極の間にそれぞれ接続された 1 対の第 2 のスイッチトランジスタとを備える液晶画素メモリが提供される。

10

【0010】

本発明の第 2 観点によれば、互いに位相が 180° ずれた交流電圧が液晶駆動電圧として印加される第 1 および第 2 の電源端子と、前記第 1 および第 2 の電源端子から供給される電荷をそれぞれ保持しこれら電荷により得られる電位差を実質的に基板面に水平な横方向電界を液晶層内に生成する液晶駆動電圧として液晶層に印加する第 1 および第 2 画素電極と、映像信号を受け取るゲート電極を有する入力トランジスタとを備える液晶画素メモリの駆動方法であって、前記第 1 および第 2 の画素電極を前記第 1 および第 2 の電源端子にそれぞれ接続して、前記第 1 および第 2 の画素電極を前記第 1 および第 2 の電源端子の電位にそれぞれプリチャージする手順と、前記第 1 および第 2 の画素電極を前記第 1 および第 2 の電源端子から切り離した後、前記第 1 および第 2 の画素電極を前記第 1 および第 2 の電源端子のソースおよびドレイン電極に接続して、前記第 1 および第 2 の画素電極に保持された電荷を前記入力トランジスタのゲート電極に与えられた映像信号の値に応じて再分配することにより前記第 1 および第 2 の画素電極の電位を決定する手順とを備える液晶画素メモリの駆動方法が提供される。

20

【0011】

本発明の第 3 観点によれば、一対の支持基板と、前記一対の支持基板間に挟持される液晶層と、一方の支持基板上にマトリクス状に配置され液晶分子の配向をそれぞれ制御する複数の画素回路とを備え、各画素回路は互いに位相が 180° ずれた交流電圧が液晶駆動電圧として印加される第 1 および第 2 電源端子と、前記第 1 および第 2 電源端子から供給される電荷をそれぞれ保持しこれら電荷により得られる電位差を実質的に基板に水平な横方向電界を液晶層内に生成する液晶駆動電圧として前記液晶層に印加する第 1 および第 2 画素電極と、映像信号を受け取るゲート電極とソースおよびドレイン電極とを有する入力トランジスタと、前記第 1 および第 2 の画素電極を前記第 1 および第 2 の電源端子の電位にそれぞれプリチャージするために前記第 1 および第 2 の画素電極を前記第 1 および第 2 の電源端子にそれぞれ接続する機能、および前記第 1 および第 2 画素電極に保持された電荷を前記入力トランジスタのゲート電極に供給された映像信号の値に応じて再分配するために前記第 1 および第 2 画素電極を前記入力トランジスタのソース、ドレイン電極の一方および他方にそれぞれ接続する機能を有するスイッチ回路とを含むことを特徴とする液晶表示装置が提供される。

30

40

【0012】

本発明の第 4 観点によれば、一対の支持基板間に設けられる液晶層と、一方の支持基板上にマトリクス状に配置され液晶分子の配向をそれぞれ制御する複数の画素回路と、前記複数の画素回路の行に沿って配置される複数の第 1 アドレス配線と、複数のプリチャージ制御配線と、前記複数の画素回路の列に沿って配置される複数の第 2 アドレス配線と、前記複数の画素回路の列に沿って配置される複数の映像信号配線とを有し、各画素回路は前記複数の第 1 アドレス配線および前記複数の第 2 アドレス配線によって区画された複数の画素領域の 1 つに配置され、各画素回路は、互いに位相が 180° ずれた交流電圧が液晶駆動電圧として印加される第 1 および第 2 の電源端子と、この第 1 および第 2 の電源端子

50

から供給される電荷をそれぞれ保持しこれら電荷により得られる電位差を、実質的に基板面に水平な横方向電界を液晶層内に生成する液晶駆動電圧として前記液晶層に印加する第1および第2の画素電極と、ゲート電極、ソースおよびドレイン電極とを有する入力トランジスタと、前記複数のプリチャージ制御配線の1本に接続されるゲート電極を有する第1および第2接続トランジスタと、前記第1のアドレス配線の1本に接続されるゲート電極を有する第3の接続トランジスタと、前記第1のアドレス配線の1本に接続されるゲート電極を有する第4の接続トランジスタとを有し、前記第1および第2の画素電極は、第1および第2の接続トランジスタのソースおよびドレイン電極を介して前記第1および第2の電源端子にそれぞれ接続されると共に、前記第3および第4の接続トランジスタのソースおよびドレイン電極を介して前記入力トランジスタのソースおよびドレイン電極の一方および他方にそれぞれ接続され、前記入力トランジスタのゲート電極は前記複数の映像信号配線の1本からの映像信号を受け取るように接続される液晶表示装置が提供される。

【0013】

本発明の第5観点によれば、一对の支持基板と、この一对の支持基板間に設けられた液晶層と、一方の支持基板上にマトリクス状に配置され液晶分子の配向をそれぞれ制御する複数の画素回路とを備え、各画素回路が互いに位相が180°ずれた交流電圧が液晶駆動電圧として印加される第1および第2電源端子と、第1および第2電源端子から供給される電荷をそれぞれ保持しこれら電荷により得られる電位差を実質的に基板面に水平な横方向電界を液晶層内に生成する液晶駆動電圧として液晶層に印加する第1および第2画素電極と、映像信号を受け取るゲートを有し第1および第2画素電極に保持された電荷を映像信号に対応して再配分する入力トランジスタとを含む液晶表示装置の駆動方法であって、前記第1および第2の画素電極を前記第1および第2の電源端子にそれぞれ接続して、前記第1および第2の画素電極を前記第1および第2の電源端子の電位にプリチャージする手順と、前記第1および第2の画素電極を前記第1および第2の電源端子から切り離した後、前記第1および第2の画素電極を前記入力トランジスタのソースおよびドレイン電極に接続して、前記第1および第2の画素電極に保持された電荷を前記入力トランジスタのゲート電極に供給される映像信号の値に応じて再配分することにより、前記第1および第2の画素電極の電位を決定する手順とを含むことを特徴とする液晶表示装置の駆動方法が提供される。

【発明の効果】

【0014】

本発明によれば、消費電力を増大させずに高画質を得ることができる液晶画素メモリ、液晶表示装置、およびこれらの駆動方法を得ることができる。

【発明を実施するための最良の形態】

【0015】

上述した液晶画素メモリ、液晶表示装置、およびこれらの駆動方法は次の事項について共通している。第1および第2画素電極が第1および第2電源端子にそれぞれに接続される。これにより、第1および第2画素電極が第1および第2電源端子の電位にそれぞれプリチャージされる。第1および第2電源端子は基準レベルに対して所定のレベル差を持つ逆極性の電位に設定されるため、第1および第2画素電極が逆極性で電荷を保持する。続いて、第1および第2画素電極が入力トランジスタのカレントパスの一端および他端にそれぞれ接続される。これにより、第1および第2画素電極に保持された電荷が入力トランジスタによって再配分される。すなわち、第1および第2画素電極間で電荷の相殺が起こり、これら第1および第2画素電極の電位を変化させる。映像信号電圧を V_s 、入力トランジスタの閾値電圧を V_t とすると、第1および第2画素電極の最終的な到達電位はそれぞれ $V_s - V_t$ 、 $-V_s + V_t$ となる。例えば、 $-2.5V$ の映像信号電圧 V_s が $0.5V$ の閾値電圧 V_t を持つNMO5構造の入力トランジスタに入力された場合、第1画素電極が $V_s - V_t = -2.5 - 0.5 = -3V$ の電位に設定され、第2画素電極が $-V_s + V_t = -(-2.5) + 0.5 = 3V$ の電位に設定される。従って、 $6V$ の電位差が液晶駆動電圧として第1および第2画素電極間に得られる。この液晶駆動電圧の極性は第1および第2電

源端子の電位関係を逆にすることを繰り返すことにより周期的に反転できる。具体的には、例えば + 5 V の高レベルおよび - 5 V の低レベル間でシフトする方形波である 2 つの交流電圧を 180° の相補的な位相関係で第 1 および第 2 電源端子に印加すればよい。

【0016】

この場合、液晶駆動電圧の極性を反転させるために映像信号のリフレッシュを必要としない。すなわち、映像信号電圧 V_s に比例した液晶駆動電圧が第 1 および第 2 画素電極間の液晶容量に保持されれば、いつでもこの液晶駆動電圧の極性を反転できる。従って、信号配線用ドライバ LSI 等の映像信号処理回路が 1 フレーム分の映像信号を更新する頻度、すなわち映像リフレッシュレートを低減し、この映像信号回路での消費電力を低減するために用いることができる。また、映像信号電圧自体は周期的な極性反転を必要とする液晶駆動電圧として用いられていないため、最大振幅が従来の半分である単極性のアナログ電圧を映像信号として供給することが可能である。これにより、映像信号電圧に応じて信号配線を駆動するために消費される電力を低減でき、さらに映像信号回路の構成が簡単化されるためドライバ LSI の製造コストを低減することも可能となる。

【0017】

(第 1 実施形態)

以下、本発明の第 1 実施形態に係る透過型アクティブマトリクス液晶表示装置について添付図面を参照して説明する。まず、透過型アクティブマトリクス液晶表示装置の構成を説明する。

【0018】

図 1 はこの透過型アクティブマトリクス液晶表示装置の断面構造を示し、図 2 はこの液晶表示装置の等価回路を概略的に示し、図 3 は図 2 に示す液晶表示装置においてマトリクス状に配置される複数の画素回路 P_X のうちの 1 個の画素回路 P_X の等価回路を示す。

【0019】

この液晶表示装置は、図 1 に示すように例えば液晶層 506 が一對の支持基板 S_B1 , S_B2 間に保持される構造を有する。支持基板 S_B1 はガラス基板 1 上に保護絶縁膜 22 等を積層した基板であり、図 2 に示すようにマトリクス状に配置される複数の画素回路 P_X 、複数の画素回路 P_X の行（画面上で左右方向）に沿って配置される複数の走査配線 10、これら複数の走査配線 10 と同様に複数の画素回路 P_X の行に沿って配置される複数のプリチャージ制御配線 11、複数の画素回路 P_X の列に沿って配置される複数の映像信号配線 12、複数の走査配線 10 および複数のプリチャージ制御配線 11 を駆動する垂直走査回路 $VDRV$ 、および複数の映像信号配線 12 を駆動する水平駆動回路 $HDRV$ を備える。複数の画素回路 P_X は複数の走査配線 10 および複数の映像信号配線 12 によって実質的に区画された複数の画素領域にそれぞれ配置され、これら画素領域において液晶分子の配向をそれぞれ制御する。支持基板 S_B2 はガラス基板 508 上にカラーフィルタ 507、カラーフィルタ保護膜 OC 等を積層した基板である。支持基板 S_B1 , S_B2 はさらに液晶層 506 に隣接して液晶分子の向きを設定するように形成される下部配向膜 O_{RI1} , 上部配向膜 O_{RI2} をそれぞれ備える。

【0020】

支持基板 S_B1 , S_B2 は、それぞれ独立に形成した後にこれらの外周に沿って付加されるシール材（図示せず）により貼り合わされる。液晶層 506 は支持基板 S_B1 , S_B2 間でシール材に囲まれた空間に液晶組成物を注入し封止することにより得られる。

【0021】

また、一對の偏光板 505 がこれら配向膜 O_{RI1} , O_{RI2} とは反対側において露出したガラス基板 1 , 508 の表面に貼り付けられる。これら偏光板 505 の偏光透過軸は互いに直交する向きに設定されている。また、バックライト BL がガラス基板 1 の表面に貼り付けられた偏光板 505 に隣接して配置される。このバックライト BL からの光は各画素回路 P_X の制御により液晶層 506 において光学的に変調される。

【0022】

また、図 2 の各画素回路 P_X は、第 1 および第 2 の電源端子 T_1 , T_2 、第 1 および第

2の画素電極13, 13'、並びに第1から第5のトランジスタN1, N2, N3, N4, N5を有する。電源端子T1, T2は基準電位に対して所定のレベル差を持つ逆極性の電位にそれぞれ設定される。基準電位は全ての画素回路PXに接地用に設けられる共通電極GNDの電位に等しい。第1の画素電極13は共通電極GNDと容量結合して第1の補助容量Csを構成し、第2の画素電極13'は共通電極GNDと容量結合して第2補助容量Csを構成する。これにより、画素電極13, 13'は第1および第2の電源端子T1, T2から供給される電荷をそれぞれ保持しこれら電荷により得られる電位差を液晶層内に実質的に横方向電界を生成する液晶駆動電圧として液晶層に印加する。第1のトランジスタN1は映像信号を受け取るゲートを有し第1画素電極13に保持された電荷と第2画素電極13'に保持された電荷とを映像信号に対応して再配分する入力トランジスタである。液晶駆動電圧は第1および第2の画素電極13, 13'間の液晶容量CLCによって保持される。第2から第5のトランジスタN2, N3, N4, N5は、接続トランジスタであり、スイッチ回路を構成する。第4および第5のトランジスタN4, N5は、導通時第1および第2の画素電極13, 13'を第1および第2の電源端子T1, T2の電位にそれぞれプリチャージするために第1および第2の画素電極13, 13'を第1および第2の電源端子T1, T2にそれぞれ電気的に接続する。第1および第2の画素電極13, 13'は、第1のトランジスタN1が第1および第2の画素電極13, 13'に保持された電荷を再配分できるよう第1のトランジスタN1のカレントパスの一端および他端にそれぞれ接続されている。

10

【0023】

20

具体的には、トランジスタN1~N5はいずれもNチャネル薄膜トランジスタ(TFT)により構成される。画素電極13, 13'はトランジスタN4およびN5のソースにそれぞれ接続される。トランジスタN1のゲートは映像信号配線12に接続され、トランジスタN1のドレインはトランジスタN2のドレインに接続され、トランジスタN1のソースはトランジスタN3のドレインに接続される。トランジスタN2, N3のゲートは走査配線10に接続され、トランジスタN4, N5のゲートは走査配線10と平行に配線されるプリチャージ制御配線11に接続される。トランジスタN4, N5のドレインは電源端子T1, T2にそれぞれ接続される。

【0024】

支持基板SB1には、さらに複数対の第1および第2電源配線190, 191が複数の映像信号配線12と同様に画素回路PXの列に沿って配置される。各画素回路PXの第1および第2電源端子T1, T2は一对の第1および第2電源配線190, 191にそれぞれ配置された分岐点である。これら電源配線190, 191は電源回路PWに接続され、例えば0Vの基準電位に対して所定のレベル差を持つ正の電源電位VDD(=+5V)および負の電源電位-VDD(=-5V)の一方および他方にそれぞれ設定される。電源回路PWは電源配線190および電源配線191の電位関係を一定の周期例えば1フレーム毎に逆転するように駆動される複数のスイッチPSを有する。

30

【0025】

垂直走査回路VDRVおよび水平駆動回路HDRVはいずれもドライバLSIとしてユニット化されている。垂直走査回路VDRVは画素回路PXの行を選択する選択パルス電圧VgおよびVpcを生成し、複数の走査配線10および複数のプリチャージ制御線11に順次供給する。選択行においては、選択パルス電圧Vpcが選択パルス電圧Vgに先行して出力される。水平駆動回路HDRVは選択パルス電圧Vgの持続期間において1水平ライン分の映像信号を複数の映像信号配線12に供給する。

40

【0026】

図4は図3に示す画素回路PXの動作原理を示す。このため、配線が単純化されている。選択パルス電圧Vpcが入力され、このパルスの立ち上がり時に、トランジスタN4, N5がオンして画素電極13, 13'を電源端子T1, T2にそれぞれ導通状態に接続する。これにより、画素電極13, 13'が第1および第2電源端子T1, T2の電位にそれぞれプリチャージされる。選択パルス電圧Vpcはこのプリチャージ後に立ち下がり、トラン

50

ジスタN4, N5をオフにする。続いて、走査配線10から印加される選択パルス電圧Vgが立ち上ると、トランジスタN2, N3がオンして画素電極13, 13'をトランジスタN1のカレントパスの一端および他端にそれぞれ接続する。これにより、画素電極13, 13'に保持された電荷がトランジスタN1によって再配分される。画素電極13, 13'間の電位差は液晶駆動電圧VLCとして液晶層506に印加される。選択パルス電圧Vpcが電荷の再配分後に立ち下がると(立下り時)、トランジスタN2, N3はオフになる。この後、液晶駆動電圧VLCは液晶容量CLCによって保持される。液晶駆動電圧VLCは電源配線190, 191、すなわち電源端子T1, T2間の電位差を越えない範囲で映像信号電圧Vsに対応した値となる。即ち、映像信号電圧Vsにより画素電極13, 13'間の液晶が配向され、表示される。

10

【0027】

ここで、画素回路PXの動作について図5を参照してさらに詳細に説明する。図5は複数のフレーム期間について画素回路PXの電圧波形を示し、図6は1フレーム期間について画素回路PXの電圧波形を示す。図6では、電圧波形が相互の遷移タイミングを明確にするために重ねて描かれている。画素回路PXの動作は図6に示すようにプリチャージ過程S1, 映像書込過程S2, 映像保持過程S3という3つの過程で構成される。プリチャージ過程S1は画素電極13, 13'を電源端子T1, T2の電位にそれぞれプリチャージする過程である(表示待機状態)。映像書込過程S2は画素電極13, 13'に保持された電荷の再配分により映像信号電圧Vsに対応する液晶駆動電圧VLCを液晶容量CLCに設定する過程(表示状態)である。映像保持過程S3は液晶容量CLCに設定された液晶駆動電圧VLCを保持する過程(表示状態)である。この保持過程は、液晶画像メモリとしても利用することができる。

20

【0028】

ここでは、互いに位相が180°ずれた2つの方形波交流電圧が電源配線190, 191を介して電源端子T1, T2にそれぞれ供給され、電源端子T1, T2の電位を図5の(b), (c)に示すように周期的に反転する。各方形波交流電圧の周期は例えば16.7msであり、振幅は±5Vである。

【0029】

プリチャージ過程S1では、トランジスタN4, N5がプリチャージ制御配線11を介して供給される選択パルス電圧Vpcの立ち上がりによりオンし、電源配線190, 191を介して電源端子T1, T2にそれぞれ設定された電位+VDDおよび-VDDに画素電極13, 13'をプリチャージする。画素電極13および共通電極GND間の容量値、並びに画素電極13'および共通電極GND間の容量値をCsとすれば、+VDD・Csおよび-VDD・Csの電荷が画素電極13, 13'に保持される。例えば選択パルス電圧Vpcの周期は16.7ms、パルス幅は2μs、振幅は±6Vである。

30

映像書込過程S2では、トランジスタN4, N5が選択パルス電圧Vpcの立下りによりオフする。負の値を持つ映像信号電圧Vsが水平駆動回路HDRVから映像信号配線12に供給されると、この映像信号電圧Vsがさらに映像信号配線12からトランジスタN1のゲート電極に供給される。図5および図6では、映像信号電圧Vs=-2.5Vであると仮定している。映像信号電圧Vsが供給される間に、トランジスタN2, N3が選択行の走査配線10を介して供給される選択パルス電圧Vgの立ち上がりによりオンし、これにより画素電極13, 13'をトランジスタN1のカレントパスの一端および他端に接続する。選択パルス電圧Vgの周期は16.7ms、パルス幅は17μs、振幅は±6Vである。トランジスタN1は映像信号電圧Vsに対応した一定のチャネルコンダクタンスに設定されることから、画素電極13, 13'に逆極性保持された電荷の相殺が起こる。

40

【0030】

閾値電圧をVtとすると、画素電極13'の電位V(13')はVs-Vtに向かって漸近していく。最終的に画素電極13'には(Vs-Vt)・Csの電荷が残留する。相殺された電荷の量は、(VDD-Vs-Vt)・Csとなる。同じ量の正電荷が画素電極13から失われているから、画素電極13の最終電位V(13)は

50

$\{VDD - (VDD + V_s - V_t)\} \cdot C_s / C_s = -V_s + V_t$ となる。よって、画素電極 13, 13' 間の電位差、すなわち液晶駆動電圧 V_{LC} は $2 \cdot (-V_s + V_t)$ という一定値に収束する。

【0031】

映像保持過程 S3 では、選択パルス電圧 V_g が液晶駆動電圧 V_{LC} の収束後に立ち下がり、トランジスタ N2, N3 をオフにする。この状態では、トランジスタ N1 のゲート電圧が変化しても、画素電極 13, 13' の電位 $V(13)$, $V(13')$ は変動しない。

【0032】

上述のプリチャージ過程 S1、映像書込過程 S2、および映像保持過程 S3 は電源配線 190, 191 の電位関係が逆転する毎に繰り返される。画素電極 13, 13' の電位 $V(13)$, $V(13')$ はこれに伴って変化し、液晶層 506 に印加される液晶駆動電圧 V_{LC} の極性を図 5 の (d) に示すように反転させる。この液晶駆動電圧 V_{LC} の peak-to-peak 値は $2 \cdot (-V_s + V_t)$ であり、極性反転の周期は 16.7 ms となる。図 5 の (d) に示すように、スパイク状の電圧変化が 16.7 ms の半分の周期で液晶駆動電圧 V_{LC} に現れる。これは、画素電極 13, 13' がプリチャージ動作によって ± 5 V の電位にそれぞれ設定されることによって生じる。このスパイク状の変化電圧はパルス幅が短いため、液晶駆動電圧 V_{LC} の交流実効値に対する影響は小さく、動作上問題とはならない。

【0033】

図 7 はトランジスタ N1 の閾値電圧 $V_t = 0.5$ V であるときに得られた画素回路 PX の電圧入出力特性である。例えば映像信号電圧 $V_s = -2.5$ V であると、6 Vp-p の液晶駆動電圧 V_{LC} が液晶層 506 に印加される。

【0034】

図 8 は図 3 に示す画素回路 PX の平面構造を示す。図 9 および図 10 はそれぞれ、図 8 に示す A-A' 線および B-B' 線に沿った画素回路 PX の断面構造を示す。この画素回路 PX は、列方向に一致する垂直方向において 2 本の隣接走査配線 10 および共通電極 GND 間に位置し、行方向に一致する水平方向において 2 本の隣接映像信号配線 12 および第 1 および第 2 電源配線 190, 191 間に位置する画素領域内に配置される。この画素領域のピッチは水平方向において $7.4 \mu\text{m}$ であり、垂直方向において $22.2 \mu\text{m}$ である。画素電極 13, 13'、トランジスタ N1 ~ N5、プリチャージ制御配線 11 および第 1 および第 2 補助容量 C_s はこの画素領域において図 8 に示すようにレイアウトされている。

【0035】

トランジスタ N1 のゲート 14 はコンタクトスルーホール CONT1 を介して映像信号配線 12 に直接接続される。トランジスタ N1 のチャネル領域はゲート 14 と単結晶シリコン膜 30 との交差部に定義される。トランジスタ N2, N3 のチャネル領域は単結晶シリコン膜 30 と走査配線 10 との交差部に定義される。トランジスタ N4, N5 のチャネル領域は単結晶シリコン膜 30 とプリチャージ制御配線 11 との交差部に定義される。トランジスタ N4, N5 のドレインはコンタクトスルーホール CONT1 を介して電源配線 190, 191 にそれぞれ接続される。トランジスタ N2, N3 のソースは接続電極 15, 16 にコンタクトスルーホール CONT1 を介して接続され、接続電極 15, 16 はコンタクトスルーホール CONT2 を介して画素電極 13, 13' にそれぞれ接続される。画素電極 13, 13' は幅 $3 \mu\text{m}$ の相互に咬合する櫛歯状の透明電極で構成される。電極間ギャップは $7 \mu\text{m}$ である。また、画素電極 13, 13' は電源配線 190, 191 に保護絶縁膜 22 を介して重畳する構成を有する。画素電極 13, 13' はさらに共通電極 GND と容量結合して、画素電極 13, 13' の電位を一定期間保持する第 1 および第 2 補助容量 C_s を構成する。尚、トランジスタ N1 ~ N5 はチャネル幅 $3 \mu\text{m}$ 、チャネル長が $3 \mu\text{m}$ の NMOS トランジスタで構成されている。

【0036】

支持基板 SB1 では、ガラス基板 1 が歪点約 670 の無アルカリガラスからなり、膜

10

20

30

40

50

厚50nmの SiN_x 膜201および膜厚100nmの SiO_2 膜200がガラス基板1上にパツファ絶縁膜として形成される。このパツファ絶縁膜はガラス基板1からのNa等の不純物の拡散を防止する役割を持つ。

【0037】

トランジスタN1～N5および共通電極配線GNDは、 SiO_2 膜200上に形成されパターンングにより複数の部分に分割される膜厚200nmの単結晶シリコン膜30を用いて構成される。トランジスタN1～N5の単結晶シリコン膜30には、ゲートの下方に位置するチャネル領域、並びにこのチャネル領域の両側に配置されるn+型のソース領域およびドレイン領域が設けられる。単結晶シリコン膜30は膜厚30nmの SiO_2 からなるゲート絶縁膜20により覆われ、タングステン(W)からなる走査配線10、プリチャージ制御配線11およびトランジスタN1のゲート電極14がゲート絶縁膜20上に形成される。また、共通電極GNDが走査配線10と同様にタングステンを用いて形成される(図示せず)。上述の部材全部を覆うように SiO_2 からなる層間絶縁膜21が形成され、層間絶縁膜21に設けたコンタクトスルーホールCONT1を介して、Mo/Al/Moの3層金属膜よりなる電源配線190, 191がトランジスタN4, N5のドレインに接続される。また、層間絶縁膜21に設けたコンタクトスルーホールを介して、Mo/Al/Moの3層金属膜よりなる接続電極15, 16が、トランジスタN2, N3のソースに接続される。上述の部材全部を覆うように SiN_x からなる保護絶縁膜22が形成される。接続電極15, 16の他端は、保護絶縁膜22に設けたコンタクトスルーホールCONT2を介して画素電極13, 13'にそれぞれ接続される。

【0038】

ここで、上述の液晶表示装置の具体的な製造工程について説明する。

【0039】

厚さ500 μm 、幅750mm、長さ950mmの歪点約670の無アルカリガラス基板1を洗浄後、 SiH_4 と NH_3 と N_2 の混合ガスを用いたプラズマCVD法により膜厚50nmの SiN_x 膜201を形成する。次に、 SiH_4 と N_2O とHeの混合ガスを用いたプラズマCVD法により膜厚100nmの SiO_2 膜200を形成する。

【0040】

次に SiH_4 およびArの混合ガスを用いたプラズマCVD法によりほぼ真性の水素化非晶質シリコン膜を200nm形成する。成膜温度は400で、成膜直後水素量は約5atoms%である。次に基板を450で約30分アニールすることにより、水素化非晶質シリコン膜中の水素を放出させる。

【0041】

次に SiH_4 と NH_3 と O_2 の混合ガスを用いたプラズマCVD法により膜厚300nmのキャップ SiON 膜を形成する。以上のプラズマCVDおよびアニールの工程は基板を大気に晒すことなく真空中で一貫処理される。

【0042】

次に、波長308nmのパルスエキシマレーザ光を照射することにより、非晶質シリコン膜を溶融再結晶化させて部分的に単結晶化されたシリコン膜30を得る。このとき、できるだけ大きな面積を持つ単結晶化領域を得るために、エキシマレーザ光は適当なパターンを持つ位相シフトマスクを用いて基板表面でのレーザビーム強度に空間分布を持たせて、横方向の温度傾斜を与える手法を採用した。これにより、横方向の結晶成長が喚起され、1辺約4 μm の大きさのほぼ矩形の単結晶領域のアレイを得ることができた。

【0043】

次に、緩衝フッ酸によりキャップ SiON 膜を除去し、通常のフォトリソグラフィ法によりシリコン膜30を所定のパターンに加工する。

【0044】

次に、Krと O_2 の混合ガス中でのプラズマ酸化により膜厚4nmの酸化膜をシリコン膜30表面に形成し、続いて、テトラエトキシシラン(TEOS)と O_2 の混合ガスを用いたプラズマCVD法により、膜厚24nmの SiO_2 膜を形成して2層積層型のゲート

酸化膜を得る。

【0045】

次に、イオン注入法によりボロン (B^+) を加速電圧 20 KeV 、ドーズ量 $1 \times 10^{11} \text{ cm}^{-2}$ で注入する。ボロンは TFT の閾値電圧を調整するためのものである。

【0046】

次にスパッタリング法により、タングステン (W) 膜を 250 nm 形成後、通常のフォトリソグラフィ法により所定のレジストパターンをタングステン膜上に形成し、 CF_4 を用いたリアクティブイオンエッチング (RIE) 法により W 膜を所定の形状に加工し走査配線を得る。エッチングに用いたレジストパターンを残したまま、イオン注入法によりリン (P) イオンを加速電圧 40 KeV 、ドーズ量 $1 \times 10^{15} \text{ cm}^{-2}$ で打ち込み、 N チヤネル薄膜トランジスタのソースおよびドレイン領域を形成する。

10

【0047】

次に、レジストパターンを残したまま、基板を混酸で処理し、加工された Mo 電極をサイドエッチングしパターンをスリミングし、レジストを除去した後、イオン注入法により P イオンを加速電圧 40 KeV 、ドーズ量 $1 \times 10^{13} \text{ cm}^{-2}$ で打ち込み、 N チヤネル薄膜トランジスタの LDD (Lightly Doped Drain) 領域を形成する。 LDD 領域の長さは混酸によるサイドエッチング時間によって制御される。

【0048】

フォトレジストを除去した後、基板にエキシマランプまたはメタルハライドランプの紫外光照射によるラピッドサーマルアニール (RTA) 法により打ち込んだ不純物を活性化

20

【0049】

次に、テトラエトキシシランと酸素の混合ガスを用いたプラズマ CVD 法により膜厚 500 nm の SiO_2 を層間絶縁膜 21 として形成する。所定のレジストパターンを形成後、 CHF_3 を用いたドライエッチング法により、層間絶縁膜 21 にコンタクトスル - ホールを開孔する。続いて、スパッタリング法により、 Ti を 50 nm 、 $Al-Si-Cu$ 合金を 500 nm 、 Ti を 50 nm で順次積層形成する。所定のレジストパターンを形成後、 BCl_3 と Cl_2 の混合ガスを用いたリアクティブイオンエッチング (RIE) 法により一括エッチングし、映像信号配線 12 と接続電極、液晶駆動電源配線 190, 191 等を得る。

30

【0050】

SiH_4 と NH_3 と N_2 の混合ガスを用いたプラズマ CVD 法により膜厚 400 nm の Si_3N_4 膜を形成して保護絶縁膜 22 とする。所定のフォトレジストレジストパターンを形成後、 SF_6 を用いたドライエッチング法により、保護絶縁膜 22 にコンタクトスル - ホールを開孔する。

【0051】

続いて、スパッタリング法により ITO (Indium Tin Oxide) 膜を 70 nm 形成し、混酸を用いたウェットエッチングにより所定の形状に加工して第 1 および第 2 画素電極 13, 13' を得る。

【0052】

これ以降において液晶層等を形成する工程については、従来と同様である。

40

【0053】

この製造例では、単結晶シリコン膜が薄膜トランジスタの半導体層として用いられるため、基板内に形成される複数の薄膜トランジスタ間で閾値電圧のばらつきを十分小さくでき、均一な画像表示が可能となる。

【0054】

また、この製造例では、単結晶化したシリコン膜が半導体層として用いられているが、例えば多結晶シリコンや非晶質シリコンを半導体層として用いて薄膜トランジスタを構成してもよい。

【0055】

50

上述のように製造すると、画素電極 13, 13' が液晶駆動電圧の印加に伴ってこれら電極平面、すなわち基板面に略平行な横方向電界を液晶層 506 内に生成する。このとき、液晶分子は基板面内で回転しこれにより透過光の偏光方向を制御する。すなわち、液晶分子を基板面に対して立ち上げずに画像を表示できるため、液晶分子の複屈折性に起因するコントラストの視野角依存性を実質的になくすることができ、視野角の広い高画質の液晶表示装置が得られる。

【0056】

図 11 はこの液晶表示装置の電圧輝度特性を示す。具体的には、液晶層 506 の透過率が画素電極 13, 13' に印加される液晶駆動電圧に対して示される。ここでは、誘電率異方性 $\Delta\epsilon$ が正で、その値が 7 であり、屈折率異方性 Δn が 0.073 のネマチック液晶が液晶層 506 の液晶組成物として用いられた。本実施形態では、誘電率異方性 $\Delta\epsilon$ が正の液晶を用いたが、負の液晶を用いてもよい。配向膜 ORI1, ORI2 は 1 度のプレチルト角を設定するように互いにほぼ平行なラビング方向でラビング処理されている。支持基板 SB1, SB2 間のギャップ d は球形のポリマビーズを液晶層 506 内に分散させることにより 4.5 μm に設定されている。また、2 枚の偏光板 505 に関し、一方の偏光板 505 の偏光透過軸はラビング方向にほぼ平行な 85 度とし、他方の偏光板 505 の偏光透過軸は一方の偏光板 505 の偏光透過軸に直交した -5 度とした。これによりノーマリクローズ特性の液晶表示装置を得た。

【0057】

本実施形態では、液晶容量 CLC が電源配線 190, 191 の電位関係を任意の周期で逆転させる毎に画素電極 13, 13' 間に得られる電位差を液晶駆動電圧 VLC として保持する。従って、映像信号電圧 Vs の極性に関係なく液晶駆動電圧 VLC の極性を反転して液晶層 506 に継続的に液晶駆動電圧 VLC を印加することが可能であり、これにより液晶分子の偏在化を生じない正常な表示動作を継続できる。

【0058】

また、水平駆動回路 HDRV のドライバ LSI は単極性の映像信号電圧 Vs を映像信号配線 12 に出力するだけでよいため、その最大値は実質的に電源回路 PW の最大出力電圧の制約しか受けない。また、液晶駆動電圧 VLC は映像信号電圧 Vs の約 2 倍となるため、映像信号電圧 Vs の振幅を従来の半分程度に小さくできる。さらに、水平駆動回路 HDRV のドライバ LSI は従来のように正極、負極両方のアナログ電圧を出力できるように構成される必要がないため、通常の低耐圧 CMOS プロセスでドライバ LSI を製造してこのドライバ LSI の低コスト化を図ることができる。さらに、映像信号電圧 Vs の単極性化に伴う振幅の減少はドライバ LSI の消費電力を大幅に削減するだけでなく、映像信号配線と画素電極間に存在する寄生容量により発生するクロストーク電圧を小さくすることもできる。この場合、縦スミアと呼ばれる縦方向の画像のシャドウイングが低減されるため、画質向上が期待できる。

【0059】

(第 2 実施形態)

次に、本発明の第 2 実施形態に係る透過型アクティブマトリクス液晶表示装置について説明する。図 12 はこの液晶表示装置の等価回路を概略的に示し、図 13 は図 12 に示す液晶表示装置においてマトリクス状に配置される複数の画素回路 PX のうちの 1 個の等価回路を示す。

【0060】

この液晶表示装置は、画素電極 13 および共通電極 GND 間、並びに画素電極 13' および共通電極 GND 間に生成される電界により液晶を駆動する電極構造を有することを除いて第 1 実施形態の液晶表示装置と実質的に同様に構成される。図 12 および図 13 では、第 1 実施形態と同様の部分を同一参照符号で表し、その詳細な説明を省略する。

【0061】

各画素回路 PX は第 1 および第 2 電源端子 T1, T2、第 1 および第 2 画素電極 13, 13'、並びに第 1 から第 5 トランジスタ N1, N2, N3, N4, N5 を有する。画素

トランジスタN1～N5はいずれもNチャネル薄膜トランジスタからなる。電極13, 13'はトランジスタN4, N5のソースにそれぞれ接続され、さらに液晶容量CLCを形成するように共通電極GNDに容量結合する。トランジスタN1のゲートは映像信号配線12に接続され、トランジスタN1のドレインはトランジスタN2のドレインに接続され、トランジスタN1のソース電極はトランジスタN3のドレイン電極に接続される。トランジスタN2, N3のゲートは走査配線10に接続され、トランジスタN4, N5のゲートは走査配線10と平行な方向に延伸されたプリチャージ制御配線11に接続される。トランジスタN4, N5のドレイン電極はそれぞれ、電源配線190, 191の電源端子T1, T2に接続される。電源配線190, 191は電源回路PWに接続され、正および負の電位の一方および他方に設定され、電源回路PW内のスイッチによって一定の周期でその電位関係が入れ替わるように駆動される。

10

【0062】

図14は図13に示す画素回路PXの平面構造を示す。図15は図14に示すC-C'線線に沿った画素回路PXの断面構造を示す。画素電極13、13'は電源配線190, 191と同じ配線層で形成され、電源配線190, 191と略平行な直線状の電極で構成されている。一方、共通電極GNDは保護絶縁層22上に形成された透明電極によって構成され、この保護絶縁層22によって画素電極13、13'から隔てられる。共通電極GNDは略全ての表示領域を覆って形成され、各画素領域において光透過部のみに開口部を設けた構造を有する。液晶層506は画素電極13と共通電極GNDの開口端部との間、並びに画素電極13'と共通電極の開口端部との間において生成される基板面に略水平な方向の電界により駆動される。

20

【0063】

本実施形態によれば、一方の画素電極13および共通電極GND間、並びに他方の画素電極13'および共通電極GND間に生成される電界の方向が互いに逆向きに設定される。すなわち、電圧極性の異なる2領域を1個の画素領域内に設けることができる。従来、液晶駆動電圧の極性をフレーム毎に反転するフレーム反転駆動では、液晶駆動電圧が正極性で液晶層506に印加された場合に得られる電圧輝度特性と液晶駆動電圧が負極性で液晶層506に印加された場合に得られる電圧輝度特性との非対称性からフリッカと呼ばれる画像のちらつきが発生し、これが問題となっている。これに対して、本実施形態では、電圧極性の異なる領域が1個の画素領域内に設けられ、これにより液晶分子の配向方向を画素領域内で平均化する。このため、液晶駆動電圧が正極性である場合と負極性である場合とで電圧輝度特性が非対称にならない。従って、フレーム反転駆動法を採用した場合でもフリッカの発生を防止することができる。

30

【0064】

(第3実施形態)

次に、本発明の第3実施形態に係る透過型アクティブマトリクス液晶表示装置について説明する。図16はこの液晶表示装置の平面構造を概略的に示し、図17は図16に示す液晶表示装置においてマトリクス状に配置される複数の画素回路PXのうちの1個の等価回路を示す。

【0065】

40

この液晶表示装置は、映像信号電圧Vsのリフレッシュ周期と液晶駆動電圧VLCの極性反転周期とを異ならせるための回路構造を有することを除いて第1実施形態の液晶表示装置と実質的に同様に構成される。図16および図17では、第1実施形態と同様の部分を同一参照符号で表し、その詳細な説明を省略する。

【0066】

図16に示すように、この液晶表示装置では、垂直走査回路VDRV2が垂直走査回路VDRVに加えて設けられる。垂直走査回路VDRV2は複数の画素回路PXの行に沿って配置される複数の第2走査配線18に接続され、1水平走査期間毎に複数の第2走査配線18のうちの1本に選択パルス電圧Vscanを供給する。各画素回路PXでは、サンプルホールド回路が映像信号配線12およびトランジスタN1のゲート間に付加的に設けられ

50

る。このサンプルホールド回路は第6のトランジスタN6と容量素子Cmとを有する。トランジスタN6は映像信号線12からの映像信号電圧Vsを取り込み、容量素子CmがトランジスタN6によって取り込まれた映像信号電圧Vsを保持して持続的にトランジスタN1のゲートに出力する。この場合、トランジスタN1は容量素子Cmから出力される映像信号電圧Vsに対応したコンダクタンスに設定される。

【0067】

図18は図17に示す画素回路PXの平面構造を示す。図19は図18に示すE-E'線線に沿った画素回路PXの断面構造を示す。

【0068】

この画素回路PXは、隣り合う2本の共通電極GNDと、映像信号配線12と映像信号配線12に平行な方向に延伸配置された電源配線190、191で囲まれた画素領域に配置され、この画素領域にはトランジスタN1~N5、プリチャージ制御配線11が配置される。トランジスタN6のドレインはコンタクトスルーホールCONT1を介して映像信号配線12に接続される。トランジスタのチャネル領域は走査配線18と単結晶シリコン膜30との交差部に定義される。トランジスタN1のゲート電極14はトランジスタN6のソースにコンタクトスルーホールCONT1を介して接続される。容量素子Cmは共通電極GNDとトランジスタN6のソースと重畳部により構成される。トランジスタN1のチャネル領域は、ゲート電極14と単結晶シリコン膜30との交差部に定義される。トランジスタN2、N3のチャネル領域は、単結晶シリコン膜30と走査配線10との交差部に定義される。トランジスタN4、N5のチャネル領域は単結晶シリコン膜30とプリチャージ制御配線11との交差部に定義される。トランジスタN4、N5のドレインはコンタクトスルーホールCONT1を介して電源配線190、191にそれぞれ接続される。トランジスタN2、N3のソースは接続電極15、16にコンタクトスルーホールCONT1を介してそれぞれ接続され、接続電極15、16はコンタクトスルーホールCONT2を介して画素電極13、13'にそれぞれ接続される。画素電極13、13'は幅3μmの相互に咬合する櫛歯状の透明電極で構成される。電極間ギャップは7μmである。また、画素電極13、13'は電源配線190、191に保護絶縁膜22を介して重畳する構成を有する。

【0069】

ここで、画素回路PXの動作について詳細に説明する。図20は複数のフレーム期間について画素回路PXの電圧波形を示し、図21は1フレーム期間について画素回路PXの電圧波形を示す。図21では、電圧波形が相互の遷移タイミングを明確にするために重ねて描かれている。画素回路PXの動作は図21に示すようにプリチャージ過程S1、映像書込過程S2、映像保持過程S3という3つの過程で構成される。これは第1実施形態と同様である。

【0070】

この液晶表示装置では、トランジスタN6および容量素子Cmが液晶駆動電圧の極性反転周期と映像信号電圧Vsのリフレッシュ周期とを独立に設定することを可能にするために画素回路PXに付加的に設けられている。電源配線190、191には、図20の(b)、(c)に示すように互いに位相が180°ずれた方形波交流電圧が供給される。

【0071】

プリチャージ過程S1では、トランジスタN4、N5がプリチャージ制御配線11を介して供給される選択パルス電圧Vpcの立ち上がりによりオンし、電源配線190、191を介して電源端子T1、T2にそれぞれ設定された電位+VDDおよび-VDDに画素電極13、13'をプリチャージする。

映像書込過程S2では、トランジスタN4、N5が選択パルス電圧Vpcの立ち下りによりオフする。負の値を持つ映像信号電圧Vsが水平駆動回路HDRVから映像信号配線12に供給されると、この映像信号電圧Vsがさらに映像信号配線12からトランジスタN6に供給される。この状態で、トランジスタN6が垂直走査回路VDV2から選択行の第2走査配線18に供給される選択パルス電圧Vscanの立ち上がりによりオンし、映像信

号電圧 V_s をサンプリングする。容量素子 C_m はトランジスタ N_6 によってサンプリングされた映像信号電圧 V_s を保持し、トランジスタ N_1 のゲートに供給する。こうして映像信号電圧 V_s がトランジスタ N_1 のゲートに供給される間に、トランジスタ N_2 , N_3 が選択行の走査配線 10 を介して供給される選択パルス電圧 V_g の立ち上がりによりオンし、これにより画素電極 13 , 13' をトランジスタ N_1 のカレントパスの一端および他端に接続する。トランジスタ N_1 は映像信号電圧 V_s に対応した一定のチャネルコンダクタンスに設定されることから、画素電極 13 , 13' に逆極性が保持された、電荷の相殺が起こる。この結果、画素電極 13 , 13' 間の電位差、すなわち液晶駆動電圧 V_{LC} は $2 \cdot (-V_s + V_t)$ という一定値に収束する。

【0072】

10

映像保持過程 S_3 では、選択パルス電圧 V_g が液晶駆動電圧 V_{LC} の収束後に立ち下がり、トランジスタ N_2 , N_3 をオフにする。この状態では、トランジスタ N_1 のゲート電圧が変化しても、画素電極 13 , 13' の電位 $V(13)$, $V(13')$ は変動しない。さらに、選択パルス電圧 V_{scan} が立ち下がり、トランジスタ N_6 をオフする。これにより、容量素子 C_m が映像信号配線 12 から電氣的に分離された後でも、容量素子 C_m は映像信号電圧 V_s を継続的に保持する。

【0073】

この状態では、トランジスタ N_6 によって映像信号電圧 V_s をサンプリングせずに、電源配線 190、191 の電圧関係を逆転させてプリチャージ過程 S_1 , 映像書込過程 S_2 , および映像保持過程 S_3 を実行することが可能である。すなわち、電荷の再配分は容量素子 C_m からトランジスタ N_1 のゲートに継続的に印加されている映像信号電圧 V_s に対応して行われ、液晶駆動電圧 V_{LC} の極性を反転する。この場合、走査配線 18 からの選択パルス電圧 V_{scan} および映像信号配線 12 からの映像信号電圧 V_s を供給する必要はない。映像信号電圧 V_s は画像を変化させたいときに供給すればよい。映像信号電圧 V_s のリフレッシュ周期を液晶駆動電圧 V_{LC} の極性反転周期より長く取ることが可能である。図 20 の (a) には、選択パルス電圧 V_{scan} の周期を 83.5 ms とした場合の例が示されている。図 20 の (d) から明らかなように、液晶層 506 は本実施形態の構成でも適切に交流駆動される。

20

【0074】

本実施形態では、映像信号電圧 V_s のリフレッシュ周期を液晶駆動電圧 V_{LC} の極性反転周期より長くとれば、映像信号電圧 V_s のリフレッシュが不要である間において垂直走査回路 $VDRV$ および水平駆動回路 $HDRV$ のドライバ LSI の駆動動作をサスペンドすることが可能である。従って、このドライバ LSI による消費電力を大幅に削減できる。

30

【0075】

(第4実施形態)

次に、本発明の第4実施形態に係る半透過型アクティブマトリクス液晶表示装置について説明する。図 22 はこの液晶表示装置の断面構造を示し、図 23 はこの液晶表示装置の画素回路 PX の平面構造を示し、図 24 は図 23 に示す $D-D'$ 線線に沿った画素回路 PX の断面構造を示す。

【0076】

40

この液晶表示装置は、バックライト光を透過し外光を反射させるための電極構造を有することを除いて第1実施形態の液晶表示装置と実質的に同様に構成される。図 22 ~ 図 24 では、第1実施形態と同様の部分を同一参照符号で表し、その詳細な説明を省略する。

【0077】

また、液晶表示装置は第1実施形態で説明した回路構造を有するが、反射電極 150 が第1実施形態の画素電極 13 , 13' に加えて設けられる。画素電極 13 , 13' は図 23 に示すような櫛歯状の平面パターンを有するITO等の透明電極で構成され、液晶層 506 を介して入射する外光およびバックライト BL からのバックライト光を透過する。反射電極 150 は、画素電極 13 , 13' を透過した外光を反射する金属膜である。図 22 では、タンゲステン W の金属膜が反射電極 150 としてゲート絶縁膜 20 上に形成されて

50

いる。反射電極 150 は層間絶縁膜 21 上に形成された Mo / Al / Mo の 3 層金属膜であってもよい。この液晶表示装置では、反射電極 150 によって占有される画素領域の部分が反射表示部を構成し、この反射表示部を除いた画素領域の部分が透過表示部を構成する。反射電極 150 はコンタクトスル - ホールを介して接地電位の共通電極配線 GND に接続される。この場合、液晶層 506 は画素電極 13 , 13 ' 間に生成される横方向電界と、これら画素電極 13 , 13 ' および反射電極 150 間に生成され液晶層 506 において実質的に横方向電界となるフリンジ電界とによって駆動される。これにより、画素電極 13 , 13 ' 間の電界をより均一にすることができるので、良好な表示画像を得ることができる。

【0078】

10

本実施形態では、透過光および反射光を利用して画像を表示する半透過型アクティブマトリクス液晶表示装置において第 1 実施形態と同様の効果を得ることができる。

【0079】

図 25 はこの液晶表示装置の電圧輝度特性を示す。図 25 において、b は透過表示部に得られる透過率の液晶駆動電圧依存性を表し、c は反射表示部に得られる反射率の液晶駆動電圧依存性を表す。反射表示と透過表示ともに良好な電圧輝度特性が得られている。

【0080】

このように反射光および透過光を併用する半透過型液晶表示装置は屋外で使用されることの多い携帯電話や携帯端末等の小型機器に適したものであり、本実施形態の画素構造を利用することにより、駆動電圧を低減できるので機器を低消費電力化できる。また横電界駆動方式の特長である広い視野角も得られるので、良質な画像表示が可能となる。

20

【0081】

(第 5 実施形態)

次に、本発明の第 5 実施形態に係るアクティブマトリクス液晶表示装置について説明する。図 26 はこの液晶表示装置の等価回路を示し、図 27 はこの液晶表示装置の画素回路 P X の平面構造を示す。

【0082】

この液晶表示装置は、プリチャージ用回路の少なくとも一部が隣接する画素回路 P X 間で共有される構成を除いて第 2 実施形態の液晶表示装置と実質的に同様に構成される。図 26 および図 27 では、第 2 実施形態と同様の部分を同一参照符号で表し、その詳細な説明を省略する。

30

【0083】

この液晶表示装置では、隣接する 2 つの画素回路 P X がトランジスタ N4 , N5 を共有することにより、電源配線 190 , 191 の本数が少なくなっている。すなわち、トランジスタ N4 のカレントパスの一端が電源配線 190 の電源端子 T1 に接続され、このトランジスタ N4 の他端が一方の画素回路 P X の画素電極 13 および他方の画素電極 13 に接続される。また、トランジスタ N5 のカレントパスの一端が電源配線 191 の電源端子 T2 に接続され、このトランジスタ N5 の他端が一方の画素回路 P X の画素電極 13 ' および他方の画素電極 13 ' に接続される。プリチャージ電位や、電源配線 190 , 191 に与える交流電圧波形は全画素回路 P X で共通であるため、電源配線 190 , 191 やプリチャージのためのトランジスタを共通化しても動作には全く違いはない。

40

【0084】

本実施形態では、画素領域内に配置すべき部材を少なくできるため、画素開口率を大きくできる効果がある。

【0085】

(第 6 実施形態)

次に、本発明の第 6 実施形態に係るアクティブマトリクス液晶表示装置について説明する。図 28 はこの液晶表示装置の等価回路を概略的に示す。

【0086】

この液晶表示装置は、複数の画素回路 P X をランダムアクセスする構造を有することを

50

除いて第5実施形態の液晶表示装置と実質的に同様に構成される。図28では、第5実施形態と同様の部分を同一参照符号で表し、その詳細な説明を省略する。

【0087】

この液晶表示装置では、図28に示すように、支持基板SB1が複数の画素回路PXの行に沿って配置される複数のYアドレス配線YL、複数の画素回路PXの列に沿って配置される複数のXアドレス配線XL、複数のYアドレス配線YLおよび複数のプリチャージ制御配線11を駆動するYアドレスデコーダYAS、複数のXアドレス配線XLを駆動するXアドレスデコーダXAS、並びにYアドレスデコーダYASおよびXアドレスデコーダXASを制御するアドレスデコーダADDをさらに備える。また、各画素回路PXでは、トランジスタN3のゲートが1本のYアドレス配線YLに接続され、トランジスタN2のゲートが1本のXアドレス配線XLに接続される。トランジスタN4、N5のゲートはプリチャージ制御配線11に接続される。アドレス信号ADDRESSは外部からアドレスバスを介してアドレスデコーダADDに供給され、1画素分の映像信号がこのアドレス信号ADDRESSに同期して水平駆動回路HDRVに供給される。水平駆動回路HDRVはこの1画素分の映像信号を単位として複数の映像信号線12の一本に映像信号電圧Vsを出力可能に構成されている。

10

【0088】

第5実施形態では、図26に示す複数の走査配線10および垂直走査回路VDRVが支持基板SB1に設けられたが、これらは本実施形態において不要である。

【0089】

20

アドレス信号がデコーダADDに入力されると、デコーダADDはこのアドレス信号をYアドレス信号およびXアドレス信号に分割し、これらXアドレス信号およびYアドレス信号をYアドレスデコーダYASおよびXアドレスデコーダXASに供給する。YアドレスデコーダYASは複数のプリチャージ配線11からYアドレス信号によって選択される1本を選択すると共に複数のYアドレス配線YLからYアドレス信号によって特定される1本を選択し、選択パルスVpcと等価な選択信号を選択プリチャージ制御配線11に出力し、続いて選択Yアドレス配線YLに選択パルス電圧Vgと等価な選択信号を出力する。他方、XアドレスデコーダXASは複数のXアドレス配線XLからXアドレス信号によって特定される1本を選択し、このXアドレス配線XLに選択パルス電圧Vgと等価な選択信号を選択アドレス配線XLに出力する。この結果、トランジスタN1～N5は第5実施形態と同様に動作する。

30

【0090】

この液晶表示装置では、複数の画素回路PXのうちの1つをランダムアクセスすることができるため、既に表示されている1フレーム分の画像のうちで輝度変化を必要とする画素についてのみ映像信号電圧Vsの更新して液晶駆動電圧VLCを変化させることができる。この場合、輝度変化を必要としない他の画素に対する映像信号を外部から液晶表示装置に供給する必要がないため、映像信号の転送レートを大幅に低減できる。従って、液晶表示装置全体の消費される電力を低減することができる。

【0091】

また、このランダムアクセス方式を採用したことにより、他の画素に対する映像信号電圧Vsに影響を与えることもさけられる。

40

【0092】

さらに、従来ランダムアドレッシングを実現するためにANDゲート回路等の論理ゲート回路が用いられるため、4ないし6個のトランジスタを余分に必要とされる。しかし、本実施形態によれば、少ない素子数で同じ動作を実現できるため、画素開口率の低下を防止できる。

【0093】

(第7実施形態)

次に、本発明の第7実施形態に係る透過型アクティブマトリクス液晶表示装置について説明する。図29はこの液晶表示装置においてマトリクス状に配置される複数の画素回路

50

P Xのうちの1個の等価回路を示し、図30は図29に示す画素回路P Xの平面構造を示す。

【0094】

この液晶表示装置は、各画素回路P XのトランジスタN 1の閾値電圧 V_t をキャンセルするための構造を除いて第1実施形態の液晶表示装置と実質的に同様に構成される。図29および図30では、第1実施形態と同様の部分を同一参照符号で表し、その詳細な説明を省略する。

【0095】

この液晶表示装置では、図29に示すようにダイオード接続されたPチャネルトランジスタP 1がトランジスタN 1のゲートと映像信号配線12の間に挿入される。

10

【0096】

このような構成であると、映像信号電圧 V_s よりもPチャネルトランジスタP 1の閾値電圧 V_{tp} 分だけ高い電圧 $V_s + V_{tp}$ がトランジスタN 1のゲートに印加される。この場合、 $2 \cdot (V_s + V_{tp} - V_t)$ の電位差が画素電極13, 13'間に得られ、液晶駆動電圧 V_{LC} として液晶層506に印加される。ここで、 V_t はNチャネルトランジスタであるトランジスタN 1の閾値電圧である。よって、Pチャネルトランジスタの閾値電圧 V_{tp} とトランジスタN 1との閾値電圧 V_t の絶対値が $|V_{tp}| = |V_t|$ という等しい関係にあれば、これらは相殺されて、画素電極13, 13'間の電位差が $2V_s$ となり、液晶駆動電圧 V_{LC} がトランジスタN 1の閾値電圧 V_t に影響されなくなる。

【0097】

20

図31は1フレーム期間について画素回路P Xの電圧波形を示し、図32はこの画素回路P Xの電圧入出力特性を示す。図32では、液晶駆動電圧 V_{LC} が映像信号電圧 V_s の2倍、すなわち $2 \cdot V_s$ に等しいことから、トランジスタN 1の閾値電圧 V_t によるオフセットがキャンセルされていることがわかる。プリチャージ過程S 1および映像書込過程S 2の動作は第1実施形態と同じであるが、図31において一点鎖線で表される映像信号電圧 V_s の波形については注意する必要がある。

【0098】

本実施形態においてトランジスタN 1のゲート入力段に挿入されたPチャネルトランジスタP 1には、ダイオード接続による方向性が付与されている。このため、先行してトランジスタN 1のゲートをチャージした映像信号電圧 V_s と新規にこのゲートをチャージする映像信号電圧 V_s との大小関係から映像書込過程S 2の動作を正常に行うことができない場合がある。

30

【0099】

例えば、 $-4V$ の映像信号電圧 V_s が第1のフレーム期間に1個の画素回路P Xに与えられたと仮定した場合、トランジスタN 1のゲートはPチャネルトランジスタP 1の閾値電圧 V_{tp} だけのオフセットを映像信号電圧 V_s に加えた $-4V + V_{tp}$ という電位に設定される。続いて、 $-1V$ の映像信号電圧 V_s が第2のフレーム期間に与えられると、ダイオード接続されたPチャネルトランジスタP 1が逆バイアスされることになるため、トランジスタN 1のゲート電位は $-1V$ にチャージされず、先行してトランジスタN 1のゲートに保持された電荷がそのまま残ることになる。前後の電圧関係が逆であれば、ダイオード接続されたPチャネルトランジスタP 1を順方向バイアスしてトランジスタN 1のゲート電位を $-1V$ にチャージできるため、液晶駆動電圧 V_{LC} はトランジスタN 1の動作により正常にリフレッシュされる。

40

【0100】

このように、方向性のある素子を挿入した場合にこの素子の前段と後段との電位関係に依存した非対称性がトランジスタN 1の動作において現れることになる。これを防止するため、水平駆動回路H D R Vは図31において一点鎖線で表すように一定時間P Lだけ適当な正電位にバイアスされた映像信号電圧 V_s を出力し、これによりトランジスタN 1のゲート電位を $0V$ 以上の電位にリセットするように構成される。これにより、新規の映像信号電圧 V_s をトランジスタN 1のゲートに供給する際に必ず映像信号配線12の電位が

50

一旦トランジスタN1のゲート電位より低くなる。従って、上述のような不具合は解消される。

【0101】

尚、上述の実施形態では、第1～第3トランジスタN1～N3がNチャネルトランジスタで構成されたが、これらNチャネルトランジスタは全てPチャネルトランジスタに置き換えてもよい。トランジスタN1をPMOS構造にすれば、入力電圧として負の値を与えることができる。第2および第3トランジスタN1, N3をPMOS構造にすれば、液晶印加電圧VLCの絶対値はこれらトランジスタの閾値電圧Vtだけこの入力電圧より小さい値となり、入力電圧絶対値がVtより小さい場合液晶駆動電圧VLCは0となる。特に第2のトランジスタN2をソース、ドレイン耐圧が高いPMOS構造にすれば、より大きな液晶駆動電圧VLCを得ることができる。また、PMOSはNMOSに比べホットキャリアによる劣化が生じにくいため、高信頼の表示装置を構成できる。

【0102】

さらに、上述の実施形態の薄膜トランジスタはレーザ結晶化装置によって行われる非単結晶半導体膜の再結晶化の結果として得られる単結晶半導体膜を用いて形成されてもよい。このレーザ結晶化装置は、例えば図33に示すように構成される。このレーザ結晶化装置では、結像光学系139Bが位相シフタPSと薄膜半導体基板114Sとの間に配置され、位相シフタPSと薄膜半導体基板114Sとが結像光学系139Bを介して光学的に共役に配置される。すなわち、薄膜半導体基板114Sは、位相シフタPSと光学的に共役な面（結像光学系139Bの像面）に設定されている。結像光学系139Bは、その瞳面に配置された開口絞り139BAを備える。開口絞り139BAは、開口部（光透過部）の大きさの異なる複数の開口絞りを有し、これらの複数の開口絞りは光路に対して交換可能に構成される。また、開口絞り139BAは開口部の大きさを連続的に変化させることのできる虹彩絞りを有するように構成されてもよい。いずれにしても、開口絞り139BAの開口部の大きさ（ひいては結像光学系139Bの像側開口数NA）は、薄膜半導体基板114Sの半導体薄膜114上において所要の逆ピークパターンの光強度分布を発生させるように設定されている。なお、結像光学系139Bは、屈折型の光学系であってもよいし、反射型の光学系であってもよいし、屈折反射型の光学系であってもよい。

【図面の簡単な説明】

【0103】

【図1】本発明の第1実施形態に係る透過型アクティブマトリクス液晶表示装置の断面構造を示す図である。

【図2】図1に示す液晶表示装置の平面構造を概略的に示す図である。

【図3】図2に液晶表示装置においてマトリクス状に配置される複数の画素回路のうちの1個の等価回路を示す図である。

【図4】図3に示す画素回路の動作原理を示す図である。

【図5】図3に示す画素回路の電圧波形を複数のフレーム期間について示すタイムチャートである。

【図6】図3に示す画素回路の電圧波形を1フレーム期間について示すタイムチャートである。

【図7】図3に示す画素回路の電圧入出力特性を示すグラフである。

【図8】図3に示す画素回路の平面構造を示す図である。

【図9】図8に示すA-A'線に沿った画素回路の断面構造を示す図である。

【図10】図8に示すB-B'線に沿った画素回路の断面構造を示す図である。

【図11】図1に示す液晶表示装置の電圧輝度特性を示すグラフである。

【図12】本発明の第2実施形態に係る透過型アクティブマトリクス液晶表示装置の平面構造を概略的に示す図である。

【図13】図12に示す液晶表示装置においてマトリクス状に配置される複数の画素回路のうちの1個の等価回路を示す図である。

【図14】図13に示す画素回路の平面構造を示す図である。

【図 15】図 14 に示す C - C' 線に沿った画素回路の断面構造を示す図である。

【図 16】本発明の第 3 実施形態に係る透過型アクティブマトリクス液晶表示装置の平面構造を示す図である。

【図 17】図 16 に示す液晶表示装置においてマトリクス状に配置される複数の画素回路のうちの 1 個の等価回路を示す図である。

【図 18】図 17 に示す画素回路の平面構造を示す図である。

【図 19】図 18 に示す E - E' 線に沿った画素回路の断面構造を示す図である。

【図 20】図 17 に示す画素回路の電圧波形を複数のフレーム期間について示すタイムチャートである。

【図 21】図 17 に示す画素回路の電圧波形を 1 フレーム期間について示すタイムチャートである。 10

【図 22】本発明の第 4 実施形態に係る半透過型アクティブマトリクス液晶表示装置の断面構造を示す図である。

【図 23】図 22 に示す液晶表示装置の画素回路の平面構造を示す図である。

【図 24】図 23 に示す D - D' 線に沿った画素回路の断面構造を示す図である。

【図 25】図 22 に示す液晶表示装置の電圧輝度特性を示すグラフである。

【図 26】本発明の第 5 実施形態に係るアクティブマトリクス液晶表示装置の平面構造を示す図である。

【図 27】図 26 に示す液晶表示装置の画素回路の平面構造を示す図である。

【図 28】本発明の第 6 実施形態に係るアクティブマトリクス液晶表示装置の平面構造を概略的に示す図である。 20

【図 29】本発明の第 7 実施形態に係る透過型アクティブマトリクス液晶表示装置においてマトリクス状に配置される複数の画素回路のうちの 1 個の等価回路を示す図である。

【図 30】図 29 に示す画素回路の平面構造を示す図である。

【図 31】図 29 に示す画素回路の電圧波形を 1 フレーム期間について示すタイムチャートである。

【図 32】図 29 に示す画素回路の電圧入出力特性を示すグラフである。

【図 33】非単結晶半導体膜を薄膜トランジスタを形成するために用いられる単結晶半導体膜に再結晶化するレーザ結晶化装置を示す図である。

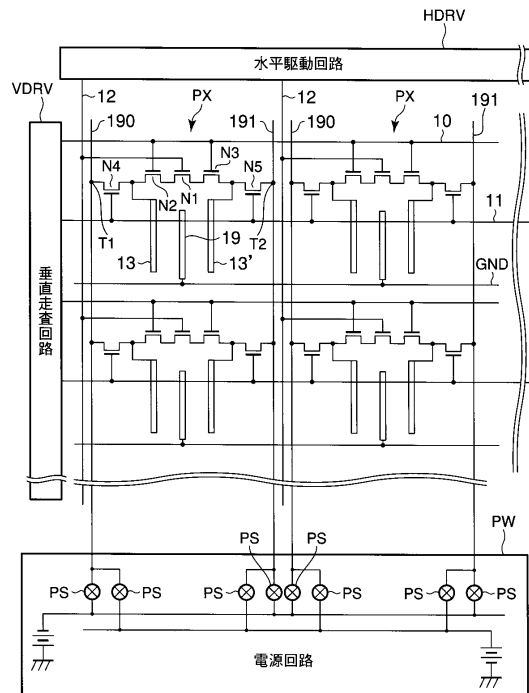
【符号の説明】 30

【0104】

1, 508 ... ガラス基板、10 ... 走査配線、12 ... 映像信号配線、13, 13' ... 画素電極、GND ... 共通電極、190, 191 ... 電源配線、N1 ~ N6 ... Nチャネルトランジスタ、P1 ... Pチャネルトランジスタ、Cs ... 補助容量、CLC ... 液晶容量、150 ... 反射電極、VDRV ... 垂直走査回路、HDRV ... 水平駆動回路、PW ... 電源回路、PX ... 画素回路、505 ... 偏光板、506 ... 液晶層、507 ... カラーフィルタ層、OC ... カラーフィルタ保護層、ORI1、ORI2 ... 配向膜、T1, T2 ... 電源端子、SB1, SB2 ... 支持基板、BL ... バックライト。

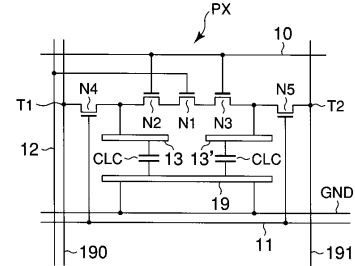
【図 12】

図 12



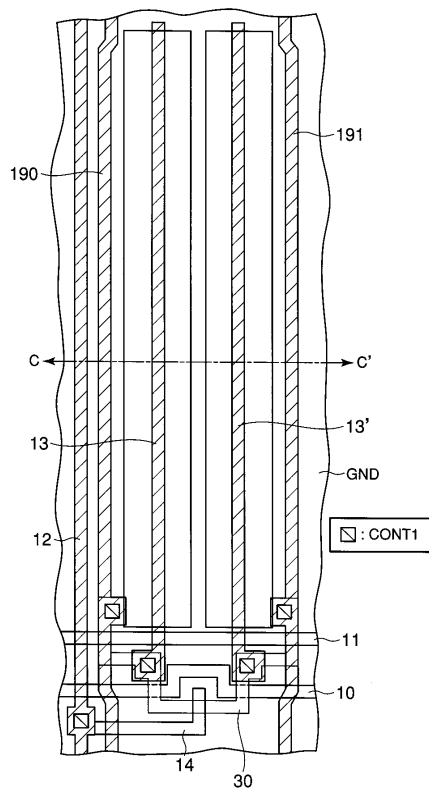
【図 13】

図 13



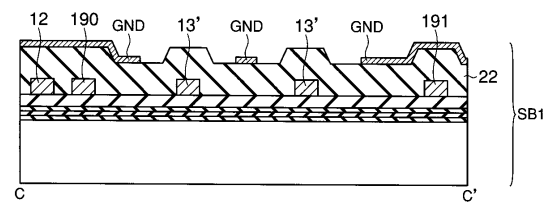
【図 14】

図 14



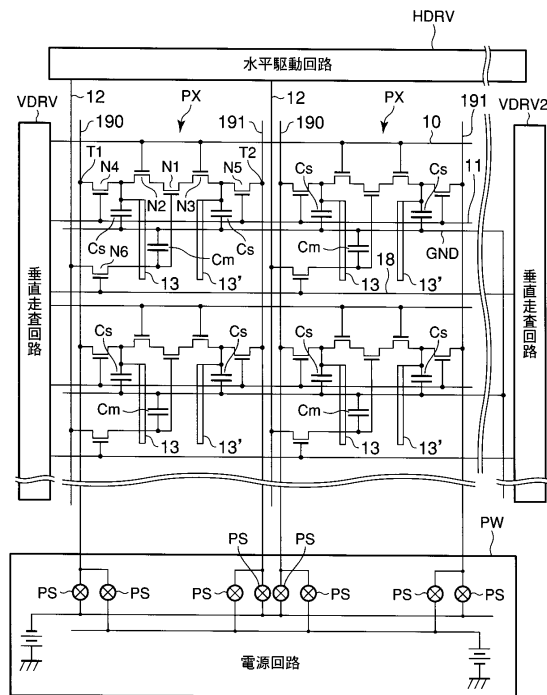
【図 15】

図 15



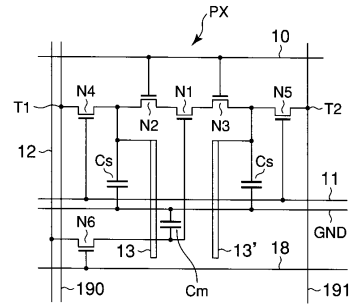
【図 16】

図 16



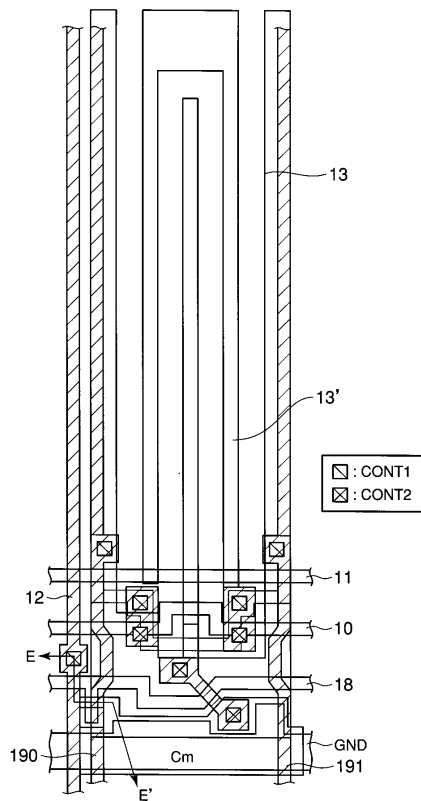
【図 17】

図 17



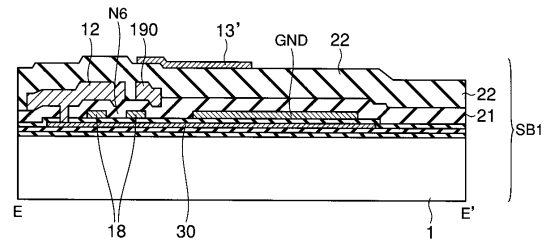
【図 18】

図 18



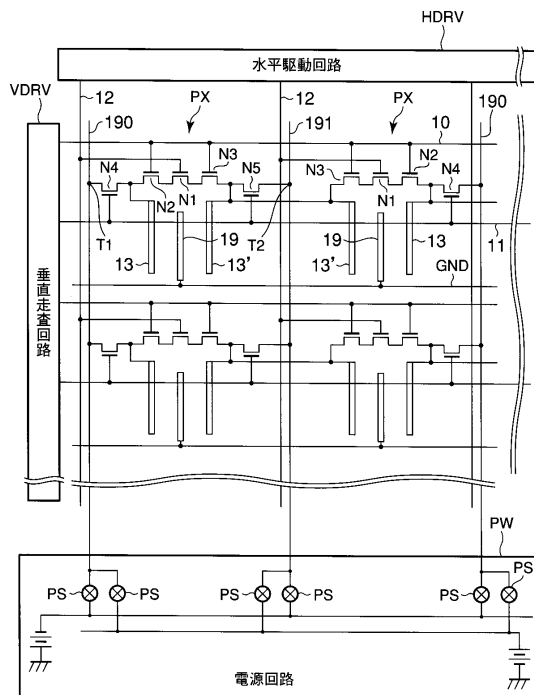
【図 19】

図 19



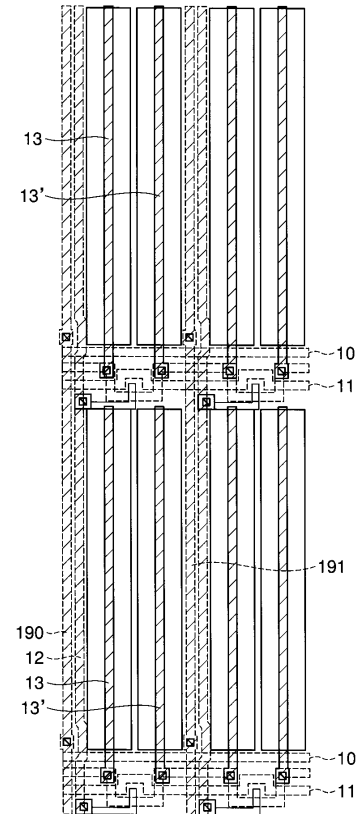
【図 26】

図 26



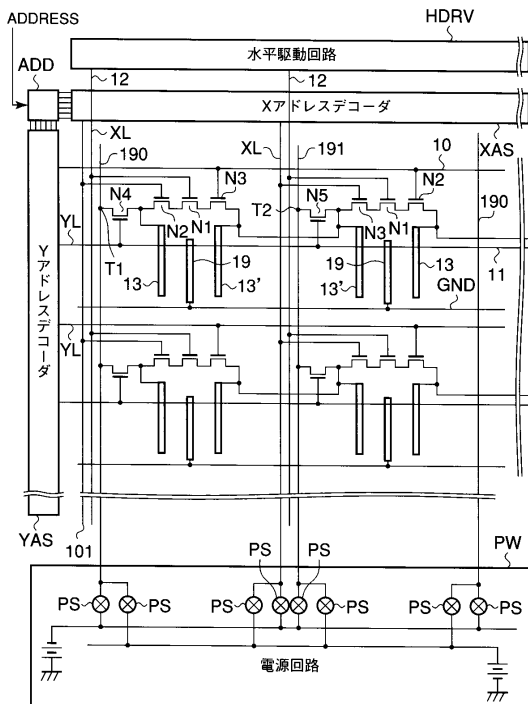
【図 27】

図 27



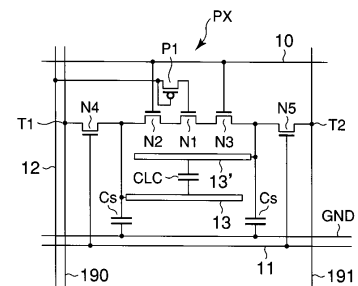
【図 28】

図 28



【図 29】

図 29



☒ 30

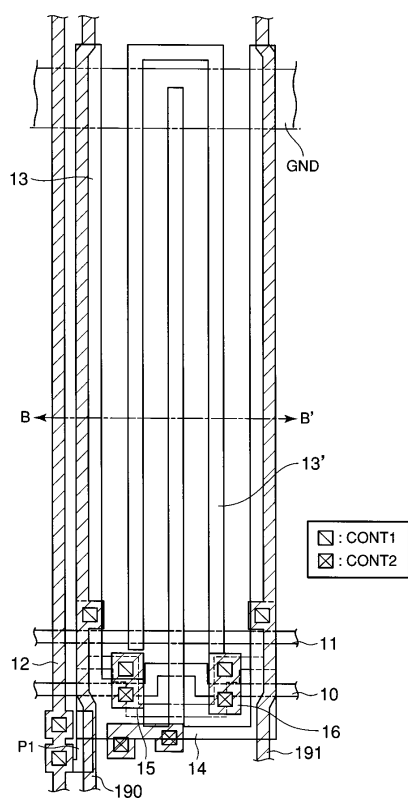
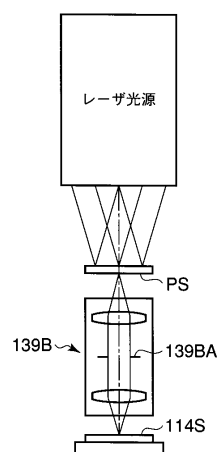


图 33



31

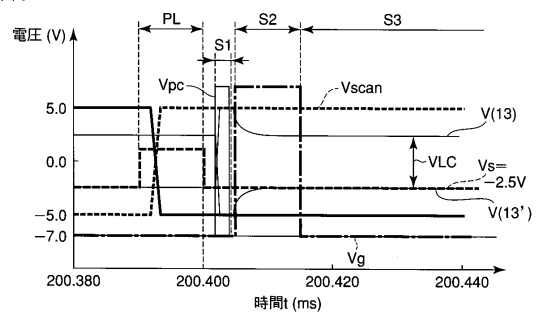
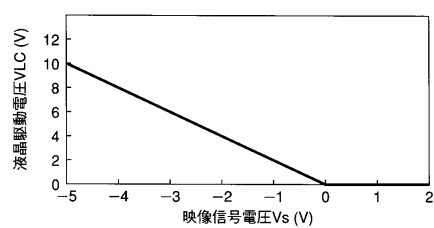


图 32



フロントページの続き

(51)Int.Cl.

F I

G 0 9 G	3/20	6 1 1 A
G 0 9 G	3/20	6 2 1 A
G 0 9 G	3/20	6 2 1 B
G 0 9 G	3/20	6 2 3 B
G 0 9 G	3/20	6 2 3 L
G 0 9 G	3/20	6 2 4 B

(74)代理人 100092196

弁理士 橋本 良郎

(72)発明者 河内 玄士朗

神奈川県横浜市戸塚区吉田町 2 9 2 番地 株式会社液晶先端技術開発センター内

審査官 中村 直行

(56)参考文献 特開 2 0 0 1 - 2 1 5 4 6 8 (J P , A)

特開 2 0 0 3 - 2 5 5 3 0 3 (J P , A)

特開 2 0 0 3 - 1 3 1 6 3 5 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G 0 9 G 3 / 0 0 - 3 / 3 8

G 0 2 F 1 / 1 3 3 - 1 / 1 3 6 8

专利名称(译)	液晶像素存储器，液晶显示装置及其驱动方法		
公开(公告)号	JP4728654B2	公开(公告)日	2011-07-20
申请号	JP2005019875	申请日	2005-01-27
[标]申请(专利权)人(译)	液晶先端技术开发中心股份有限公司		
申请(专利权)人(译)	有限公司先进的液晶技术开发中心		
当前申请(专利权)人(译)	有限公司先进的液晶技术开发中心		
[标]发明人	河内玄士朗		
发明人	河内 玄士朗		
IPC分类号	G09G3/36 G02F1/133 G02F1/1343 G02F1/1368 G09G3/20		
FI分类号	G09G3/36 G02F1/133.550 G02F1/133.575 G02F1/1343 G02F1/1368 G09G3/20.611.A G09G3/20.621.A G09G3/20.621.B G09G3/20.623.B G09G3/20.623.L G09G3/20.624.B		
F-TERM分类号	2H092/GA13 2H092/GA14 2H092/GA15 2H092/GA24 2H092/GA29 2H092/GA32 2H092/GA40 2H092/HA04 2H092/HA05 2H092/JA25 2H092/JA28 2H092/JA36 2H092/JA37 2H092/JA41 2H092/JA46 2H092/JB05 2H092/JB07 2H092/JB22 2H092/JB31 2H092/JB33 2H092/JB42 2H092/JB61 2H092/KA03 2H092/KA04 2H092/KB24 2H092/KB25 2H092/MA05 2H092/MA08 2H092/MA13 2H092/MA19 2H092/MA27 2H092/MA30 2H092/NA07 2H092/NA25 2H092/NA26 2H092/NA29 2H092/PA06 2H092/PA12 2H092/QA06 2H092/QA09 2H093/NA16 2H093/NA31 2H093/NA43 2H093/NA51 2H093/NB01 2H093/NB07 2H093/NB11 2H093/NC02 2H093/NC10 2H093/NC12 2H093/NC16 2H093/NC21 2H093/NC34 2H093/NC35 2H093/NC36 2H093/NC40 2H093/ND03 2H093/ND10 2H093/ND15 2H093/ND22 2H093/ND39 2H093/ND52 2H093/ND60 2H093/NE03 2H093/NF04 2H093/NF09 2H192/AA24 2H192/BB03 2H192/BB21 2H192/BC42 2H192/BC63 2H192/BC74 2H192/CB02 2H192/CB12 2H192/CB23 2H192/CB83 2H192/CC17 2H192/DA12 2H192/EA43 2H192/GD61 2H192/HA82 2H192/JA33 2H193/ZA04 2H193/ZA08 2H193/ZA19 2H193/ZD21 2H193/ZF02 2H193/ZF22 2H193/ZF24 2H193/ZF36 2H193/ZP03 2H193/ZQ08 2H193/ZQ16 5C006/AC27 5C006/AC27 5C006/AF42 5C006/AF43 5C006/AF71 5C006/BB16 5C006/BC06 5C006/BC12 5C006/BC16 5C006/BC20 5C006/BF11 5C006/BF34 5C006/BF42 5C006/FA16 5C006/FA47 5C006/GA02 5C080/BB05 5C080/DD26 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06		
代理人(译)	河野 哲 中村诚		
审查员(译)	中村直之		
优先权	2004032441 2004-02-09 JP		
其他公开文献	JP2005258417A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供液晶像素存储器，液晶显示器及其驱动方法，通过它们可以在不增加功耗的情况下获得高图像质量。解决方案：液晶显示器包括一对支撑基板，保持在基板之间的液晶层，以及在一个基板上以矩阵排列的像素电路PX，并控制液晶分子的取向状态。每个像素电路PX包括第一和第二电源端子T1和T2，第一和第二像素电极13和13'，其将液晶驱动电压施加到液晶层以在其中产生基本上横向的电场，以及第一和第二驱动晶体管具有用于接收视频信号的栅电极的N2和N3分别连接在第一电源端子T1和第一像素电极13之间以及第二电源端子T2和第二像素电极13'之间，并且产生液体晶体驱动电压由根据视频信号变化的电导确定，保留在第一和第二像素电极13和13'之间的液晶电容中。Ž

