

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4455714号
(P4455714)

(45) 発行日 平成22年4月21日 (2010. 4. 21)

(24) 登録日 平成22年2月12日 (2010. 2. 12)

(51) Int. Cl.

F I

G O 2 F 1/1368 (2006. 01)

G O 2 F 1/1368

G O 9 F 9/30 (2006. 01)

G O 9 F 9/30 3 3 8

H O 1 L 29/786 (2006. 01)

H O 1 L 29/78 6 1 2 B

H O 1 L 29/78 6 1 4

請求項の数 2 (全 11 頁)

(21) 出願番号 特願2000-45461 (P2000-45461)
 (22) 出願日 平成12年2月23日 (2000. 2. 23)
 (65) 公開番号 特開2001-235764 (P2001-235764A)
 (43) 公開日 平成13年8月31日 (2001. 8. 31)
 審査請求日 平成18年8月10日 (2006. 8. 10)

(73) 特許権者 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町2番2号
 (74) 代理人 100101214
 弁理士 森岡 正樹
 (72) 発明者 長廣 紀雄
 神奈川県川崎市中原区上小田中4丁目1番
 1号 富士通株式会社内

審査官 奥田 雄介

(56) 参考文献 特開平11-298003 (JP, A)
 特開平09-307117 (JP, A)
 特開平5-72556 (JP, A)
 特開平7-297407 (JP, A)
 最終頁に続く

(54) 【発明の名称】 薄膜トランジスタ基板及びそれを用いた液晶表示パネル

(57) 【特許請求の範囲】

【請求項1】

データ線とゲート線とで画定される画素毎に形成されて前記データ線及び前記ゲート線に接続される画素用薄膜トランジスタと、前記画素用薄膜トランジスタを駆動する駆動回路の少なくとも一部の回路と、前記一部の回路内に形成されて前記データ線への信号供給を制御するアナログスイッチ用薄膜トランジスタとを有する薄膜トランジスタ基板において、

前記画素用薄膜トランジスタと前記アナログスイッチ用薄膜トランジスタとは、互いに異なる導電型であり、

前記一部の回路における前記アナログスイッチ以外の回路要素は、相補型トランジスタにより構成されること

を特徴とする薄膜トランジスタ基板。

【請求項2】

画素毎に薄膜トランジスタが形成された薄膜トランジスタ基板と、前記薄膜トランジスタ基板と対向配置される対向基板と、前記薄膜トランジスタ基板と前記対向基板との間に封止された液晶層とを有する液晶表示パネルにおいて、

前記薄膜トランジスタ基板は、請求項1記載の薄膜トランジスタ基板であること
 を特徴とする液晶表示パネル。

【発明の詳細な説明】

【0001】

10

20

【発明の属する技術分野】

本発明は、薄膜トランジスタ（Thin Film Transistor：以下、TFTという）を集積した薄膜トランジスタ基板（以下、TFT基板という）及びそれを用いた液晶表示パネルに関する。

【0002】

TFT基板は、パッシブ型に比べて高画質なアクティブマトリクス型の液晶表示パネルの表示制御用として用いられている。液晶表示パネルは、ノートパソコンや液晶モニタを初めとして種々の表示装置に応用されているが、これら応用製品側からは装置の小型化、コンパクト化の要求があり、表示エリア外周囲のいわゆる額縁の面積をできるだけ小さくする必要が生じている。

10

【0003】**【従来の技術】**

図4を用いて従来のTFT基板及び液晶表示パネルの概略構成について説明する。図4は、TFT基板及び液晶表示パネルを基板面方向から見た模式図である。図4において、透明ガラス基板であるTFT基板1上の図中横方向に複数のゲート走査線Gが形成され、ゲート走査線Gに直交して複数のデータ線Dが形成されている。複数のゲート走査線G及びデータ線Dの交差領域に画素が形成される。画素には透明電極材を用いた画素電極が形成されている。ゲート走査線Gとデータ線Dとの交差近傍には画素のスイッチング素子として機能する画素TFT10が形成されている。

【0004】

20

画素TFT10のゲート電極はゲート走査線Gに接続され、ドレイン電極はデータ線Dに接続され、ソース電極は液晶容量3を形成する一方の電極である画素電極に接続されている。液晶容量3を形成する他方の電極には図示しない対向基板に設けられた共通電極が用いられる。

TFT基板1及びこれと対向配置される対向基板、及びこれらの基板間に封止された液晶層とで液晶表示パネルが構成される。

【0005】

また、TFT基板1周囲の額縁領域には、ゲート走査線Gを駆動するゲートドライバ4及びデータ線Dにデータ信号を書き込むデータドライバ5の少なくとも一部の回路が周辺回路一体化技術により実装されている。TFT基板1上に構成されたゲートドライバ4及びデータドライバ5の構成回路にも複数のTFTが形成されている。なお、画素TFT10と、ゲートドライバ4及びデータドライバ5の一部の回路で用いられるTFTとをガラス基板上に一体的に形成するには、非晶質シリコン（アモルファスシリコン）よりもオン電流の大きい、たとえば多結晶シリコン等の材料をTFTの動作半導体層に用いることが望ましい。

30

【0006】

ゲートドライバ4は、ゲート走査線Gを1本ずつ順次選択するシフトレジスタを有し、選択したゲート走査線Gに接続された1行分の画素TFT10を一斉にオン状態にさせるゲート選択信号を出力するようになっている。

【0007】

40

データドライバ5は、シフトレジスタやデコーダ等により外部から供給される映像データ信号を加工し、タイミング信号を発生するデータ変換・タイミング発生部6と、データ変換・タイミング発生部6の制御下にデータ線Dへのデータ信号供給をオン・オフするアナログスイッチ11とを備えている。アナログスイッチ11は、通常、データ変換・タイミング発生部6やゲートドライバ4と同様に、いわゆる相補型（C-MOS）TFTで構成される。

【0008】

したがって、1つの画素TFT10とアナログスイッチ11の部分は、具体的には、例えば図5に示すような等価回路で示される。図5において、アナログスイッチ11は、N型TFTとP型TFTとを並列接続したC-MOS型TFTで構成される。

50

【 0 0 0 9 】

このC-MOS型TFTには、共通接続されるドレイン電極にデータ変換・タイミング発生部6からデータ信号が印加され、共通接続されるソース電極はデータ線Dと接続され、入力端である2つのゲート電極にはデータ変換・タイミング発生部6のタイミング信号発生回路5bからタイミング信号12、13がそれぞれ印加される。

【 0 0 1 0 】

タイミング信号発生回路5bは、出力回路として、正極性のタイミング信号12を出力するバッファ14と、負極性のタイミング信号13を出力するインバータ15及びバッファ16とを備えている。

【 0 0 1 1 】

画素TFT10は、1画素の面積の制約やゲート走査線Dが通常1本であること等により、N型またはP型のいずれか一方の導電型のTFTで構成されることが多い。図5では、画素TFT10の導電型がN型である場合を例示している。

【 0 0 1 2 】

画素TFT10のゲート電極には、ゲートドライバ4がゲート走査線Gに送り出す正極性のゲート選択信号17が印加され、ドレイン電極にはデータドライバ5からデータ信号が印加され、ソース電極には液晶容量(C_{LC})3が主な負荷として接続される。

【 0 0 1 3 】

以上の構成において、TFT基板1では、複数のアナログスイッチ11のうち、データ変換・タイミング発生部6からのタイミング信号(12、13)により指定されたアナログスイッチ11がある一定時間だけ閉じて、データ変換・タイミング発生部6からのデータ信号を対応するデータ線Dに書き込む。そして、その対応するデータ線Dとデータドライバ4により選択されたゲート走査線Gとの交差位置近傍の画素TFT10がデータを液晶容量(C_{LC})3に書き込む。こうすることにより、TFT基板1を用いた液晶表示パネルで所定の画像表示が行われる。

【 0 0 1 4 】

次に、図6及び図7を用いて異なる導電型のTFTでの画素データの書き込み動作について説明する。図6は、N型TFTの動作を説明するタイムチャートである。図7は、P型TFTの動作を説明するタイムチャートである。

液晶画素に書き込む電圧(データ信号の電圧)は、TFT基板1と対向して液晶を挟持する対向基板の共通電極電位に対して、図6及び図7に示すように、1表示フレーム毎にデータ極性を反転させるようにしている。これにより、液晶に長時間に亘って片極性の電圧が印加されないようにして、液晶分子の分極によるいわゆる焼き付き現象を防止している。

【 0 0 1 5 】

図6に示すように、アナログスイッチ11や画素TFT10がN型である場合には、対向電位に対してデータ信号が負となる負フレームのとき、TFTにかかるゲートソース間電圧V_{gs}が正フレームのときよりも大きくなるため、一般的なMOS型トランジスタの式(1)によりオン電流を大きくすることができる。このため、負フレームの場合に液晶容量3の負荷に対するデータ書き込み時間を短くすることができる。

【 0 0 1 6 】

$$I_{ds} = (W/L) \times \mu \times C \times ((V_{gs} - V_t) \times V_{ds} - V_{ds}^2 / 2) \dots (1)$$

【 0 0 1 7 】

但し、式(1)において、Wはチャネル幅、Lはチャネル長、μは移動度、Cはゲート絶縁膜容量、V_tはしきい値である。

【 0 0 1 8 】

一方、図7に示すように、アナログスイッチ11や画素TFT10がP型TFTの場合には、正フレームのときにゲートソース間電圧V_{gs}が大きくなり、オン電流も大きくなる。このため、正フレームの場合に液晶容量3の負荷に対するデータ書き込み時間を短くす

10

20

30

40

50

ることができる。

【 0 0 1 9 】

つまり、従来の T F T 基板 1 における画素 T F T 1 0 の導電型は、図 6 または図 7 に示す N 型又は P 型であるから、画素へのデータ書き込み時間は正フレームと負フレームとで異なることになる。しかしながら、アナログスイッチ 1 1 は C - M O S 型 T F T であるから、データ線 D への書き込みは正フレームのときも負フレームのときも同等の時間で行える。したがって、画素 T F T が例えば N 型の場合、全体のデータ書き込み時間は正フレームに比べて負フレームがやや短くなるが、ほぼ同等の時間とみなすことができる。

【 0 0 2 0 】

【発明が解決しようとする課題】

ところが、従来の T F T 基板のようにアナログスイッチ 1 1 に C - M O S 型の T F T を使用すると次のような問題が生じる。

すなわち、アナログスイッチ 1 1 を N 型と P 型の両方で構成すると、図 5 に示すように、N 型と P 型とで別々のタイミング信号 1 2、1 3 が必要となり、その配線スペースが、アナログスイッチ 1 1 の数だけ必要となる。例えば、S V G A のカラー表示では、 800×3 (R、G、B) = 2400 個のアナログスイッチ 1 1 が必要であるので、額縁領域にかなり広いスペースが必要となる。

【 0 0 2 1 】

また、アナログスイッチ 1 1 は、大きな負荷であるデータ線 D に速やかにデータ書き込みを行わなければならないため、大きなオン電流が得られる T F T、つまり、W / L が大きい T F T であることが必要である。ところが、チャネル長 L を小さくするのには限界があるので、結局 T F T サイズが大きくなる。そのため、アナログスイッチ 1 1 用の T F T は、データドライバ 5 中で最もサイズの大きい方に属する。

【 0 0 2 2 】

アナログスイッチ 1 1 にタイミング信号を供給するタイミング信号発生回路 5 b は、通常、1 ~ 数 100 個のアナログスイッチ 1 1 を同じタイミングでオン状態にさせる能力が要求される。つまり、タイミング信号発生回路 5 b は、同じタイミングでオン状態にさせる個数分のアナログスイッチ 1 1 が持つ大きなゲート容量に速やかにタイミング信号を書き込まなければならない。そのため、タイミング信号発生回路 5 b の出力バッファ 1 4、1 6 には、W / L の大きな T F T が使われる。この出力バッファ 1 4、1 6 も N 型用と P 型用とで別々に必要である。

【 0 0 2 3 】

このように、N 型と P 型の両方の導電型を用いるアナログスイッチ 1 1 は、タイミング信号の供給線や出力バッファが 2 系統必要なため、データドライバ 5 のレイアウト面積を大きくしてしまい、表示エリア以外の額縁の面積を小さくするという要求に反する結果となっている。

【 0 0 2 4 】

これを解決する方法として例えば図 8 に示すように、アナログスイッチ 1 1 に 1 個の T F T を用いて画素 T F T 1 0 と同じ導電型で構成することが考えられる。図 8 では、アナログスイッチ 1 1 も画素 T F T 1 0 も共に N 型の導電型である場合を例示している。

【 0 0 2 5 】

この場合には、アナログスイッチ 1 1 は 1 個の T F T で構成しているので、タイミング発生回路は 1 系統のタイミング信号 1 8 を発生すればよく、データドライバ 5 のレイアウト面積の縮小が可能である。

【 0 0 2 6 】

ところが、図 6 を用いて説明したように N 型 T F T の場合は、負フレームではデータ書き込み時間を十分短くできるが、正フレームでは逆にデータ書き込み時間が長くなってしまふ。したがってこの場合には、正フレームでのデータ書き込み時間が十分短くなるようにアナログスイッチ 1 1 や画素 T F T 1 0 のサイズ等を設計しなければならないという面倒な問題が生じる。

10

20

30

40

50

【 0 0 2 7 】

本発明の目的は、アナログスイッチや画素薄膜トランジスタのサイズ等の再設計を必要とせず簡易な構成で駆動回路のレイアウト面積を小さくできる薄膜トランジスタ基板、及び、それを用いることにより表示エリア以外のいわゆる額縁の面積を小さくできる液晶表示パネルを提供することを目的とする。

【 0 0 2 8 】

【課題を解決するための手段】

上記目的は、データ線とゲート線とで画定される画素毎に形成されて前記データ線及び前記ゲート線に接続される画素用薄膜トランジスタと、前記画素用薄膜トランジスタを駆動する駆動回路の少なくとも一部の回路と、前記一部の回路内に形成されて前記データ線への信号供給を制御するアナログスイッチ用薄膜トランジスタとを有する薄膜トランジスタ基板において、前記画素用薄膜トランジスタと前記アナログスイッチ用薄膜トランジスタとは、互いに異なる導電型であることを特徴とする薄膜トランジスタ基板によって達成される。

10

上記本発明の構成によれば、データ書き込み時間を短くしつつ導電型のアナログスイッチを用いることができるので、駆動回路のレイアウト面積を小さくすることができる。

【 0 0 2 9 】

また上記目的は、画素毎に薄膜トランジスタが形成された薄膜トランジスタ基板と、前記薄膜トランジスタ基板と対向配置される対向基板と、前記薄膜トランジスタ基板と前記対向基板との間に封止された液晶層とを有する液晶表示パネルにおいて、前記薄膜トランジスタ基板は、上記本発明の薄膜トランジスタ基板であることを特徴とする液晶表示パネルによって達成される。この構成によれば、表示領域外周囲の額縁領域の面積を減らすことができる。

20

【 0 0 3 0 】

【発明の実施の形態】

本発明の一実施の形態による薄膜トランジスタ基板及びそれを用いた液晶表示パネルを図1乃至図3を用いて説明する。なお、本実施の形態による薄膜トランジスタ基板及びそれを用いた液晶表示パネルにおいて、図4乃至図8を用いて説明した従来の薄膜トランジスタ基板及びそれを用いた液晶表示パネルと同一の機能作用を奏する構成要素については同一の符号を付してその説明は省略する。

30

【 0 0 3 1 】

まず、図1を用いて本実施の形態によるTFT基板及び液晶表示パネルの概略構成について説明する。図1は、TFT基板及び液晶表示パネルを基板面方向から見た模式図である。本実施の形態による薄膜トランジスタ基板は、画素TFT2及びアナログスイッチ7の導電型が互いに異なっている点に特徴を有している。図1に示す例では、画素TFT2はN型の導電型であり、アナログスイッチ7はP型の導電型である。

【 0 0 3 2 】

詳細な説明及び図示は省略するが、データドライバ5は複数のブロックに分割されており、各ブロックに複数のデータ線Dを振り分けて、各ブロック毎に設けた出力バッファ8から1ブロック内の複数のアナログスイッチ7を同時にオン/オフさせるブロック線順次駆動をするようになっている。

40

【 0 0 3 3 】

図2は、本実施の形態におけるアナログスイッチ7の領域の等価回路を示している。図3は、本実施の形態における画素TFT2及びその近傍等価回路を示している。

図2において、タイミング信号発生回路5aの出力バッファ8は、アナログスイッチ7がP型TFTで構成されているので、負極性のタイミング信号9をアナログスイッチ7のゲート電極に出力するようになっている。アナログスイッチ7のドレイン電極にはデータ信号が印加され、ソース電極にはデータ線Dが接続されている。なお、図2においてデータ線Dは容量Cdと抵抗Rdからなる負荷として示している。

【 0 0 3 4 】

50

また、図3において、画素TFT2は、従来例と同様にN型TFTであり、画素TFT2のゲート電極にはゲート選択信号17が印加され、ドレイン電極にはデータ信号が印加される。また、画素TFT2のソース電極には液晶容量(C_{LC})3が主な負荷として接続されている。

【0035】

次に、本実施の形態におけるアナログスイッチ7と画素TFT2とによるデータ書き込み動作を、C-MOS型のアナログスイッチ11を用いる従来例(図5参照)と対比しつつ説明する。なお、比較を簡単にするため、本実施の形態と従来例の双方とも画素TFTの導電型はN型とする。また、アナログスイッチ11がC-MOS型である従来例では、同一のゲートソース間電圧 V_{gs} であればN型とP型のTFTのオン電流はほぼ等しく、アナログスイッチがP型のみの本発明の半分であるものとする。

10

【0036】

まず、本実施の形態においてアナログスイッチ7はP型であるから、アナログスイッチ7によるデータ書き込み時間は図7で説明したように負フレーム時に比べて正フレーム時の方が短くなる。一方、画素TFT2はN型であるから、画素TFT2によるデータ書き込み時間は図6で説明したように正フレーム時に比べて負フレーム時の方が短くなる。

【0037】

つまり、本実施の形態ではアナログスイッチ7と画素TFT2とは、互いに異なる導電型であるので、アナログスイッチ7と画素TFT2とによるデータ書き込みにおいて、負フレーム時はアナログスイッチ7のデータ書き込みの遅さを画素TFT2が補うように動作する。逆に正フレーム時は画素TFT2のデータ書き込みの遅さをアナログスイッチ7が補うように動作する。その結果、正フレーム時と負フレーム時とでほぼ同じような書き込み時間となる。

20

【0038】

これに対して従来例のようにアナログスイッチがC-MOS型の場合には、アナログスイッチ11によるデータ書き込みは、正・負フレームとも同じ書き込み時間であり、本実施例の場合の正・負フレームのほぼ中間の値となる。また、画素TFT10はN型であるから、アナログスイッチ11と画素TFT10とによるデータ書き込み時間は、正フレーム時に比べて負フレーム時がやや短くなるが、これもほぼ同じ時間とみなせる。

【0039】

このように本実施の形態では、アナログスイッチ7と画素TFT2とによるデータ書き込み時間を、正フレーム時と負フレーム時とでほぼ同じ時間となるようにできる。そして、上記比較から理解できるように、少なくともアナログスイッチがC-MOS型の場合と同等のデータ書き込み特性が得られる。なお、ここで得られるデータ書き込み時間は、アナログスイッチがN型のみでかつ画素TFTもN型の場合の正フレーム時のデータ書き込み時間よりも短くなることは言うまでもない。

30

【0040】

このように本実施の形態によれば、単一の導電型のアナログスイッチを用いることができるので、タイミング信号9及びタイミング信号の出力バッファ8は1系統となり、データドライバ5のレイアウト面積を小さくすることができる。

40

また、タイミング信号線と他の配線との交差が減り、データドライバ5内の部品点数も減らせるため、信頼性の向上及び歩留まりの向上を図ることができる。

これにより、本実施の形態のTFT基板1と図示しない対向基板との間に液晶層を介在させた液晶表示パネルでは、表示領域外周囲の額縁領域の面積を小さくすることができる。

【0041】

本発明は、上記実施の形態に限らず種々の変形が可能である。

例えば、上記実施の形態で用いる画素TFTには十分低いオフリーク電流が要求されるので、相対的にオフリーク電流を低くできるN型を用いている。しかしながら、P型TFTでもオフリークに対する要求を満たせる場合は、P型TFTを画素TFTに用い、N型TFTをアナログスイッチに用いるようにすることももちろん可能である。なお、データ

50

ライバ５のアナログスイッチ７以外の部分とゲートドライバ４は、通常のＣ－ＭＯＳで構成するので製造上の工程増加等は生じない。

【００４２】

さらに、本実施の形態では、ガラス基板であるＴＦＴ基板１上にゲートドライバ４とデータドライバ５の少なくとも一部回路を一体化構成する場合で説明したが、本発明はこれに限定されるものではない。少なくともデータドライバ５のアナログスイッチ７が画素ＴＦＴ２と同一工程で製造されていればよく、他の回路例えばタイミング発生回路等はＴＡＢ実装によるドライバ回路に形成されていてもよい。あるいは、ＴＦＴ基板上に全ての周辺回路を一体的に形成するものであってもよい。

また上記実施の形態は、ＴＦＴの動作半導体層として多結晶シリコンを用いているが、これに限らず例えば非晶質シリコンを動作半導体層に用いてももちろんよい。

【００４３】

以上説明した実施形態に基づき、本発明は以下のようにまとめられる。

第１の発明として、データ線とゲート線とで画定される画素毎に形成されて前記データ線及び前記ゲート線に接続される画素用薄膜トランジスタと、前記画素用薄膜トランジスタを駆動する駆動回路の少なくとも一部の回路と、前記一部の回路内に形成されて前記データ線への信号供給を制御するアナログスイッチ用薄膜トランジスタとを有する薄膜トランジスタ基板において、前記画素用薄膜トランジスタと前記アナログスイッチ用薄膜トランジスタとは、互いに異なる導電型であることを特徴とする薄膜トランジスタ基板。

【００４４】

第２の発明として、上記第１の発明の薄膜トランジスタ基板において、前記一部の回路における前記アナログスイッチ以外の回路要素は、相補型トランジスタにより構成されることを特徴とする薄膜トランジスタ基板。この構成にすることにより、本発明に関連しない領域の回路は従来と同様のＣ－ＭＯＳ型ＴＦＴを用いるため、これらの製造に関し従来と同様の製造工程を用いることができ工程増加を抑えることができる。

【００４５】

第３の発明として、上記第１または第２に記載の薄膜トランジスタ基板において、前記画素用薄膜トランジスタは、Ｎ型の導電型を有していることを特徴とする薄膜トランジスタ基板。本発明の構成によれば、オフリーク電流の少ない画素トランジスタを得ることができる。

【００４６】

第４の発明として、上記第１乃至第３のいずれかの薄膜トランジスタ基板において、前記画素用薄膜トランジスタと前記アナログスイッチ用薄膜トランジスタの動作半導体層は、多結晶シリコンで形成されていることを特徴とする薄膜トランジスタ基板。こうすることにより、低温ポリシリコン成膜技術を用いて、オン電流の大きなＴＦＴを備えた周辺回路一体型ＴＦＴ基板を製造することができる。

【００４７】

第５の発明として、画素毎に薄膜トランジスタが形成された薄膜トランジスタ基板と、前記薄膜トランジスタ基板と対向配置される対向基板と、前記薄膜トランジスタ基板と前記対向基板との間に封止された液晶層とを有する液晶表示パネルにおいて、前記薄膜トランジスタ基板は、上記第１乃至第４のいずれかの薄膜トランジスタ基板であることを特徴とする液晶表示パネル。

【００４８】

【発明の効果】

以上の通り、本発明によれば、アナログスイッチと画素ＴＦＴを互いに異なる導電型で構成するので、一体化構成する駆動回路のレイアウト面積を減少させることができる。したがって、本発明の薄膜トランジスタ基板を用いて構成される液晶表示パネルでは、表示エリア以外の額縁部分の面積を減少させることができる。

【図面の簡単な説明】

【図１】本発明の一実施の形態による薄膜トランジスタ基板及び液晶表示パネルの概略構

10

20

30

40

50

成を示す図である。

【図2】図1中に示されたアナログスイッチの等価回路を示す図である。

【図3】図1中に示された画素TFTの等価回路を示す図である。

【図4】従来の薄膜トランジスタ基板の概略構成図である。

【図5】図4中に示された画素TFTとアナログスイッチの等価回路を示す図である。

【図6】N型TFTの動作を説明するタイムチャートである。

【図7】P型TFTの動作を説明するタイムチャートである。

【図8】画素TFTとアナログスイッチが共にN型TFTである場合の等価回路を示す図である。

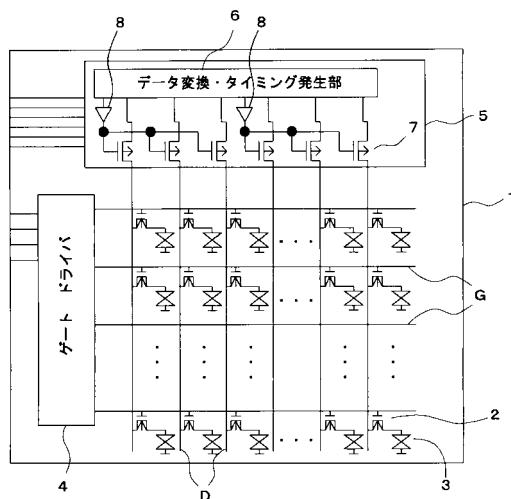
【符号の説明】

- 1 ガラス基板
- 2、10 画素薄膜トランジスタ（画素TFT）
- 3 液晶容量
- 4 ゲートドライバ
- 5 データドライバ
- 5 a、5 b タイミング信号発生回路
- 6 データ変換・タイミング発生部
- 7、11 アナログスイッチ
- 8、14、16 出力バッファ
- 9、12、13、18 タイミング信号

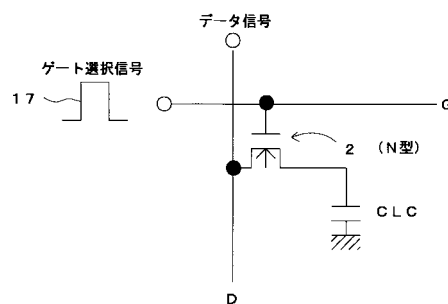
10

20

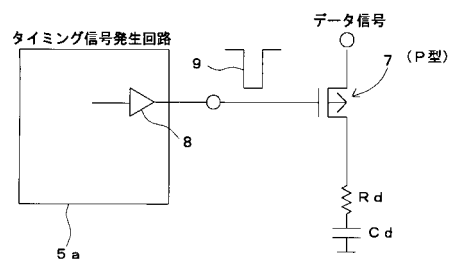
【図1】



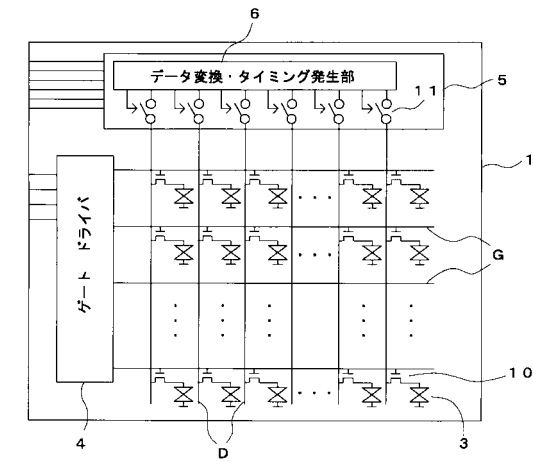
【図3】



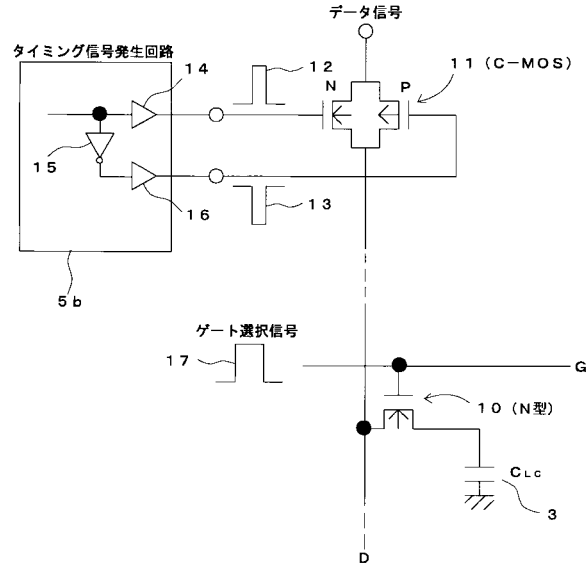
【図2】



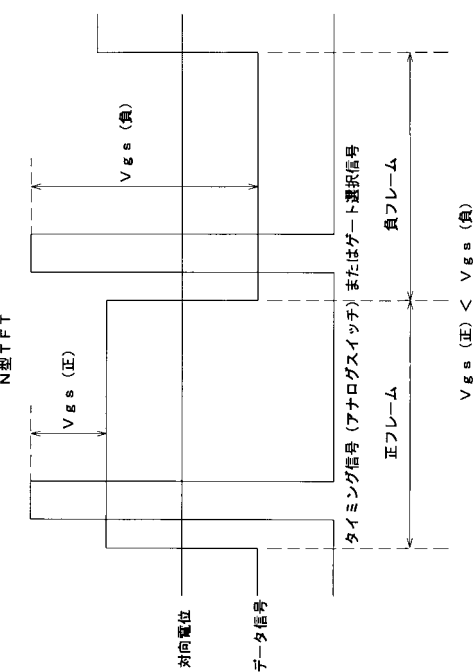
【図 4】



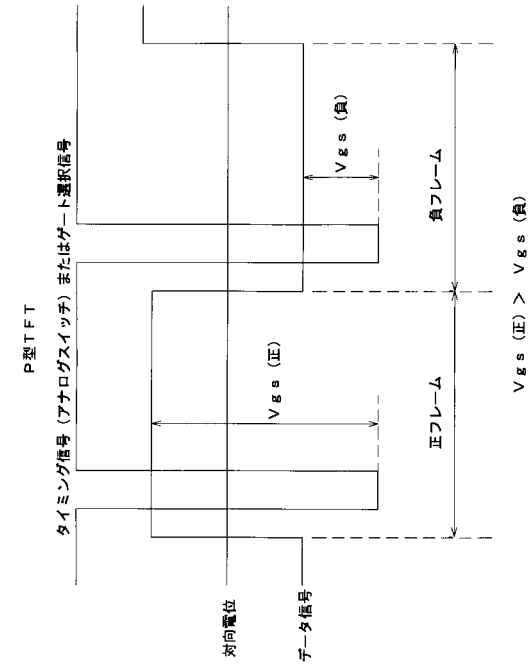
【図 5】



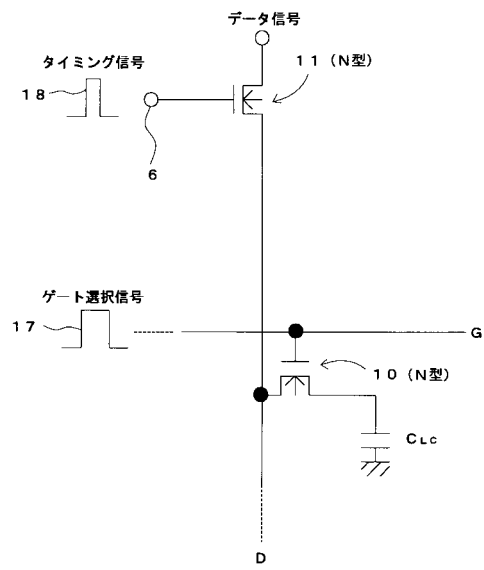
【図 6】



【図 7】



【図 8】



フロントページの続き

(58)調査した分野(Int.Cl. , D B 名)

G02F 1/1368

专利名称(译)	薄膜晶体管基板和使用其的液晶显示板		
公开(公告)号	JP4455714B2	公开(公告)日	2010-04-21
申请号	JP2000045461	申请日	2000-02-23
[标]申请(专利权)人(译)	富士通株式会社		
申请(专利权)人(译)	富士通株式会社		
当前申请(专利权)人(译)	夏普公司		
[标]发明人	長廣紀雄		
发明人	長廣 紀雄		
IPC分类号	G02F1/1368 G09F9/30 H01L29/786 G02F1/136		
FI分类号	G02F1/1368 G09F9/30.338 H01L29/78.612.B H01L29/78.614 G02F1/136.500		
F-TERM分类号	2H092/GA59 2H092/JA24 2H092/NA22 2H092/NA25 2H092/PA06 2H192/AA24 2H192/FA73 2H192/FB05 5C094/AA15 5C094/BA03 5C094/BA43 5C094/EA04 5C094/EA07 5C094/EB02 5F110/AA04 5F110/BB02 5F110/BB04 5F110/GG02 5F110/GG13		
代理人(译)	盛岡正樹		
其他公开文献	JP2001235764A		
外部链接	Espacenet		

摘要(译)

为了提供与薄膜晶体管集成的薄膜晶体管基板和使用该薄膜晶体管的液晶显示面板，可以通过简单的配置减小驱动电路的布局面积，从而可以减少除显示区域之外的所谓的框架区域。布置在多条栅极线G和多条数据线D彼此交叉的像素位置处的多个像素晶体管，多条栅极线G和多条数据线D，并且，在薄膜晶体管基板上形成包括多个模拟开关的电路的一部分，该多个模拟开关用于控制用于驱动像素晶体管的驱动电路中的至少多条数据线D的信号供给，并且模拟开关7由不同导电类型的薄膜晶体管构成。

【 図 1 】

