

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4395659号  
(P4395659)

(45) 発行日 平成22年1月13日(2010.1.13)

(24) 登録日 平成21年10月30日(2009.10.30)

(51) Int.Cl. F I  
**GO2F 1/1368 (2006.01)** GO2F 1/1368  
**HO1L 29/786 (2006.01)** HO1L 29/78 612C  
**HO1L 21/768 (2006.01)** HO1L 21/90 W  
**HO1L 23/522 (2006.01)** HO1L 21/90 Q

請求項の数 5 (全 19 頁)

(21) 出願番号	特願2005-365739 (P2005-365739)	(73) 特許権者	502266320 株式会社フューチャービジョン 東京都港区赤坂2丁目4番1号 白亜ビル 3F
(22) 出願日	平成17年12月20日(2005.12.20)	(74) 代理人	100093506 弁理士 小野寺 洋二
(65) 公開番号	特開2007-171314 (P2007-171314A)	(72) 発明者	好本 芳和 東京都港区赤坂2丁目4番1号白亜ビル3 F 株式会社フューチャー ビジョン内
(43) 公開日	平成19年7月5日(2007.7.5)	審査官	小濱 健太
審査請求日	平成17年12月20日(2005.12.20)		

最終頁に続く

(54) 【発明の名称】 液晶表示装置とその製造方法

(57) 【特許請求の範囲】

【請求項1】

第1の絶縁基板と第2の絶縁基板との間に液晶を挟持した液晶表示装置であって、  
 前記第1の絶縁基板の上に互いに平行に形成された複数のゲート配線と、  
 窒化シリコンからなるゲート絶縁膜を介して交差して互いに平行に形成された複数のデー  
 タ配線と、

前記ゲート配線と前記データ配線で囲まれる部分のそれぞれが単位画素領域とされ、前  
 記複数のゲート配線と前記複数のデータ配線とが交差する領域で表示領域を構成し、

前記ゲート配線から前記単位画素領域に延びるゲート電極と、前記ゲート配線および前  
 記ゲート電極を覆う前記ゲート絶縁膜と、前記ゲート絶縁膜上に順次形成された半導体層  
 と、この半導体層の表面に分離して形成されたオーミックコンタクト層と、前記分離され  
 たオーミックコンタクト層上にそれぞれ形成されたソース電極及びドレイン電極とで薄膜  
 トランジスタを構成し、

前記ゲート配線と前記データ配線の交差部における前記ゲート絶縁膜の下層に、インク  
 ジェット法により芳香族炭化水素系有機ポリマー又はポリアリルエーテル系有機ポリマー  
 からなる低誘電率で耐熱性の絶縁材料のインクを滴下して当該交差部のゲート配線を被覆  
 した芳香族炭化水素系有機ポリマー又はポリアリルエーテル系有機ポリマーからなる前記  
 ゲート絶縁膜よりも低誘電率で耐熱性の絶縁膜を有することを特徴とする液晶表示装置。

【請求項2】

第1の絶縁基板と第2の絶縁基板との間に液晶を挟持した液晶表示装置であって、

10

20

前記第 1 の絶縁基板の上に互いに平行に形成された複数のゲート配線と、  
窒化シリコンからなるゲート絶縁膜を介して交差して互いに平行に形成された複数のデータ配線と、

前記ゲート配線と前記データ配線で囲まれる部分のそれぞれが単位画素領域とされ、前記複数のゲート配線と前記複数のデータ配線とが交差する領域で表示領域を構成し、

前記ゲート配線から前記単位画素領域に伸びるゲート電極と、前記ゲート配線および前記ゲート電極を覆う前記ゲート絶縁膜と、前記ゲート絶縁膜上に順次形成された半導体層と、この半導体層の表面に分離して形成されたオーミックコンタクト層と、前記分離されたオーミックコンタクト層上にそれぞれ形成されたソース電極及びドレイン電極とで薄膜トランジスタを構成し、

10

前記表示領域の全域で、前記ゲート配線上の前記ゲート絶縁膜の下層に、当該ゲート配線に沿ってインクジェット法により芳香族炭化水素系有機ポリマー又はポリアリルエーテル系有機ポリマーからなる低誘電率で耐熱性の絶縁材料のインクを滴下して当該交差部のゲート配線を被覆した芳香族炭化水素系有機ポリマー又はポリアリルエーテル系有機ポリマーからなる前記ゲート絶縁膜よりも低誘電率で耐熱性の絶縁膜を有することを特徴とする液晶表示装置。

【請求項 3】

第 1 の絶縁基板と第 2 の絶縁基板との間に液晶を挟持した液晶表示装置の製造方法であって、

前記第 1 の絶縁基板の上に複数のゲート配線を互いに平行に形成する工程と、

20

前記ゲート配線上でデータ配線が交差する部分にインクジェット法により芳香族炭化水素系有機ポリマー又はポリアリルエーテル系有機ポリマーからなる低誘電率で耐熱性の絶縁膜材料のインクを滴下して前記ゲート絶縁膜よりも低誘電率の絶縁膜を形成する工程と、

前記ゲート配線と前記低誘電率の絶縁膜を含む前記第 1 の絶縁基板を覆って窒化シリコンからなるゲート絶縁膜を成膜する工程と、

前記ゲート配線と前記データ配線が交差する部分の前記低誘電率の絶縁膜と前記ゲート絶縁膜上に前記ゲート配線に交差させて複数のデータ配線を互いに平行に形成する工程とを含むことを特徴とする液晶表示装置の製造方法。

【請求項 4】

30

第 1 の絶縁基板と第 2 の絶縁基板との間に液晶を挟持した液晶表示装置の製造方法であって、

前記第 1 の絶縁基板の上に複数のゲート配線を互いに平行に形成する工程と、

前記ゲート配線と前記データ配線が交差する部分を含む前記ゲート配線の全域にインクジェット法により芳香族炭化水素系有機ポリマー又はポリアリルエーテル系有機ポリマーからなるゲート絶縁膜よりも低誘電率で耐熱性の絶縁材料のインクを滴下して前記ゲート絶縁膜よりも低誘電率の絶縁膜を形成する工程と、

前記低誘電率の絶縁膜を被覆した前記ゲート配線を含む前記第 1 の絶縁基板を覆って窒化シリコンからなるゲート絶縁膜を成膜する工程と、

前記低誘電率の絶縁膜および前記ゲート絶縁膜上で前記ゲート配線に交差させて複数のデータ配線を互いに平行に形成する工程とを含むことを特徴とする液晶表示装置の製造方法。

40

【請求項 5】

請求項 3 又は 4 に記載の液晶表示装置の製造方法において、

前記複数のゲート配線と前記複数のデータ配線で囲まれる各部分に形成される各単位画素で表示領域が構成され、前記ゲート絶縁膜上に半導体層とこの半導体層の表面に分離させてオーミックコンタクト層とを形成し、前記分離されたオーミックコンタクト層上にソース電極及びドレイン電極とをそれぞれ形成して薄膜トランジスタを構成する工程を含むことを特徴とする液晶表示装置の製造方法。

50

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、アクティブ・マトリクス型の液晶表示装置とその製造方法に係り、特に当該液晶表示装置を構成する液晶表示パネルの一方の基板に形成する薄膜トランジスタとその製造に好適なものである。

## 【背景技術】

## 【0002】

アクティブ・マトリクス型の液晶表示装置を構成する液晶表示パネルは、一方の基板（アクティブ・マトリクス基板）と他方の基板（カラーフィルタ基板）との間に液晶を挟持して形成される。アクティブ・マトリクス基板に薄膜トランジスタ（TFT）を作り込む製造工程では、当該基板上に先ずクロム等の金属膜からなる平行配置された複数のゲート配線およびこの各ゲート配線から画素毎に延びるゲート電極が形成される。

10

## 【0003】

図17は、アクティブ・マトリクス型液晶表示装置の表示パネル部の等価回路を説明する図である。図17(a)は全体の回路図、図17(b)は図17(a)における画素部PXLの拡大図である。図17(a)において、表示パネルPNLには多数の画素部PXLがマトリクス配列されており、各画素部PXLは走査配線駆動回路GDRで選択され、データ配線（ソース配線とも言う）駆動回路DDRからの表示データ信号に応じて点灯される。

20

## 【0004】

すなわち、走査配線駆動回路GDRによって選択されたゲート配線GLに対応して、データ配線駆動回路DDRからデータ配線DLを通して表示パネルPNLの画素部PXLにおける薄膜トランジスタTFTに表示データ（電圧）が供給される。

## 【0005】

図17(b)に示したように、画素部PXLを構成する薄膜トランジスタTFTは、ゲート配線GLとデータ配線DLとの交差部に設けられる。薄膜トランジスタTFTのゲート電極GTには、ゲート配線GLが接続され、薄膜トランジスタTFTのドレイン電極又はソース電極（この時点ではドレイン電極）SD2には、データ配線DLが接続されている。

30

## 【0006】

薄膜トランジスタTFTのドレイン電極又はソース電極（この時点ではソース電極）SD1は液晶（素子）LCの画素電極PXに接続される。液晶LCは、画素電極PXと共通電極CTとの間にあって、画素電極PXに供給されるデータ（電圧）により駆動される。なお、データを一時保持するための補助容量Caがドレイン電極SD2と補助容量配線CLとの間に接続されている。

## 【0007】

図18は、図17に示す表示パネルPNLの画素部PXLの構成とこの画素部PXLを構成する薄膜トランジスタTFTの構成を説明する図である。すなわち、図18(a)は図17に示すマトリクス状に配置された画素部PXLの平面図、図18(b)は、図18(a)に示す画素部PXLにおける薄膜トランジスタTFT部分のA-A'線に沿った断面図である。

40

## 【0008】

図18(a)に示したように、マトリクス状に配置された画素部PXLでは、薄膜トランジスタTFTがゲート配線GLとデータ配線DLとの交差部に配置されている。また、画素電極PXが薄膜トランジスタTFTに接続され、補助容量配線CLとの間で補助容量を形成している。

## 【0009】

図18(b)において、薄膜トランジスタTFTは、絶縁基板SUB1上に、ゲート電極

50

GLとこの電極を覆うようにゲート絶縁膜GIが形成され、このゲート絶縁膜上にシリコン(Si)半導体層SIとオーミックコンタクト層( $n^+$ Si)NS、ソース電極SD1及びドレイン電極SD2が順次積層される。

【0010】

このゲート配線GLおよびゲート電極DLを覆ってシリコン・ナイトライド(SiNx)のゲート絶縁膜GIが成膜され、ゲート配線GLと交差する複数のデータ配線DLが形成される。なお、このデータ配線DLと同時にソース電極SD1とドレイン電極SD2が同層で形成される。

【0011】

このように、各ゲート配線GLと各データ配線DLで囲まれる部分に画素部PXLで構成される単位画素が形成される。この単位画素はフルカラー表示の場合は各単色(赤、緑、青)の副画素となる。以下では、単位画素を単に画素とも称する。画素部PXLを構成する薄膜トランジスタ(TFT)は、上記したように、ゲート電極と、このゲート電極の上にパターニングされたシリコン半導体膜と、シリコン半導体膜の上層に分離して形成されたオーミックコンタクト層( $n^+$ シリコン)と、分離したオーミックコンタクト層のそれぞれに接続したソース電極とドレイン電極とで構成される。

【0012】

この薄膜トランジスタの上層には保護膜PASが成膜され、その上にITOを好適とする画素電極PXがパターニングされ、保護膜PASに開けたコンタクトホールでソース電極(又はドレイン電極)SD1に接続している。画素電極PXを覆って配向膜(図示せず)が成膜される。

【0013】

一方、図示しない他方の基板には、フルカラーの場合は3色のカラーフィルタと平滑層(オーバーコート層)を介した対向電極(図17の(b))が形成される。そして、対向電極を覆って配向膜が成膜され、上記した一方の基板であるアクティブ・マトリクス基板と重ねあわせ、その間に液晶が封止される。

【0014】

上記したアクティブ・マトリクス基板の配線等をインクジェット法で形成するものが特許文献1に開示されている。特許文献1では、薄膜トランジスタTFTのゲート電極を、導電材料を含有する液体材料を用いて、インクジェット法によって形成し、また、薄膜トランジスタTFTのソース電極及びドレイン電極を、半導体材料を含有する液体材料を用いて、インクジェット法によって形成することが記載されている。

【特許文献1】特開2003-318193号公報

【発明の開示】

【発明が解決しようとする課題】

【0015】

液晶表示パネルのアクティブ・マトリクス基板に形成されるゲート絶縁膜は、ゲート配線とデータ配線とを絶縁するために設けられる。薄膜トランジスタの性能は、ゲート絶縁膜が薄いほど向上する。また、ゲート絶縁膜が薄いほど補助容量線が細くでき、開口率が向上する。しかし、ゲート絶縁膜を薄くすると、データ配線との交差部の交差容量が増加して信号遅延が発生する。また、ゲート配線と対向電極との間に存在する対向容量も増加する。交差容量や対向容量を低減するためにゲート絶縁膜を厚くすれば、上記したように薄膜トランジスタの性能が低下する。

【0016】

本発明の目的は、交差容量や対向容量を増加させることなく薄膜トランジスタの性能を向上させて、高速動作で高精細、かつゲート配線を乗り越えて交差するデータ配線に段切れ等による断線の発生を回避した液晶表示装置を提供することにある。

【課題を解決するための手段】

【0017】

上記目的を達成するために、本発明は、液晶表示装置の液晶表示パネルを構成するアクテ

10

20

30

40

50

ィブ・マトリクス基板において、そのゲート配線とデータ配線の交差部に介在するゲート絶縁膜の下層に低誘電率の絶縁材料をインクジェット法で滴下してもう一つの絶縁膜とし、当該交差部の交差容量や対向電極との間の容量（対向容量）を増加させることなく、かつ配線の段切れを抑制して薄膜トランジスタの性能を向上させた。

【 0 0 1 8 】

また、本発明は、ゲート配線を覆うゲート絶縁膜の下層に、データ配線の交差部を含んで当該ゲート配線に沿って低誘電率の絶縁材料をインクジェット法で滴下して、当該交差部の交差容量や対向電極との間の容量（対向容量）を増加させることなく、薄膜トランジスタの性能を向上させた。

【 0 0 1 9 】

データ配線とソース・ドレイン電極の形成後、シリコン半導体層の成膜とパターニングで半導体アイランドを加工し、オーミックコンタクト層、ソース電極とドレイン電極の形成を行って薄膜トランジスタを作製する。保護膜の形成後、この保護膜に開けたコンタクトホールを通して薄膜トランジスタのソース電極（あるいは、ドレイン電極）に接続した画素電極を形成する。その後、既知のプロセスで液晶表示パネルを製作し、これを用いて液晶表示装置を得る。

【 発明の効果 】

【 0 0 2 0 】

本発明によれば、ゲート配線とデータ配線の交差部のみ、あるいはこの交差部を含むゲート配線の上、かつゲート絶縁膜下層にゲート絶縁膜よりも低誘電率の絶縁材料を必要な細部に限定的に塗布でき、当該交差部の交差容量や対向電極との間の容量（対向容量）を増加させることなく、また、不要部分の除去等、その後のプロセスを要せずに薄膜トランジスタの性能を向上させることができる。さらに、絶縁材料をインクジェットで塗布して形成されたゲート絶縁膜の周縁は穏やかなテーパとなるため、ゲート配線を乗り越えて交差するデータ配線に段切れ等による断線の発生が抑制される。

【 発明を実施するための最良の形態 】

【 0 0 2 1 】

以下、本発明の実施の形態を参考例および実施例の図面を参照して詳細に説明する。なお、本発明の液晶表示装置の構造は以下の製造方法により説明される。

【 参考例 1 】

【 0 0 2 2 】

図 1 は、本発明に係る液晶表示装置の参考例 1 を構成する液晶表示パネルのアクティブ・マトリクス基板の製造方法の要部工程を説明する平面図である。ここでは、データ配線およびソース・ドレイン電極の形成工程までを（ 1 ）～（ 4 ）の順で説明する。まず、（ 1 ）ゲート電極作製：透明なガラス基板を好適とする絶縁基板の表面にゲート配線 G L をパターニングする。このゲート配線 G L には薄膜トランジスタのゲート電極 G T が突出して形成される。

【 0 0 2 3 】

（ 2 ）アイランド形成：ゲート配線 G L およびゲート電極 G T を含む基板全域を覆ってゲート絶縁膜 G I を成膜する。ゲート絶縁膜 G I はシリコン・ナイトライド（ S i N x : 窒化シリコン）を C V D で成膜する。その後、同様の C V D でアモルファス・シリコン半導体層とシリコンにリン等を不純物として混入した n + シリコン半導体層（オーミックコンタクト層）を成膜する。このアモルファス・シリコン半導体層としたオーミックコンタクト層を加工し、ゲート電極 G T の上方にシリコン半導体のアイランド S I を形成する。なお、このとき、アイランド S I の上層に形成されるオーミックコンタクト層はソース電極とドレイン電極の接続領域としてそれぞれ分離されている。

【 0 0 2 4 】

（ 3 ）クロス部 I J 塗布：ゲート配線のゲート絶縁膜 G I 上で、データ配線が交差する部分（クロス部）のみにゲート絶縁膜よりも低誘電率の絶縁材料をインクジェット法で滴下して塗布し、もう一つの絶縁膜 L D P を形成する。このもう一つの絶縁膜 L D P を以下で

10

20

30

40

50

は低誘電率の絶縁膜 L D P とも称する。

【 0 0 2 5 】

( 4 ) ソース及びチャネル形成 : ゲート絶縁膜 G I 上で、かつ交差するゲート配線 G L 上では該低誘電率の絶縁膜 L D P の上に、ソース配線すなわちデータ配線 D L を形成する。このとき、薄膜トランジスタのソース電極 S D 1 とドレイン電極を同時にパターンングし、ソース電極 S D 1 とドレイン電極の間にチャネルを形成する。その後、保護膜の形成、画素電極の形成等の画素形成プロセスおよび配向膜の塗布プロセスを経てアクティブ・マトリクス基板が製作される。

【 0 0 2 6 】

図 2 は、図 1 の工程 ( 4 ) でデータ配線を形成した状態のアクティブ・マトリクス基板の A - A 線に沿って切断した断面図である。図示されたように、ガラス基板 S U B 1 の表面にゲート配線 G L が形成されている。このゲート配線 G L を覆ってガラス基板 S U B 1 の全面にゲート絶縁膜 G I が形成されている。そして、ゲート配線 G L とデータ配線が交差する部分のゲート配線 G L 上かつゲート絶縁膜 G I の上に、芳香族炭化水素系有機ポリマー、ポリアリルエーテル系有機ポリマーなどのゲート絶縁膜よりも低誘電率の絶縁材料のインクをインクジェットで滴下する。このインクが乾燥してゲート絶縁膜よりも低誘電率の絶縁膜 L D P となる。

【 0 0 2 7 】

このゲート絶縁膜 G I と低誘電率の絶縁膜 L D P の 2 層構造の絶縁構造の上にデータ配線 D L が交差して形成されている。図 2 に示されたように、インクジェットでインクを滴下して硬化した低誘電率の絶縁膜 L D P の周縁は穏やかなテーパーとなる。そのため、ゲート配線 G L に交差するデータ配線 D L は穏やかにゲート配線 G L を乗り越え、急峻な乗り越え角度の場合に起こる段切れ等による断線の発生が抑制される。また、データ配線 D L と図示しないカラーフィルタ基板に有する対向電極との間は上記の交差部を除いて電極間隔を狭くする誘電体が存在しない。

【 0 0 2 8 】

参考例 1 により、交差容量や対向容量を増加させることなく薄膜トランジスタの性能を向上させて、高速動作で高精細の液晶表示装置を提供することができる。

【 実施例 1 】

【 0 0 2 9 】

図 3 は、本発明に係る液晶表示装置の実施例 1 を構成する液晶表示パネルのアクティブ・マトリクス基板を製造する方法の要部工程を説明する平面図である。ここでも、データ配線およびソース・ドレイン電極の形成工程までを ( 1 ) ~ ( 4 ) の順で説明する。参考例 1 と同様に、まず、( 1 ) ゲート電極作製 : 透明なガラス基板を好適とする絶縁基板の表面にゲート配線 G L をパターンングする。このゲート配線 G L には薄膜トランジスタのゲート電極 G T が突出して形成される。

【 0 0 3 0 】

( 2 ) クロス部 I J 塗布 : ゲート配線 G L 上で、データ配線が交差する部分 ( クロス部 ) のみにゲート絶縁膜よりも低誘電率の絶縁材料をインクジェット法で滴下して塗布し、ゲート絶縁膜よりも低誘電率の絶縁膜 L D P を形成する。

【 0 0 3 1 】

( 3 ) アイランド形成 : ゲート配線 G L およびゲート電極 G T およびゲート絶縁膜よりも低誘電率の絶縁膜 L D P を含む基板全域を覆ってゲート絶縁膜 G I を成膜する。ゲート絶縁膜 G I はシリコン・ナイトライド ( S i N x : 窒化シリコン ) を C V D で成膜する。その後、同様の C V D でアモルファス・シリコン半導体層とシリコンにリン等を不純物として混入した n<sup>+</sup>シリコン半導体層 ( オーミックコンタクト層 ) を成膜する。このアモルファス・シリコン半導体層としたオーミックコンタクト層を加工し、ゲート電極 G T の上方にシリコン半導体のアイランド S I を形成する。なお、このとき、アイランド S I の上層に形成されるオーミックコンタクト層はソース電極とドレイン電極の接続領域としてそれぞれ分離されている。

10

20

30

40

50

## 【 0 0 3 2 】

( 4 )ソース及びチャネル形成：ゲート絶縁膜よりも低誘電率の絶縁層 L D P とゲート絶縁膜 G I 上で、かつ交差するゲート配線 G L 上ではゲート絶縁膜 G I の上に、ソース配線すなわちデータ配線 D L を形成する。このとき、薄膜トランジスタのソース電極 S D 1 とドレイン電極を同時にパターンニングし、ソース電極 S D 1 とドレイン電極の間にチャネルを形成する。その後、保護膜の形成、画素電極の形成等の画素形成プロセスおよび配向膜の塗布プロセスを経てアクティブ・マトリクス基板が製作される。

## 【 0 0 3 3 】

図 4 は、図 3 の工程 ( 4 ) でデータ配線を形成した状態のアクティブ・マトリクス基板の A - A 線に沿って切断した断面図である。図示されたように、ガラス基板 S U B 1 の表面にゲート配線 G L が形成されている。ゲート配線 G L とデータ配線が交差する部分のゲート配線 G L 上に芳香族炭化水素系有機ポリマー、ポリアリルエーテル系有機ポリマーなどの低誘電率の絶縁材料のインクをインクジェットで滴下する。このインクが乾燥してゲート絶縁膜よりも低誘電率の絶縁膜 L D P となる。この低誘電率の絶縁膜 L D P を交差部に有するゲート配線 G L を覆ってガラス基板 S U B 1 の全面にゲート絶縁膜 G I が形成される。

10

## 【 0 0 3 4 】

そして、この低誘電率の絶縁膜 L D P とゲート絶縁膜 G I との 2 層構造の絶縁構造の上にデータ配線 D L が交差して形成される。図 4 に示されたように、インクジェットで滴下して硬化した低誘電率の絶縁膜 L D P の周縁は穏やかなテーパーとなる。そのうえのゲート絶縁膜 G I もより穏やかな周縁となる。そのため、ゲート配線 G L に交差するデータ配線 D L は穏やかにゲート配線 G L を乗り越え、急峻な乗り越え角度の場合に起こる段切れ等による断線の発生が抑制される。また、データ配線 D L と図示しないカラーフィルタ基板に有する対向電極との間は上記の交差部を除いて電極間隔を狭くする誘電体が存在しない。

20

## 【 0 0 3 5 】

実施例 1 により、交差容量や対向容量を増加させることなく、かつ配線の段切れを抑制して薄膜トランジスタの性能を向上させて、高速動作で高精細の液晶表示装置を提供することができる。

## 【 参考例 2 】

## 【 0 0 3 6 】

図 5 は、本発明に係る液晶表示装置の参考例 2 を構成する液晶表示パネルのアクティブ・マトリクス基板を製造する方法の要部工程を説明する平面図である。参考例 2 は、ゲート配線やデータ配線もインクジェット法で形成する。ここでも、データ配線およびソース・ドレイン電極の形成工程までを ( 1 ) ~ ( 4 ) の順で説明する。まず、( 1 )ゲート電極作製：透明なガラス基板を好適とする絶縁基板の表面にゲート配線とゲート電極のパターンに溝を形成するバンク B N K - G を設ける。バンク B N K - G とその溝は、感光性レジストのホトリソグラフィ手法で形成される。他の実施例でも同様である。このバンク B N K - G の溝に銀や銅などの導電性粒子を混入したインクをインクジェットで滴下して充填する。これを乾燥させ、焼成してゲート配線 G L とゲート電極 G T を形成する。

30

## 【 0 0 3 7 】

( 2 )アイランド形成：ゲート配線 G L およびゲート電極 G T およびバンク B N K - G を含む基板全域を覆ってゲート絶縁膜 G I を成膜する。ゲート絶縁膜 G I はシリコン・ナイトライド ( S i N x : 窒化シリコン ) を C V D で成膜する。その後、同様の C V D でアモルファス・シリコン半導体層とシリコンにリン等を不純物として混入した n<sup>+</sup>シリコン半導体層 ( オーミックコンタクト層 ) を成膜する。このアモルファス・シリコン半導体層としたオーミックコンタクト層を加工し、ゲート電極 G T の上方にシリコン半導体のアイランド S I を形成する。なお、このとき、アイランド S I の上層に形成されるオーミックコンタクト層はソース電極とドレイン電極の接続領域としてそれぞれ分離されている。

40

## 【 0 0 3 8 】

( 3 )クロス部 I J 塗布：ゲート配線のゲート絶縁膜 G I 上で、データ配線が交差する部

50

分（クロス部）のみにゲート絶縁膜よりも低誘電率の絶縁材料をインクジェット法で滴下して塗布し、ゲート絶縁膜よりも低誘電率の絶縁膜 L D P を形成する。

【 0 0 3 9 】

（ 4 ）ソース及びチャネル形成：絶縁基板の表面にデータ配線とソース電極およびドレイン電極のパターンに溝を形成したバンク B N K - D を設ける。バンク B N K - D とその溝は、感光性レジストのホトリソグラフィ手法で形成される。他の実施例でも同様である。このバンク B N K - D の溝に銀や銅などの導電性粒子を混入したインクをインクジェットで滴下して充填する。これを乾燥させ、焼成してデータ配線 D L とソース電極 S D 1 およびドレイン電極 S D 2 を形成する。このとき、ソース電極 S D 1 とドレイン電極 S D 2 の間にチャネルを形成する。その後、保護膜の形成、画素電極の形成等の画素形成プロセスおよび配向膜の塗布プロセスを経てアクティブ・マトリクス基板が製作される。

10

【 0 0 4 0 】

図 6 は、図 5 の工程（ 4 ）でデータ配線を形成した状態のアクティブ・マトリクス基板の A - A 線に沿って切断した断面図である。図示されたように、ガラス基板 S U B 1 の表面に形成したバンク B N K - G の溝にゲート配線 G L が形成されている。このゲート配線 G L を覆ってガラス基板 S U B 1 の全面にゲート絶縁膜 G I が形成されている。そして、ゲート配線 G L とデータ配線が交差する部分のゲート配線 G L 上かつゲート絶縁膜 G I の上に、芳香族炭化水素系有機ポリマー、ポリアリルエーテル系有機ポリマーなどの低誘電率の絶縁材料のインクをインクジェットで滴下する。このインクが乾燥してゲート絶縁膜よりも低誘電率の絶縁膜 L D P となる。

20

【 0 0 4 1 】

このゲート絶縁膜 G I と低誘電率の絶縁膜 L D P の 2 層の絶縁構造の上にデータ配線 D L が交差して形成されている。図 6 に示されたように、ゲート絶縁膜 G I はバンク B N K - G により平坦に形成されている。この上にインクジェットで滴下して硬化した低誘電率の絶縁膜 L D の周縁はより穏やかなテーパとなる。そのため、ゲート配線 G L に交差するデータ配線 D L は穏やかにゲート配線 G L を乗り越え、急峻な乗り越え角度の場合に起こる段切れ等による断線の発生が抑制される。また、データ配線 D L と図示しないカラーフィルタ基板に有する対向電極との間は上記の交差部を除いて電極間隔を狭くする誘電体が存在しない。

30

【 0 0 4 2 】

参考例 2 によっても、交差容量や対向容量を増加させることなく薄膜トランジスタの性能を向上させて、高速動作で高精細の液晶表示装置を提供することができる。

【 参考例 3 】

【 0 0 4 3 】

図 7 は、本発明に係る液晶表示装置の参考例 3を構成する液晶表示パネルのアクティブ・マトリクス基板を製造する方法の要部工程を説明する平面図である。参考例 3も参考例 2と同様に、ゲート配線やデータ配線もインクジェット法で形成する。ここでも、データ配線およびソース・ドレイン電極の形成工程までを（ 1 ）～（ 4 ）の順で説明する。まず、（ 1 ）ゲート電極作製：透明なガラス基板を好適とする絶縁基板の表面にゲート配線とゲート電極のパターンに溝を形成するバンク B N K - G を設ける。このバンク B N K - G の溝に銀や銅などの導電性粒子を混入したインクをインクジェットで滴下して充填する。これを乾燥させ、焼成してゲート配線 G L とゲート電極 G T を形成する。

40

【 0 0 4 4 】

（ 2 ）クロス部 I J 塗布：ゲート配線のゲート絶縁層 G I 上で、データ配線が交差する部分（クロス部）のみにゲート絶縁膜よりも低誘電率の絶縁材料をインクジェット法で滴下して塗布し、ゲート絶縁膜よりも低誘電率の絶縁膜 L D P を形成する。

【 0 0 4 5 】

（ 3 ）アイランド形成：ゲート配線 G L およびゲート電極 G T およびバンク B N K - G を含む基板全域を覆ってゲート絶縁膜 G I を成膜する。ゲート絶縁膜 G I はシリコン・ナイトライド（ S i N x : 窒化シリコン）を C V D で成膜する。その後、同様の C V D でアモルフ

50

アス・シリコン半導体層とシリコンにリン等を不純物として混入した $n^+$ シリコン半導体層（オーミックコンタクト層）を成膜する。このアモルファス・シリコン半導体層としたオーミックコンタクト層を加工し、ゲート電極GTの上方にシリコン半導体のアイランドSIを形成する。なお、このとき、アイランドSIの上層に形成されるオーミックコンタクト層はソース電極とドレイン電極の接続領域としてそれぞれ分離されている。

【0046】

(4) ソース及びチャネル形成：絶縁基板の表面にデータ配線とソース電極およびドレイン電極のパターンに溝を形成したバンクBNK-Dを設ける。このバンクBNK-Dの溝に銀や銅などの導電性粒子を混入したインクをインクジェットで滴下して充填する。これを乾燥させ、焼成してデータ配線DLとソース電極SD1およびドレイン電極SD2を形成する。このとき、ソース電極SD1とドレイン電極SD2の間にチャネルを形成する。その後、保護膜の形成、画素電極の形成等の画素形成プロセスおよび配向膜の塗布プロセスを経てアクティブ・マトリクス基板が製作される。

10

【0047】

図8は、図7の工程(4)でデータ配線を形成した状態のアクティブ・マトリクス基板のA-A線に沿って切断した断面図である。図示されたように、ガラス基板SUB1の表面に形成したバンクBNK-Gの溝にゲート配線GLが形成されている。ゲート配線GLとデータ配線が交差する部分のゲート配線GL上かつゲート絶縁膜GIの上に、芳香族炭化水素系有機ポリマー、ポリアリルエーテル系有機ポリマーなどの低誘電率の絶縁材料のインクをインクジェットで滴下する。このインクが乾燥してゲート絶縁膜よりも低誘電率の絶縁膜LDPとなる。低誘電率の絶縁膜LDPを覆ってガラス基板SUB1の全面にゲート絶縁膜GIが形成される。

20

【0048】

この低誘電率の絶縁膜LDPとゲート絶縁膜GIとの2層の絶縁構造の上にデータ配線DLが交差して形成されている。図8に示されたように、低誘電率の絶縁膜LDPの上に形成されるゲート絶縁膜GIはバンクBNK-Gにより周縁が穏やかに形成されている。そのため、ゲート配線GLに交差するデータ配線DLは穏やかにゲート配線GLを乗り越え、急峻な乗り越え角度の場合に起こる段切れ等による断線の発生が抑制される。また、データ配線DLと図示しないカラーフィルタ基板に有する対向電極との間は上記の交差部を除いて電極間隔を狭くする誘電体が存在しない。

30

【0049】

実施例4によっても、交差容量や対向容量を増加させることなく薄膜トランジスタの性能を向上させて、高速動作で高精細の液晶表示装置を提供することができる。

【参考例4】

【0050】

図9は、本発明に係る液晶表示装置の参考例4を構成する液晶表示パネルのアクティブ・マトリクス基板の製造方法の要部工程を説明する平面図である。ここでも、データ配線およびソース・ドレイン電極の形成工程までを(1)~(4)の順で説明する。まず、(1)ゲート電極作製：透明なガラス基板を好適とする絶縁基板の表面にゲート配線GLをパターンニングする。このゲート配線GLには薄膜トランジスタのゲート電極GTが突出して形成される。

40

【0051】

(2)アイランド形成：ゲート配線GLおよびゲート電極GTを含む基板全域を覆ってゲート絶縁膜GIを成膜する。ゲート絶縁膜GIはシリコン・ナイトライド(SiNx:窒化シリコン)をCVDで成膜する。その後、同様のCVDでアモルファス・シリコン半導体層とシリコンにリン等を不純物として混入した $n^+$ シリコン半導体層（オーミックコンタクト層）を成膜する。このアモルファス・シリコン半導体層としたオーミックコンタクト層を加工し、ゲート電極GTの上方にシリコン半導体のアイランドSIを形成する。なお、このとき、アイランドSIの上層に形成されるオーミックコンタクト層はソース電極とドレイン電極の接続領域としてそれぞれ分離されている。

50

## 【 0 0 5 2 】

( 3 ) ゲート配線部 I J 塗布 : ゲート配線のゲート絶縁膜 G I 上で、データ配線が交差する部分 ( クロス部 ) のみでなく、ゲート配線 G L に沿ってその上部に低誘電率の絶縁材料をインクジェット法で滴下して塗布し、ゲート絶縁膜よりも低誘電率の絶縁膜 L D P を形成する。この低誘電率の絶縁膜 L D P はアクティブ・マトリクス基板の少なくとも表示領域 ( 多数の画素をマトリクス配列した領域 ) 内の全てのゲート配線 G L の上層に形成にされる。

## 【 0 0 5 3 】

( 4 ) ソース及びチャネル形成 : ゲート絶縁膜 G I 上で、かつ交差するゲート配線 G L 上の低誘電率の絶縁膜 L D P の上に、ソース配線すなわちデータ配線 D L を形成する。このとき、薄膜トランジスタのソース電極 S D 1 とドレイン電極を同時にパターンニングし、ソース電極 S D 1 とドレイン電極の間にチャネルを形成する。その後、保護膜の形成、画素電極の形成等の画素形成プロセスおよび配向膜の塗布プロセスを経てアクティブ・マトリクス基板が製作される。

## 【 0 0 5 4 】

図 1 0 は、図 9 の工程 ( 4 ) でデータ配線を形成した状態のアクティブ・マトリクス基板の B - B 線に沿って切断したものに他方の基板と貼り合わせて液晶を封止した状態を示す断面図である。図示されたように、アクティブ・マトリクス基板を構成するガラス基板 S U B 1 の表面にゲート配線 G L が形成されている。このゲート配線 G L を覆ってガラス基板 S U B 1 の全面にゲート絶縁膜 G I が形成されている。そして、ゲート配線 G L とデータ配線が交差する部分のゲート配線 G L 上かつゲート絶縁膜 G I の上に、芳香族炭化水素系有機ポリマー、ポリアリルエーテル系有機ポリマーなどの低誘電率の絶縁材料のインクをインクジェットで滴下する。このインクが乾燥してゲート配線 G L に沿ってゲート絶縁膜 G I 上に存在する ゲート絶縁膜よりも低誘電率の絶縁膜 L D P となる。

## 【 0 0 5 5 】

このゲート絶縁膜 G I と低誘電率の絶縁膜 L D P の 2 層の絶縁構造の上にデータ配線 D L が交差して形成されている。図 1 0 に示されたように、インクジェットで滴下して硬化した低誘電率の絶縁膜 L D P の周縁は穏やかなテーパーとなる。そのため、ゲート配線 G L に交差するデータ配線 D L は穏やかにゲート配線 G L を乗り越え、急峻な乗り越え角度の場合に起こる段切れ等による断線の発生が抑制される。また、データ配線 D L とカラーフィルタ基板 S U B 2 に有する対向電極 C T との間は上記の交差部を含むゲート配線 G L の部分を除いて電極間隔を狭くする誘電体が存在しない。なお、アクティブ・マトリクス基板 S U B 1 側の配向膜 O R I 1 とカラーフィルタ基板 S U B 2 側の配向膜 O R I 2 の間に液晶 L C が封止されている。

## 【 0 0 5 6 】

参考例 4 により、交差容量や対向容量を増加させることなく、かつデータ配線等の信号線と対向電極との間にはゲート配線 G L 上の ゲート絶縁膜よりも低誘電率の絶縁膜 L D P が電極間隔を狭める誘電体として存在するのみで、容量を大幅に増加させるような構造とならない。そのため、薄膜トランジスタの性能を低下させることがなく、高速動作で高精細の液晶表示装置を提供することができる。

## 【 実施例 2 】

## 【 0 0 5 7 】

図 1 1 は、本発明に係る液晶表示装置の実施例 2 を構成する液晶表示パネルのアクティブ・マトリクス基板を製造する方法の要部工程を説明する平面図である。ここでも、データ配線およびソース・ドレイン電極の形成工程までを ( 1 ) ~ ( 4 ) の順で説明する。先ず、( 1 ) ゲート電極作製 : 透明なガラス基板を好適とする絶縁基板の表面にゲート配線 G L をパターンニングする。このゲート配線 G L には薄膜トランジスタのゲート電極 G T が突出して形成される。

## 【 0 0 5 8 】

( 2 ) ゲート配線部 I J 塗布 : ゲート配線の上に、データ配線が交差する部分 ( クロス部

10

20

30

40

50

)のみでなく、ゲート配線GLに沿ってその上部にゲート絶縁膜よりも低誘電率の絶縁材料をインクジェット法で滴下して塗布し、ゲート絶縁膜よりも低誘電率の絶縁膜LDPを形成する。この低誘電率の絶縁膜LDPはアクティブ・マトリクス基板の少なくとも表示領域(多数の画素をマトリクス配列した領域)内の全てのゲート配線GLの上層に形成にされる。

【0059】

(3)アイランド形成:ゲート配線GLおよびゲート電極GTおよび低誘電率の絶縁膜LDPを含む基板全域を覆ってゲート絶縁膜GIを成膜する。ゲート絶縁膜GIはシリコン・ナイトライド(SiNx:窒化シリコン)をCVDで成膜する。その後、同様のCVDでアモルファス・シリコン半導体層とシリコンにリン等を不純物として混入したn<sup>+</sup>シリコン半導体層(オーミックコンタクト層)を成膜する。このアモルファス・シリコン半導体層としたオーミックコンタクト層を加工し、ゲート電極GTの上方にシリコン半導体のアイランドSIを形成する。なお、このとき、アイランドSIの上層に形成されるオーミックコンタクト層はソース電極とドレイン電極の接続領域としてそれぞれ分離されている。

10

【0060】

(4)ソース及びチャンネル形成:ゲート絶縁膜GI上で、かつ交差するゲート配線GL上の低誘電率の絶縁膜LDPの上に、ソース配線すなわちデータ配線DLを形成する。このとき、薄膜トランジスタのソース電極SD1とドレイン電極を同時にパターンニングし、ソース電極SD1とドレイン電極の間にチャンネルを形成する。その後、保護膜の形成、画素電極の形成等の画素形成プロセスおよび配向膜の塗布プロセスを経てアクティブ・マトリクス基板が製作される。

20

【0061】

図12は、図11の工程(4)でデータ配線を形成した状態のアクティブ・マトリクス基板のB-B線に沿って切断したものに他方の基板と貼り合わせて液晶を封止した状態を示す断面図である。図示されたように、アクティブ・マトリクス基板を構成するガラス基板SUB1の表面にゲート配線GLが形成されている。データ配線が交差する部分を含むゲート配線GL上に低誘電率の絶縁膜LDPが形成され、その上にゲート絶縁膜GIが形成されている。ゲート絶縁膜よりも低誘電率の絶縁膜LDPは、芳香族炭化水素系有機ポリマー、ポリアリルエーテル系有機ポリマーなどの低誘電率の絶縁材料のインクをインクジェットで滴下し、乾燥してゲート配線GLに沿ってゲート絶縁膜GI上に存在するゲート絶縁膜よりも低誘電率の絶縁膜LDPとなる。

30

【0062】

この低誘電率の絶縁膜LDPとゲート絶縁膜GIとの2層の絶縁構造の上にデータ配線DLが交差して形成されている。図12に示されたように、インクジェットで滴下して硬化した低誘電率の絶縁膜LDの周縁は穏やかなテーパとなる。そのため、ゲート配線GLに交差するデータ配線DLは穏やかにゲート配線GLを乗り越え、急峻な乗り越え角度の場合に起こる段切れ等による断線の発生が抑制される。また、データ配線DLとカラーフィルタ基板SUB2に有する対向電極CTとの間は上記の交差部を含むゲート配線GLの部分を除いて電極間隔を狭くする誘電体が存在しない。なお、アクティブ・マトリクス基板SUB1側の配向膜ORI1とカラーフィルタ基板SUB2側の配向膜ORI2の間に液晶LCが封止されている。

40

【0063】

実施例2により、交差容量や対向容量を増加させることなく、かつデータ配線等の信号線と対向電極との間にはゲート配線GL上の低誘電率の絶縁膜LDPが電極間隔を狭める誘電体として存在するのみで、容量を大幅に増加させるような構造とならない。そのため、薄膜トランジスタの性能を低下させることがなく、高速動作で高精度の液晶表示装置を提供することができる。

【参考例5】

【0064】

図13は、本発明に係る液晶表示装置の参考例5を構成する液晶表示パネルのアクティブ

50

・マトリクス基板を製造する方法の要部工程を説明する平面図である。ここでも、データ配線およびソース・ドレイン電極の形成工程までを(1)~(4)の順で説明する。まず、(1)ゲート電極作製：透明なガラス基板を好適とする絶縁基板の表面にゲート配線とゲート電極の溝パターンを設けたバンクBNK-Gを形成する。銀あるいは銅等の導電性粒子を含むインクをインクジェットでバンクBNK-Gの溝に滴下し、乾燥、焼成してゲート配線GLとゲート電極GTを形成する。

【0065】

(2)アイランド形成：ゲート配線GLおよびゲート電極GTおよびバンクBNK-Gを含む基板全域を覆ってゲート絶縁膜GIを成膜する。ゲート絶縁膜GIはシリコン・ナイトライド(SiNx：窒化シリコン)をCVDで成膜する。その後、同様のCVDでアモルファス・シリコン半導体層とシリコンにリン等を不純物として混入したn<sup>+</sup>シリコン半導体層(オーミックコンタクト層)を成膜する。このアモルファス・シリコン半導体層としたオーミックコンタクト層を加工し、ゲート電極GTの上方にシリコン半導体のアイランドSIを形成する。なお、このとき、アイランドSIの上層に形成されるオーミックコンタクト層はソース電極とドレイン電極の接続領域としてそれぞれ分離されている。

10

【0066】

(3)ゲート配線部IJ塗布：ゲート配線のゲート絶縁膜GI上で、データ配線が交差する部分(クロス部)のみでなく、ゲート配線GLに沿ってその上部に低誘電率の絶縁材料をインクジェット法で滴下して塗布し、ゲート絶縁膜よりも低誘電率の絶縁膜LDPを形成する。この低誘電率の絶縁膜LDPはアクティブ・マトリクス基板の少なくとも表示領域(多数の画素をマトリクス配列した領域)内の全てのゲート配線GLの上層に形成にされる。

20

【0067】

(4)ソース及びチャネル形成：ゲート絶縁層GI上で、かつ交差するゲート配線GL上の低誘電率の絶縁膜LDPの上に、データ配線とソース電極SD1およびドレイン電極SD2の溝パターンを有するバンクBNK-Dを形成する。この溝に銀あるいは銅等の導電性粒子を含むインクをインクジェットでバンクBNK-Gの溝に滴下し、乾燥、焼成してソース配線すなわちデータ配線DL、およびソース電極SD1とドレイン電極SD2を形成する。このとき、ソース電極SD1とドレイン電極の間にチャネルが形成される。その後、保護膜の形成、画素電極の形成等の画素形成プロセスおよび配向膜の塗布プロセスを経てアクティブ・マトリクス基板が製作される。

30

【0068】

図14は、図13の工程(4)でデータ配線を形成した状態のアクティブ・マトリクス基板のB-B線に沿って切断したものに他方の基板と貼り合わせて液晶を封止した状態を示す断面図である。図示されたように、アクティブ・マトリクス基板を構成するガラス基板SUB1の表面にゲート配線GLが形成されている。このゲート配線GLを覆ってガラス基板SUB1の全面にゲート絶縁膜GIが形成されている。ゲート絶縁膜GIはバンクBNK-Gの存在で平坦に形成される。そして、ゲート配線GLとデータ配線が交差する部分のゲート配線GL上かつゲート絶縁膜GIの上に、芳香族炭化水素系有機ポリマー、ポリアリルエーテル系有機ポリマーなどの低誘電率の絶縁材料のインクをインクジェットで滴下し、このインクが乾燥してゲート配線GLに沿ってゲート絶縁膜GI上に存在するゲート絶縁膜よりも低誘電率の絶縁膜LDPとなる。

40

【0069】

このゲート絶縁膜GIと低誘電率の絶縁膜LDPの2層の絶縁構造の上にデータ配線DLが交差して形成されている。図14に示されたように、インクジェットで滴下して硬化した低誘電率の絶縁膜LDの周縁は穏やかなテーパとなる。そのため、ゲート配線GLに交差するデータ配線DLは穏やかにゲート配線GLを乗り越え、急峻な乗り越え角度の場合に起こる段切れ等による断線の発生が抑制される。また、データ配線DLとカラーフィルタ基板SUB2に有する対向電極CTとの間は上記の交差部を含むゲート配線GLの部分を除いて電極間隔を狭くする誘電体が存在しない。なお、アクティブ・マトリクス基板S

50

UB 1 側の配向膜ORI 1 とカラーフィルタ基板SUB 2 側の配向膜ORI 2 の間に液晶LCが封止されている。

【0070】

参考例5により、交差容量や対向容量を増加させることなく、かつデータ配線等の信号線と対向電極との間にはゲート配線GL上の低誘電率の絶縁膜LDPが電極間隔を狭める誘電体として存在するのみで、容量を大幅に増加させるような構造とならない。そのため、薄膜トランジスタの性能を低下させることがなく、高速動作で高精細の液晶表示装置を提供することができる。

【参考例6】

【0071】

図15は、本発明に係る液晶表示装置の参考例6を構成する液晶表示パネルのアクティブ・マトリクス基板を製造する方法の要部工程を説明する平面図である。ここでも、データ配線およびソース・ドレイン電極の形成工程までを(1)~(4)の順で説明する。先ず、(1)ゲート電極作製：透明なガラス基板を好適とする絶縁基板の表面にゲート配線とゲート電極の溝パターンを設けたバンクBNK-Gを形成する。銀あるいは銅等の導電性粒子を含むインクをインクジェットでバンクBNK-Gの溝に滴下し、乾燥、焼成してゲート配線GLとゲート電極GTを形成する。

【0072】

(2)ゲート配線部IJ塗布：ゲート配線のゲート絶縁膜GI上で、データ配線が交差する部分(クロス部)のみでなく、ゲート配線GLに沿ってその上部に低誘電率の絶縁材料をインクジェット法で滴下して塗布し、ゲート絶縁膜よりも低誘電率の絶縁膜LDPを形成する。この低誘電率の絶縁膜LDPはアクティブ・マトリクス基板の少なくとも表示領域(多数の画素をマトリクス配列した領域)内の全てのゲート配線GLの上層に形成される。

【0073】

(3)アイランド形成：ゲート配線GLおよびゲート電極GTおよびバンクBNK-Gを含む基板全域を覆ってゲート絶縁膜GIを成膜する。ゲート絶縁膜GIはシリコン・ナイトライド(SiNx:窒化シリコン)をCVDで成膜する。その後、同様のCVDでアモルファス・シリコン半導体層とシリコンにリン等を不純物として混入したn<sup>+</sup>シリコン半導体層(オーミックコンタクト層)を成膜する。このアモルファス・シリコン半導体層としたオーミックコンタクト層を加工し、ゲート電極GTの上方にシリコン半導体のアイランドSIを形成する。なお、このとき、アイランドSIの上層に形成されるオーミックコンタクト層はソース電極とドレイン電極の接続領域としてそれぞれ分離されている。

【0074】

(4)ソース及びチャネル形成：ゲート絶縁膜GI上で、かつ交差するゲート配線GL上の低誘電率の絶縁膜LDPの上に、データ配線とソース電極SD1およびドレイン電極SD2の溝パターンを有するバンクBNK-Dを形成する。この溝に銀あるいは銅等の導電性粒子を含むインクをインクジェットでバンクBNK-Gの溝に滴下し、乾燥、焼成してソース配線すなわちデータ配線DL、およびソース電極SD1とドレイン電極SD2を形成する。このとき、ソース電極SD1とドレイン電極SD2の間にチャネルが形成される。その後、保護膜の形成、画素電極の形成等の画素形成プロセスおよび配向膜の塗布プロセスを経てアクティブ・マトリクス基板が製作される。

【0075】

図16は、図15の工程(4)でデータ配線を形成した状態のアクティブ・マトリクス基板のB-B線に沿って切断したものに他方の基板と貼り合わせて液晶を封止した状態を示す断面図である。図示されたように、アクティブ・マトリクス基板を構成するガラス基板SUB1の表面にゲート配線GLが形成されている。ゲート配線GLとデータ配線が交差する部分を含め、ゲート配線GL上に芳香族炭化水素系有機ポリマー、ポリアリルエーテル系有機ポリマーなどの低誘電率の絶縁材料のインクをインクジェットで滴下する。このインクが乾燥してゲート配線GLに沿ってゲート絶縁膜GI上に存在するゲート絶縁膜よ

10

20

30

40

50

りも低誘電率の絶縁膜 L D P となる。この上にゲートゲート絶縁膜 G I を形成する。ゲート絶縁膜 G I はバンク B N K - G の存在で平坦に形成される。

【 0 0 7 6 】

この低誘電率の絶縁膜 L D P とゲート絶縁膜 G I との 2 層の絶縁構造の上にデータ配線 D L が交差して形成されている。図 1 6 に示されたように、インクジェットで滴下して硬化した低誘電率の絶縁膜 L D P の周縁は穏やかなテーパーとなる。そのため、ゲート配線 G L に交差するデータ配線 D L は穏やかにゲート配線 G L を乗り越え、急峻な乗り越え角度の場合に起こる段切れ等による断線の発生が抑制される。また、データ配線 D L とカラーフィルタ基板 S U B 2 に有する対向電極 C T との間は上記の交差部を含むゲート配線 G L の部分を除いて電極間隔を狭くする誘電体が存在しない。なお、アクティブ・マトリクス基板 S U B 1 側の配向膜 O R I 1 とカラーフィルタ基板 S U B 2 側の配向膜 O R I 2 の間に液晶 L C が封止されている。

【 0 0 7 7 】

参考例 6 により、交差容量や対向容量を増加させることなく、かつデータ配線等の信号線と対向電極の間にはゲート配線 G L 上の低誘電率の絶縁膜 L D P が電極間隔を狭める誘電体として存在するのみで、容量を大幅に増加させるような構造とならない。そのため、薄膜トランジスタの性能を低下させることがなく、高速動作で高精細の液晶表示装置を提供することができる。

【 0 0 7 8 】

ここで、本発明の具体的効果を、交差部容量については実施例 1 で、対向電極については実施例 2 で説明する。

【 0 0 7 9 】

実施例 3 で説明した交差部容量について、図 4 6 の断面構造を参照して説明する。ゲート配線 G L とデータ配線 D L の交差部で両配線の間には存在するゲート絶縁膜 G I の厚さ  $d_{gi}$  を  $0.4 \mu\text{m}$ 、その誘電率  $\epsilon_{gi}$  を  $7.0$ 、交差部の面積を  $S$  としたときのゲート絶縁膜 G I のみの交差部の容量  $C_0$  は、

$$C_0 = \epsilon_{gi} / d_{gi} S = (7.0 / 0.4) S$$

となる。

【 0 0 8 0 】

交差部におけるゲート絶縁膜 G I の下上にインクジェットで塗布したゲート絶縁膜よりも低誘電率の絶縁膜 L D P の厚さを  $d$ 、その誘電率を  $\epsilon$  とすると、交差部の容量  $C$  は、

$$C = C_0 [ 1 / (1 + d \epsilon / d_{gi} \epsilon_{gi}) ]$$

となる。

【 0 0 8 1 】

ここで、低誘電率の絶縁膜 L D P の誘電率  $\epsilon$  を略々 3 とし、低誘電率の絶縁膜 L D P の厚さ  $d$  を変えたときの交差部の容量  $C$  は、

$$d = 0.4 \mu\text{m} \quad C = 0.30 C_0$$

$$d = 0.8 \mu\text{m} \quad C = 0.18 C_0$$

$$d = 1.2 \mu\text{m} \quad C = 0.13 C_0$$

となる。

【 0 0 8 2 】

実施例 2 で説明した対向容量について、図 1 2 の断面構造を参照して説明する。ゲート絶縁膜 G I の厚さ  $d_{gi}$  を  $0.4 \mu\text{m}$ 、その誘電率  $\epsilon_{gi}$  を  $7.0$ 、液晶 L C の厚さ  $d_{lc}$  を  $3.5 \mu\text{m}$ 、その誘電率  $\epsilon_{lc}$  を  $8.5$ 、ゲート配線 G L と対向電極 C T の対向部の面積を  $S$  としたときのゲート絶縁膜 G I のみの交差部の容量  $C_0$  は、

$$C_0 = [ (\epsilon_{gi} \cdot \epsilon_{lc} / (d_{gi} \epsilon_{lc} + d_{lc} \epsilon_{gi})) ] S$$

となる。

【 0 0 8 3 】

ゲート絶縁膜 G I の下に沿ってインクジェットで塗布した低誘電率の絶縁膜 L D P の厚さを  $d$ 、その誘電率を  $\epsilon$  とすると、対向容量  $C$  は、

10

20

30

40

50

$C = C_0 [ 1 / ( 1 + ( d_{gi} / l_c / ( d_{gi} / l_c + d_{lc} / g_i ) ) ) ]$   
となる。

【0084】

ここで、低誘電率の絶縁膜LDPの誘電率を略々3とし、低誘電率の絶縁膜LDPの厚さdを変えたときの交差部の容量Cは、

$$d = 1 \mu m \quad C = 0.58 C_0$$

$$d = 2 \mu m \quad C = 0.41 C_0$$

$$d = 3 \mu m \quad C = 0.32 C_0$$

となる。

【0085】

なお、本発明は、上記した各実施例および参考例を適宜組み合わせることもでき、本発明の技術思想を逸脱することなく、種々の変更が可能である。

【図面の簡単な説明】

【0086】

【図1】本発明に係る液晶表示装置の参考例1を構成する液晶表示パネルのアクティブ・マトリクス基板の製造方法の要部工程を説明する平面図である。

【図2】図1の工程(4)でデータ配線を形成した状態のアクティブ・マトリクス基板のA-A線に沿って切断した断面図である。

【図3】本発明に係る液晶表示装置の実施例1を構成する液晶表示パネルのアクティブ・マトリクス基板の製造方法の要部工程を説明する平面図である。

【図4】図3の工程(4)でデータ配線を形成した状態のアクティブ・マトリクス基板のA-A線に沿って切断した断面図である。

【図5】本発明に係る液晶表示装置の参考例2を構成する液晶表示パネルのアクティブ・マトリクス基板の製造方法の要部工程を説明する平面図である。

【図6】図5の工程(4)でデータ配線を形成した状態のアクティブ・マトリクス基板のA-A線に沿って切断した断面図である。

【図7】本発明に係る液晶表示装置の参考例3を構成する液晶表示パネルのアクティブ・マトリクス基板の製造方法の要部工程を説明する平面図である。

【図8】図7の工程(4)でデータ配線を形成した状態のアクティブ・マトリクス基板のA-A線に沿って切断した断面図である。

【図9】本発明に係る液晶表示装置の参考例4を構成する液晶表示パネルのアクティブ・マトリクス基板の製造方法の要部工程を説明する平面図である。

【図10】図9の工程(4)でデータ配線を形成した状態のアクティブ・マトリクス基板のB-B線に沿って切断したものに他方の基板と貼り合わせて液晶を封止した状態を示す断面図である。

【図11】本発明に係る液晶表示装置の実施例2を構成する液晶表示パネルのアクティブ・マトリクス基板の製造方法の要部工程を説明する平面図である。

【図12】図11の工程(4)でデータ配線を形成した状態のアクティブ・マトリクス基板のB-B線に沿って切断したものに他方の基板と貼り合わせて液晶を封止した状態を示す断面図である。

【図13】本発明に係る液晶表示装置の参考例5を構成する液晶表示パネルのアクティブ・マトリクス基板の製造方法の要部工程を説明する平面図である。

【図14】図13の工程(4)でデータ配線を形成した状態のアクティブ・マトリクス基板のB-B線に沿って切断したものに他方の基板と貼り合わせて液晶を封止した状態を示す断面図である。

【図15】本発明に係る液晶表示装置の参考例6を構成する液晶表示パネルのアクティブ・マトリクス基板の製造方法の要部工程を説明する平面図である。

【図16】図15の工程(4)でデータ配線を形成した状態のアクティブ・マトリクス基板のB-B線に沿って切断したものに他方の基板と貼り合わせて液晶を封止した状態を示す断面図である。

10

20

30

40

50

【図17】アクティブ・マトリクス型液晶表示装置の表示パネル部の等価回路を説明する図である。

【図18】図17に示す表示パネルPNLの画素部PXLの構成とこの画素部PXLを構成する薄膜トランジスタTFTの構成を説明する図である。

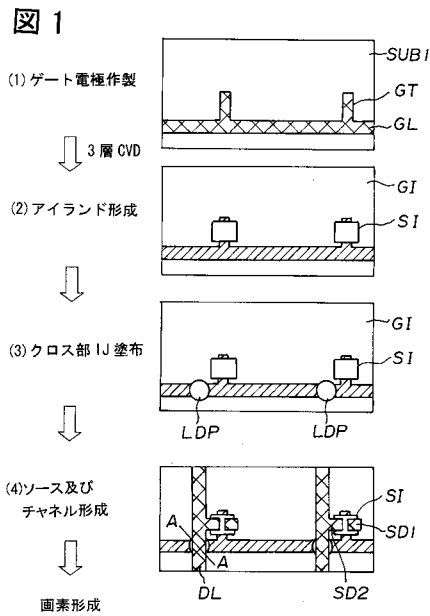
【符号の説明】

【0087】

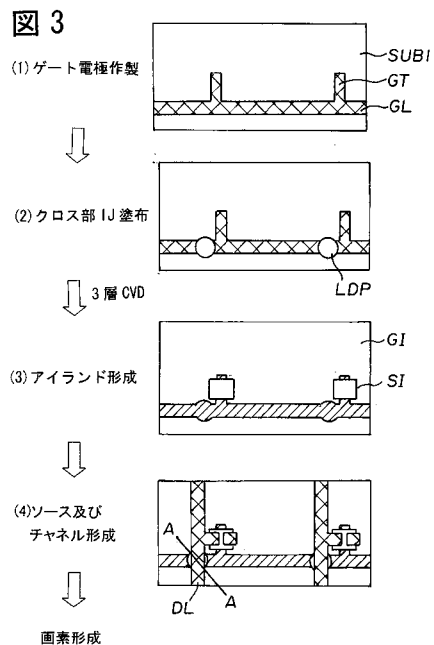
SUB1・・・第1の絶縁基板（アクティブ・マトリクス基板）、SUB2・・・第2の絶縁基板（カラーフィルタ基板）、GL・・・ゲート配線、GT・・・ゲート電極、GI・・・ゲート絶縁膜、SI・・・シリコン半導体層、LDP・・・低誘電率の絶縁膜、DL・・・データ配線、SD1・・・ソース電極（ドレイン電極）、SD2・・・ドレイン電極（ソース電極）、BNK-G・・・ゲート配線形成用バンク、BNK-D・・・データ配線形成用バンク。

10

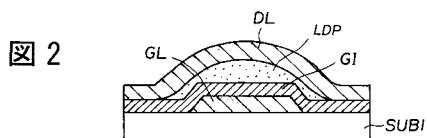
【図1】



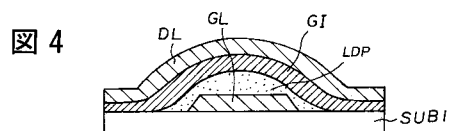
【図3】



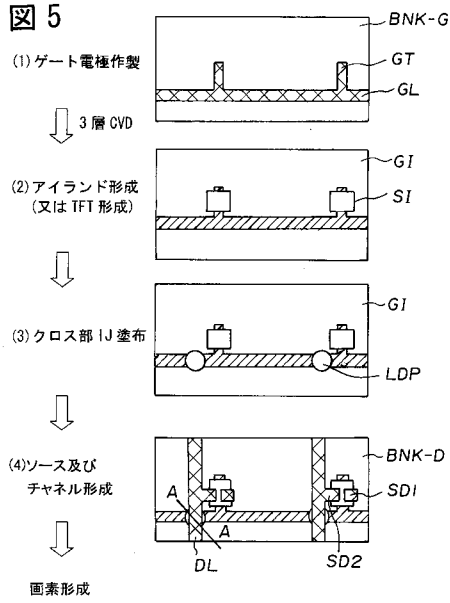
【図2】



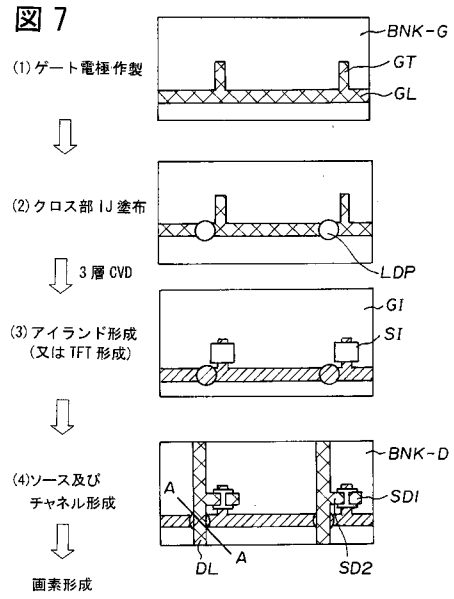
【図4】



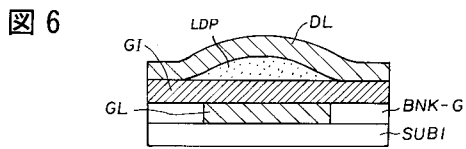
【図5】



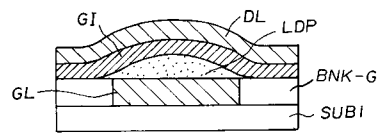
【図7】



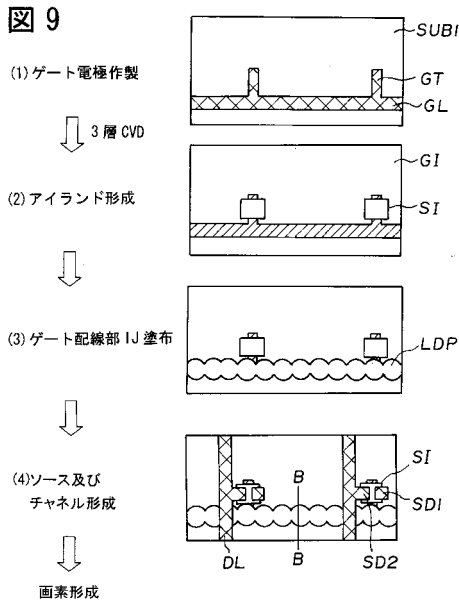
【図6】



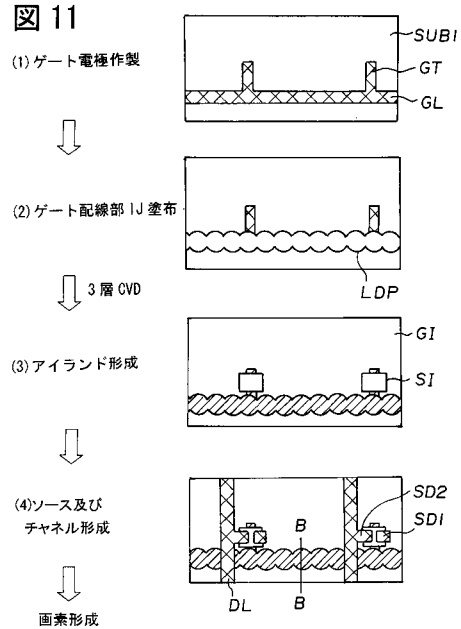
【図8】



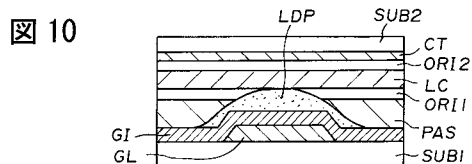
【図9】



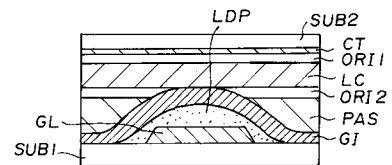
【図11】



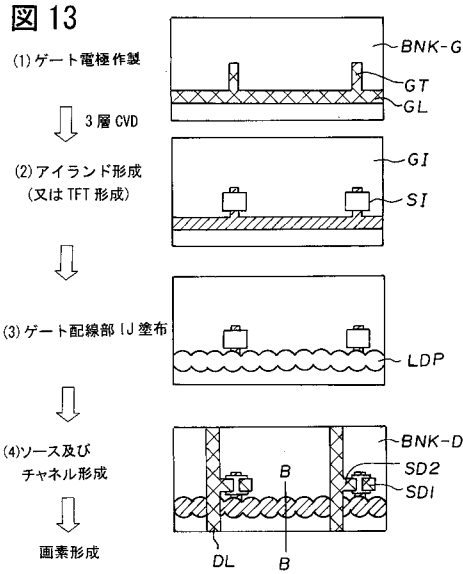
【図10】



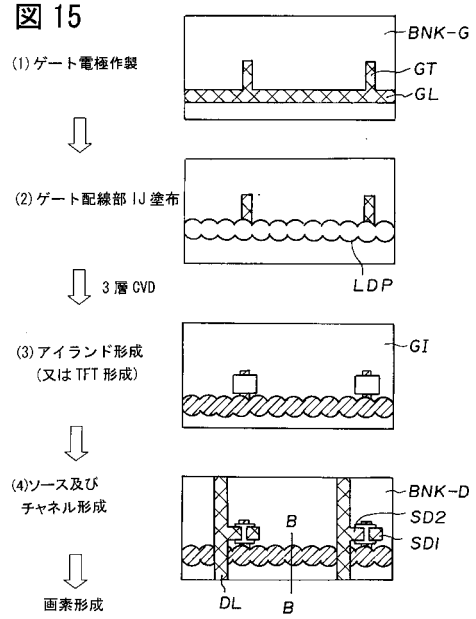
【図12】



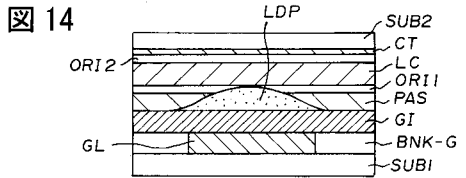
【図13】



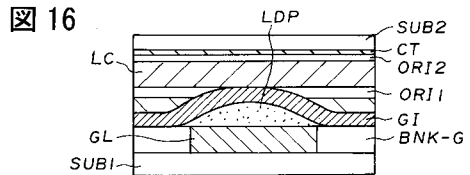
【図15】



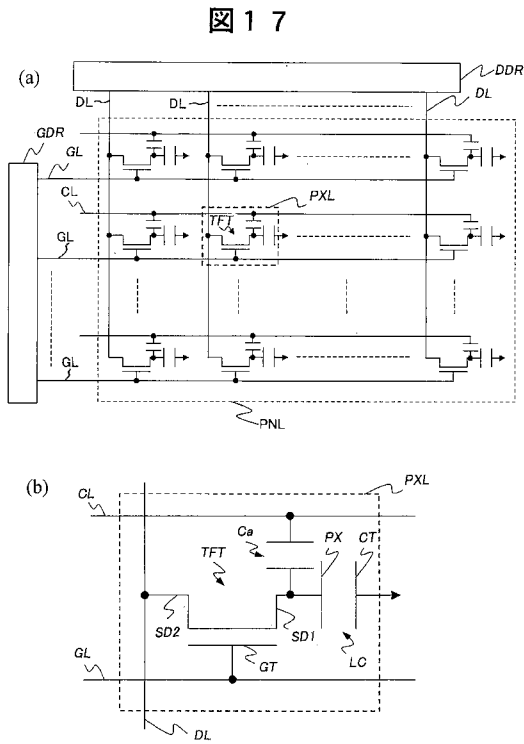
【図14】



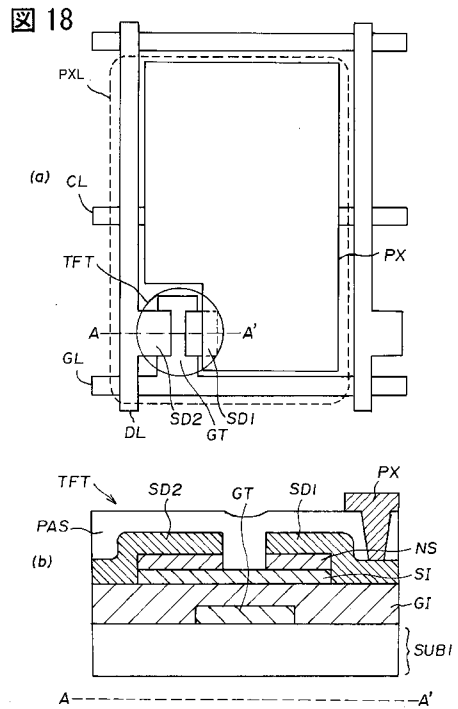
【図16】



【図17】



【図18】



---

フロントページの続き

- (56)参考文献 特開2005-227538(JP,A)  
特開2000-133649(JP,A)  
国際公開第2004/086487(WO,A1)  
特開平06-018934(JP,A)

- (58)調査した分野(Int.Cl., DB名)  
G02F 1/1368

专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	<a href="#">JP4395659B2</a>	公开(公告)日	2010-01-13
申请号	JP2005365739	申请日	2005-12-20
[标]申请(专利权)人(译)	未来视野股份有限公司		
申请(专利权)人(译)	有限责任公司未来展望		
当前申请(专利权)人(译)	有限责任公司未来展望		
[标]发明人	好本芳和		
发明人	好本 芳和		
IPC分类号	G02F1/1368 H01L29/786 H01L21/768 H01L23/522		
CPC分类号	G02F1/136286 G02F1/1368 G02F2001/13606 H01L27/12 H01L27/124 H01L27/1248 H01L27/1292		
FI分类号	G02F1/1368 H01L29/78.612.C H01L21/90.W H01L21/90.Q		
F-TERM分类号	2H092/JA26 2H092/JA28 2H092/JA34 2H092/JA37 2H092/JA41 2H092/JA47 2H092/JB22 2H092/JB31 2H092/JB69 2H092/KA05 2H092/KA18 2H092/KA20 2H092/KB04 2H092/KB06 2H092/KB22 2H092/KB25 2H092/MA02 2H092/MA12 2H092/NA27 2H092/NA29 2H092/PA07 2H092/PA12 2H192/AA24 2H192/BC31 2H192/CB05 2H192/DA12 2H192/DA72 2H192/EA72 2H192/HA22 2H192/HA23 5F033/GG04 5F033/SS21 5F033/UU04 5F033/VV06 5F033/VV15 5F033/XX02 5F033/XX24 5F110/AA02 5F110/AA26 5F110/BB01 5F110/CC07 5F110/DD02 5F110/EE02 5F110/EE37 5F110/EE42 5F110/EE47 5F110/FF03 5F110/FF29 5F110/GG02 5F110/GG15 5F110/GG44 5F110/HK02 5F110/HK09 5F110/HK16 5F110/HK21 5F110/HK25 5F110/HK32 5F110/HK34 5F110/HK41 5F110/HM19 5F110/NN02 5F110/NN72		
代理人(译)	小野寺杨枝		
其他公开文献	JP2007171314A		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

要解决的问题：通过提高薄膜晶体管的性能而不增加栅极布线和数据布线之间的交叉容量，提供高速运行的高清液晶显示装置。Z SOLUTION：对于液晶显示装置，通过喷墨方法滴下具有低介电常数的绝缘材料，以在设置在栅极布线GL和栅极布线GL之间的交叉点处的栅极绝缘膜GI的上层上形成绝缘膜LDP。数据布线DL形成在构成液晶显示装置的液晶显示板的有源矩阵基板SUB1上，由此改善了构建在硅半导体层SI上的薄膜晶体管的性能，而不增加交叉点处的交叉容量。Z

