

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4235615号
(P4235615)

(45) 発行日 平成21年3月11日(2009.3.11)

(24) 登録日 平成20年12月19日(2008.12.19)

(51) Int.Cl.	F I
GO2F 1/1368 (2006.01)	GO2F 1/1368
GO2F 1/1343 (2006.01)	GO2F 1/1343
GO2F 1/1337 (2006.01)	GO2F 1/1337 500
	GO2F 1/1337 520

請求項の数 13 (全 27 頁)

(21) 出願番号	特願2004-533813 (P2004-533813)	(73) 特許権者	503447036
(86) (22) 出願日	平成14年10月10日(2002.10.10)		サムスン エレクトロニクス カンパニー リミテッド
(65) 公表番号	特表2005-538408 (P2005-538408A)		大韓民国キョンギード, スウォン-シ, ヨ ントン-ク, マエタン-ド 416
(43) 公表日	平成17年12月15日(2005.12.15)	(74) 代理人	110000408
(86) 国際出願番号	PCT/KR2002/001893		特許業務法人高橋・林アンドパートナーズ
(87) 国際公開番号	W02004/023201	(72) 発明者	キム, ヒー-セオ
(87) 国際公開日	平成16年3月18日(2004.3.18)		大韓民国キョンギードー 445-973
審査請求日	平成17年10月6日(2005.10.6)		, ワサン-クン, タエアン-ユ, バンウォ ルーリ 865-1 シンヤントン・ヒュ ンダイ・アパートメント 110-304
(31) 優先権主張番号	2002/54277		
(32) 優先日	平成14年9月9日(2002.9.9)		
(33) 優先権主張国	韓国 (KR)		

最終頁に続く

(54) 【発明の名称】 多重ドメイン液晶表示装置及びその薄膜トランジスタ基板

(57) 【特許請求の範囲】

【請求項1】

絶縁基板と、
前記絶縁基板上に形成される複数の第1信号線と、
前記絶縁基板上に形成され、前記第1信号線と絶縁され且つ交差する複数の第2信号線と、
前記第1信号線と前記第2信号線とが交差して定義される画素領域ごとに形成され、それぞれに切開部を有する複数の画素電極と、
前記第1信号線と前記第2信号線とが交差して定義される画素領域ごとに形成される複数の方向制御電極と、
当該段の前記第1信号線の1つ、当該段の前記第2信号線の1つ、及び当該段の前記画素電極の1つと接続される第1薄膜トランジスタと、
前段の前記第1信号線の1つ、前段の前記第2信号線の1つ、及び当該段の前記方向制御電極の1つと接続される第2薄膜トランジスタと、
前記前段の前記第1信号線、前記当該段の前記第2信号線、及び前記当該段の前記画素電極と接続される第3薄膜トランジスタと
を含む薄膜トランジスタアレイパネル。

【請求項2】

前記第2信号線と絶縁され且つ交差し、前記画素電極の切開部と重畳する部分を含む第3信号線さらにを含む請求項1に記載の薄膜トランジスタアレイパネル。

【請求項 3】

絶縁基板と、
前記絶縁基板上に形成され、第 1 乃至第 3 ゲート電極及び複数のゲート線を含むゲート配線と、
前記ゲート配線上に形成されているゲート絶縁膜と、
前記ゲート絶縁膜上に形成されている半導体層と、
前記半導体層上に形成され、前記ゲート線と交差する複数のデータ線と、前記データ線と接続される第 1 乃至第 3 ソース電極と、前記第 1 乃至第 3 ゲート電極について前記第 1 乃至第 3 ソース電極と対向する第 1 乃至第 3 ドレイン電極とを含むデータ配線と、
前記第 2 ドレイン電極と接続される方向制御電極と、
前記データ配線及び前記方向制御電極上に形成され、複数の接触孔を有する保護膜と、
前記保護膜上に形成され、複数の切開部を有し、前記接触孔を通じて前記第 1 及び前記第 3 ドレイン電極と電氣的に接続される画素電極と
を含む薄膜トランジスタアレイパネル。

10

【請求項 4】

前記第 1 極及び第 3 ソース電極は当該段の前記データ線の 1 つに接続され、前記第 2 ソース電極は前段の前記データ線の 1 つに接続され、前記第 1 及び第 2 ゲート電極は前段の前記ゲート線の 1 つに接続され、前記第 3 ゲート電極は当該段の前記ゲート線の 1 つに接続される、請求項 3 に記載の薄膜トランジスタアレイパネル。

【請求項 5】

前記画素電極の切開部は、前記画素電極を上半部と下半部とに分ける横方向切開部、及び前記横方向切開部を中心にして面対称をなす斜線方向の複数の切開部を含む、請求項 4 に記載の薄膜トランジスタアレイパネル。

20

【請求項 6】

前記方向制御電極は、前記画素電極の切開部の少なくとも 1 つと重畳し、前記画素電極の横方向の切開部の 1 つを中心にして面対称をなす、請求項 4 に記載の薄膜トランジスタアレイパネル。

【請求項 7】

前記ゲート配線と実質的に同じ層を含み、前記画素電極の切開部の少なくとも 1 つと重畳する部分を有するストレージ電極配線をさらに含む請求項 4 に記載の薄膜トランジスタアレイパネル。

30

【請求項 8】

前記方向制御電極は、前記データ配線と実質的に同じ層および物質を含む、請求項 4 に記載の薄膜トランジスタアレイパネル。

【請求項 9】

前記接触孔は矩形に形成されていて、前記矩形の辺は前記斜方向の切開部に平行または垂直である、請求項 4 に記載の薄膜トランジスタアレイパネル。

【請求項 10】

前記データ配線及び前記方向制御電極は、半導体層及び金属層の二重層を含む、請求項 4 に記載の薄膜トランジスタアレイパネル。

40

【請求項 11】

前記半導体層は、非晶質シリコン膜及び抵抗性接触層の二重層を含む、請求項 4 に記載の薄膜トランジスタアレイパネル。

【請求項 12】

第 1 絶縁基板と、
前記第 1 絶縁基板上に形成される複数の第 1 信号線と、
前記第 1 絶縁基板上に形成され、前記第 1 信号線と絶縁され且つ交差する複数の第 2 信号線と、
前記第 1 信号線と前記第 2 信号線とが交差して定義される画素領域ごとに形成され、切開部を有する複数の画素電極と、

50

前記第 1 信号線と前記第 2 信号線とが交差して定義される画素領域ごとに形成される複数の方向制御電極と、

当該段の前記第 1 信号線の 1 つ、当該段の前記第 2 信号線の 1 つ、及び当該段の前記画素電極の 1 つと接続される第 1 薄膜トランジスタと、

前段の前記第 1 信号線の 1 つ、前段の前記第 2 信号線の 1 つ、及び当該段の前記方向制御電極の 1 つと接続される第 2 薄膜トランジスタと、

前記前段の前記第 1 信号線、前記当該段の前記第 2 信号線、及び前記当該段の前記画素電極と接続される第 3 薄膜トランジスタと、

前記第 1 絶縁基板と対向する第 2 絶縁基板と、

前記第 2 絶縁基板上に形成されるコモン電極と、

前記第 1 絶縁基板と前記第 2 絶縁基板との間に配置されている液晶層とを含む液晶表示装置。

10

【請求項 13】

前記液晶層は負の誘電異方性を有し、前記液晶層の液晶分子の主軸が、前記第 1 基板及び前記第 2 基板に対して垂直に配向される、請求項 12 に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は液晶表示装置に関し、特に、広視野角を得るために画素領域を複数の小ドメインに分割する、垂直配向液晶表示装置に関する。

20

【背景技術】

【0002】

液晶表示装置(LCD)は、一般に、対向電極(コモン電極)やカラーフィルターのレイなどが形成されている上部パネルと、薄膜トランジスタ(TFT)や画素電極などが形成されている下部パネルと、それらの間に配置された液晶層とを含む。画素電極及び対向電極に電位を印加し、その間の電圧差によって電界を形成する。電界の変化により液晶層の液晶分子の配向を変更し、これにより光の透過率を調節する。結果として、液晶表示装置は、画素電極と共通電極との間の電圧差を調節して、所望の画像を表示する。

【0003】

液晶表示装置は、視野角が狭いのが最大の短所である。このような短所を克服するために、視野角を広くする様々な方法が開発されている。その中でも、液晶分子を上部パネル及び下部パネルに対して垂直に配向して、互に対向した画素電極及び対向電極に複数の切開パターンや突起を形成する方法が有力視されている。

30

【0004】

画素電極及び対向電極に各々切開パターンを形成すると、フリンジフィールド(fringe field)が作られて液晶分子の傾く方向を調節することによって、視野角を広くする。

【0005】

画素電極及び対向電極上に各々突起を形成すると、突起によって歪曲される電場により、液晶分子の傾く方向が調節される。

40

下部パネル上に形成されている画素電極には切開パターンを形成し、上部パネルに形成されている対向電極上には突起を形成することによっても、切開パターン及び突起によって形成されるフリンジフィールドを利用して液晶分子の傾く方向を調節することによって、複数のドメインを形成する。

【発明の開示】

【発明が解決しようとする課題】

【0006】

このような視野角を広くするための様々な方法の中でも、対向電極に切開パターンを形成する方法は、対向電極をパターンングするために別途のマスクが必要であり、色フィルターの顔料が液晶物質に影響を与えることを避けるためにオーバーコート膜を形成しなけ

50

ればならず、パターンニングされた電極の周縁で著しいディスクリネーションが発生するなどの問題点がある。また、突起を形成する方法も、突起を形成するための別途の工程が必要であったり、工程を変更させなければならないので、製造工程を複雑にする問題点がある。また、突起や切開部によって開口率が減少する。

【0007】

本発明が目的とする技術的課題は、製造工程が複雑でなく、安定した多重ドメインを形成することができる液晶表示装置を提供することにある。

【課題を解決するための手段】

【0008】

このような課題を解決するために、本発明では、画素用薄膜トランジスタと、方向制御電極用の第1方向制御電極用薄膜トランジスタ及び第2方向制御電極用薄膜トランジスタとを形成する。画素用薄膜トランジスタは、当該段のゲート線からの信号に応答して、関連するデータ線の信号を画素電極に伝達し、第1方向制御電極用薄膜トランジスタは、前段のゲート線からの信号に応答して、前段のデータ線の信号を方向制御電極に伝達し、第2方向制御電極用薄膜トランジスタは、前段のゲート線からの信号に応答して、当該段のデータ線の信号を画素電極に伝達するようにする。

【0009】

絶縁基板と、絶縁基板上に形成されている複数の第1信号線と、絶縁基板上に形成されていて、第1信号線と絶縁されており、第1信号線と交差している第2信号線と、第1及び第2信号線が交差して画定される画素領域ごとに形成されていて、切開部を有する画素電極と、第1及び第2信号線が交差して画定される画素領域ごとに形成されている複数の方向制御電極と、当該段の第1信号線の1つ、当該段の第2信号線の1つ、及び当該段の画素電極の1つと接続されている第1薄膜トランジスタと、前段の第1信号線の1つ、前段の第2信号線の1つ、及び当該段の方向制御電極の1つと接続されている第2薄膜トランジスタと、前段の第1信号線、当該段の第2信号線、及び当該段の画素電極と接続されている第3薄膜トランジスタとを含む、薄膜トランジスタアレイパネルを提供する。

【0010】

薄膜トランジスタアレイパネルは、第2信号線と絶縁されて交差していて、画素電極の切開部と重畳する部分を有する第3信号線をさらに含むことができる。

絶縁基板と、絶縁基板上に形成されていて、第1乃至第3ゲート電極及び複数のゲート線を含むゲート配線と、ゲート配線上に形成されているゲート絶縁膜と、ゲート絶縁膜上に形成されている半導体層と、半導体層上に形成されていて、ゲート線と交差している複数のデータ線、データ線と接続されている第1乃至第3ソース電極、及び第1乃至第3ゲート電極に関して第1乃至第3ソース電極と対向している第1乃至第3ドレイン電極を含むデータ配線と、第2ドレイン電極と接続されている方向制御電極と、データ配線及び方向制御電極上に形成されていて、複数の接触孔を有する保護膜と、保護膜上に形成されていて、複数の切開部を有して、接触孔を通じて第1及び第3ドレイン電極と電気的に接続されている画素電極とを含む、薄膜トランジスタアレイパネルを提供する。

【0011】

第1及び第3ソース電極は当該段のデータ線に接続されており、第2ソース電極は前段のデータ線の1つに接続されており、第1極及び第2ゲート電極は前段のゲート線の1つに接続されており、第3ゲート電極は当該段のゲート線の1つに接続されている。画素電極の切開部は、画素電極190を上下に両分する横方向切開部、及び横方向切開部を中心にして面対称をなす複数の斜方向切開部を含むことができる。方向制御電極は、画素電極の切開部の少なくとも1つと重畳して、画素電極の横方向切開部の1つを中心にして面対称をなすのが好ましい。

【0012】

薄膜トランジスタアレイパネルは、ゲート配線と同一層に形成されていて、画素電極の切開部の少なくとも1つと重畳する部分を有する維持電極(ストレージ電極)配線をさらに含むことができる。方向制御電極は、データ配線と同一層に同一物質で形成することが

10

20

30

40

50

できる。

【0013】

接触孔は矩形に形成されていて、長方形の辺は斜方向切開部と平行または垂直をなすのが好ましい。データ配線及び方向制御電極は、半導体層及び金属層の二重層からなることができる。半導体層は、非晶質シリコン層及び抵抗性接触層の二重層からなることができる。

【0014】

第1絶縁基板と、第1絶縁基板上に形成されている複数の第1信号線、第1絶縁基板上に形成されていて、第1信号線と絶縁され、第1信号線と交差している複数の第2信号線と、第1及び第2信号線が交差して画定される画素領域ごとに形成されていて、切開部を有する複数の画素電極と、第1及び第2信号線が交差して画定される画素領域ごとに形成されている複数の方向制御電極と、当該段の第1信号線の1つ、当該段の第2信号線の1つ、及び当該段の画素電極の1つと接続されている第1薄膜トランジスタと、前段の第1信号線の1つ、前段の前記第2信号線の1つ、及び当該段の方向制御電極の1つと接続されている第2薄膜トランジスタと、前段の第1信号線、当該段の第2信号線、及び当該段の画素電極と接続されている第3薄膜トランジスタと、第1絶縁基板と対向している第2絶縁基板と、第2絶縁基板上に形成されている共通電極と、第1絶縁基板と第2絶縁基板との間に配置されている液晶層とを含む、液晶表示装置を提供する。

10

【0015】

液晶層は負の誘電異方性を有し、液晶層の液晶分子はその主軸が第1及び第2基板に対して垂直に配向されているのが好ましい。

20

【発明を実施するための最良の形態】

【0016】

本発明の実施形態を示す添付した図面を参照して、本発明について詳細に説明する。しかし、本発明は多様な相異した形態で実現でき、ここで説明する実施形態に限定されない。

【0017】

図面においては、明確に表現するために、層及び領域の厚さを拡大して示した。明細書全体において、類似した部分については、同一な図面符号を付けた。層、膜、領域、基板などの部分が他の部分の「上に」あるとする時、これは他の部分の「真上に」ある場合だけでなく、その中間に他の部分がある場合も意味する。反対に、ある部分が他の部分の「真上に」あるとする時、これはその中間に他の部分がない場合を意味する。

30

【0018】

それでは、図面を参照して、本発明の実施形態による多重ドメイン液晶表示装置について説明する。

図1は本発明の実施形態による液晶表示装置の回路図である。

【0019】

本発明の実施形態による液晶表示装置は、薄膜トランジスタアレイパネル、これと対向している色フィルターアレイパネル、及びこれらに注入されている液晶層からなる。薄膜トランジスタアレイパネルには、複数のゲート線及び複数のデータ線が交差して複数の画素領域を定義しており、複数のストレージ電極線がゲート線と平行に形成されている。ゲート線を通じて走査信号が伝達され、データ線を通じて画像信号が伝達される。ストレージ電極線には基準電位 V_{com} が印加される。各画素領域には、画素電極に対する画素用薄膜トランジスタ (Pixel TFT) と、方向制御電極 (DCE) に対する方向制御電極用薄膜トランジスタ (DCE TFT) が提供されている。画素用薄膜トランジスタは、ゲート線の1つに接続されているゲート電極、データ線の1つに接続されているソース電極、及び複数の画素電極の1つに接続されているドレイン電極を有し、方向制御電極用薄膜トランジスタは、前段のゲート線に接続されているゲート電極、ストレージ電極線の1つに接続されているソース電極、及び複数の方向制御電極の1つに接続されているドレイン電極を有する。

40

50

【0020】

方向制御電極と画素電極とは容量性結合しており、これらの間の静電容量は C_{DP} で表示する。画素電極は、色フィルターアレイパネルのコモン電極との間に液晶キャパシタを形成し、その静電容量は C_{LC} で表す。また、画素電極は、ストレージ電極線の1つに接続されているストレージ電極との間にストレージキャパシタを形成し、その静電容量は C_{ST} で表す。

【0021】

回路図には示さなかったが、本発明による液晶表示装置の画素電極は切開部を有し、この切開部を通じて方向制御電極による電界が流出されるように、方向制御電極及び切開部が重畳している。切開部を通じて流出される電界によって、液晶分子がプレティルト (pre-tilt) を有するようになる。プレティルトを有する液晶分子は、画素電極の電界が印加されると、分散せずに速かに所定の方向に配向される。

【0022】

ところが、方向制御電極の電界によって液晶分子がプレティルトを有しようとするれば、コモン電極に対する方向制御電極の電位差 (以下、“方向制御電極電圧”という) がコモン電極に対する画素電極の電位差 (以下、“画素電極電圧”という) に比べて所定の値以上に大きくなければならない。本発明による液晶表示装置では、ストレージ電極線の電位を方向制御電極に印加した後、方向制御電極を分離することによって、このような条件を容易に満たすことができる。それでは、その理由について説明する。

【0023】

負の電位を有する画素電極が正の電位にリフレッシュ (refresh) される瞬間を考えてみる。前段のゲート線にオン (on) 信号が印加されると、方向制御電極用薄膜トランジスタ (DCE TFT) がターンオンされて、方向制御電極の電位が画素電極より高くされる。これにより、方向制御電極と容量性結合している画素電極の電位が変化する。この場合、方向制御電極と画素電極との間の静電容量 C_{DP} と、画素電極とコモン電極との間の静電容量 C_{LC} とは直列に接続されている状態となる。画素電極は負の電位を有していたので、その電位は方向制御電極用薄膜トランジスタ (DCE TFT) より低い。即ち、直列に接続されたキャパシタ C_{DP} および C_{LC} の充電の間、 $V_{DCE} > V_p$ である。充電後、方向制御電極用薄膜トランジスタ (DCE TFT) がオフされれば、方向制御電極は浮遊 (floating) 状態となる。したがって、画素電極の電位がどのように変化しても、常に方向制御電極の電位が画素電極の電位より高い状態を維持するようになる。例えば、画素用薄膜トランジスタ (Pixel TFT) がターンオンされて、画素電極が正の電荷で充電されて電位が上昇すると、方向制御電極の電位も、画素電極の電位との電位差を維持して共に上昇する。

【0024】

これを回路関係式を利用して説明すると、回路内のキャパシタの両端の電圧は、下の式で示される。

【0025】

【数1】

$$V_c = V_0 + \frac{1}{C} \int_0^{15} id(t) \dots (1)$$

【0026】

一側電極が浮遊状態にあるというのは、 $R = \infty$ の抵抗と直列に接続されていることと等価である。したがって、 $i = 0$ であり、 $V_c = V_0$ 、つまり、キャパシタの両端の初期電圧が維持される。これは、浮遊状態にある電極の電位は、他の電極に印加される電位と共に上昇または下降することを意味する。

【0027】

それに対して、負の電圧でリフレッシュ (refresh) される場合には、方向制御

10

20

30

40

50

電極が、画素電極より常に所定の値だけ低い電位を維持するようになる。

本発明では、DCE T F Tをストレージ電極線に接続して、コモン電位が方向制御電極に印加されるようにする。したがって、次のフレームで画素電極に印加される電位の極性が何であるかに関係なく、常に二つの電極の電位が同一極性で上昇または下降する。結局、本発明は、ライン反転またはドット反転などの駆動方式に拘束されずに適用することができる。

【0028】

また、同じ階調では、前後のフレームの階調に関係なく、方向制御電極と画素電極との間の電位差の偏差がないので、画質の安定性が高い。

DCE T F Tがデータ線に接続されないため、データ線の負荷が増加するのを防止することができる。

10

【0029】

以下、本発明のより具体的な実施形態を、図2 A乃至2 Cを参照して説明する。

図2 Aは、本発明の実施形態による液晶表示装置の配置図であり、図2 B及び図2 Cは、図2 AのI I b - I I b '線に沿った断面図である。

【0030】

本発明の第1実施形態による液晶表示装置は、下部パネル、これと対向している上部パネル、及び下部パネルと上部パネルとの間に配置され、垂直（またはホメオトロピック）に配向されている液晶層からなる。

【0031】

それでは、下部パネルについて、より詳細に説明する。

絶縁基板110上に複数のゲート線121が形成されており、ゲート線121と交差するように複数のデータ線171が形成されている。ゲート線121及びデータ線171は互いに絶縁されていて、これらが交差して複数の画素領域を定義する。

20

【0032】

それぞれの画素領域には、画素用薄膜トランジスタ、方向制御電極用薄膜トランジスタ、方向制御電極、および画素電極が備えられる。画素用薄膜トランジスタは、第1ゲート電極123 a、第1ソース電極173 a、及び第1ドレイン電極175 aの三端子を有し、方向制御電極用薄膜トランジスタは、第2ゲート電極123 b、第2ソース電極173 b、及び第2ドレイン電極175 bの三端子を有する。この時、画素用薄膜トランジスタは、画素電極190へ送られる信号をスイッチングするためのものであり、方向制御電極用薄膜トランジスタは、方向制御電極178へ入る信号をスイッチングするためのものである。画素用薄膜トランジスタのゲート電極123 a、ソース電極173 a、及びドレイン電極175 aは、当該段のゲート線121の1つ、データ線171の1つ、及び画素電極190に接続されている。方向制御電極用薄膜トランジスタのゲート電極123 b、ソース電極173 b、及びドレイン電極175 bは、それぞれ、前段のゲート線121の1つ、当該段のストレージ電極線131の1つ、及び方向制御電極178に接続されている。方向制御電極178は、液晶分子のプレティルトを制御するための方向制御電圧の印加を受けて、コモン電極270との間に方向制御電界を形成する。方向制御電極178は、データ線171を形成する段階で形成する。

30

40

【0033】

下部パネルについて、各層の構造を詳細に説明する。

絶縁基板110上に実質的に横方向にゲート線121が形成されており、複数の第1及び第2ゲート電極123 a、123 bがゲート線121に接続されている。また、絶縁基板110上には、複数のストレージ電極線131及び複数組の第1ないし第4のストレージ電極133 a、133 b、133 c、133 dが形成されている。ストレージ電極線131は実質的に横方向に形成されていて、第1及び第2ストレージ電極133 a、133 bは、ストレージ電極線131から縦方向に形成されている。第3及び第4ストレージ電極133 c、133 dは、横方向に形成されていて、第1ストレージ電極133 a及び第2ストレージ電極133 bを接続している。

50

【0034】

ゲート配線121、123a、123b及びストレージ電極配線131、133a～133dは、アルミニウムまたはその合金、クロムまたはその合金、モリブデンまたはその合金などからなる。必要に応じて、ゲート配線121、123a、123b及びストレージ電極配線131、133a～133dは、物理的および化学的特性が優れているCrまたはMoの合金などからなる第1層、及び抵抗が小さいAlまたはAgの合金などからなる第2層とを含むこともできる。

【0035】

ゲート配線121、123a、123b及びストレージ電極配線131、133a～133d上には、ゲート絶縁膜140が形成されている。

ゲート絶縁膜140上には、非晶質シリコンなどからなる半導体層151、154a、154b、155が形成されている。半導体層151、154a、154b、155は、薄膜トランジスタのチャンネルを形成する複数の第1及び第2チャンネル部半導体層154a、154b、データ線171下に位置する複数のデータ線部半導体層151、及び方向制御電極178及びストレージ電極133c、133dが交差する部分近くに配されてこれら配線間の絶縁を保障する交差部半導体層155を含む。

【0036】

半導体層151、154a、154b、155の上部には、シリサイドまたはn型不純物が高濃度にドーピングされているn+水素化非晶質シリコンなどの物質からなる抵抗性接触層161、163a、163b、165a、165bが形成されている。

【0037】

抵抗性接触層161、163a、163b、165a、165b及びゲート絶縁膜140上には、データ配線171、173a、173b、175a、175bが形成されている。データ配線171、173a、173b、175a、175bは、縦方向に形成されていて、ゲート線121と交差して複数の画素領域を形成するデータ線171と、データ線171の分枝であり、抵抗性接触層163aの上部にのびている複数の第1ソース電極173aと、第1ソース電極173aと分離されていて、第1ゲート電極123aに関して第1ソース電極173aの反対側に位置し、抵抗性接触層165aの上部に形成されている複数の第1ドレイン電極175aと、第2ゲート電極123bに関して対向している抵抗性接触層163b、165bそれぞれ上に形成されている複数の第2ソース電極173b及び複数の第2ドレイン電極175bと、データ線171の一端に接続されていて、外部からの画像信号の印加を受けるデータパッド(図示せず)とを含む。

【0038】

ゲート線121及びデータ線171が交差して定義する画素領域内には、複数の方向制御電極178が形成されている。それぞれの方向制御電極178は、互いに接続された「X」字型の金属片ヲ含み、第2ドレイン電極175bと接続されている。データ配線171、173a、173b、175a、175b及び方向制御電極178は、アルミニウムまたはその合金、クロムまたはその合金、モリブデンまたはその合金などからなる。必要に応じて、データ配線171、173a、173b、175a、175b及び方向制御電極178は、物理的および化学的な特性が優れているCrまたはMoの合金などからなる第1層、及び抵抗が小さいAlまたはAgの合金などからなる第2層を含む。

【0039】

データ配線171、173a、173b、175a、175b上には、窒化ケイ素または有機絶縁膜からなる保護膜180が形成されている。

保護膜180には、第1ドレイン電極を露出する複数の接触孔181、ゲート絶縁膜140へ延び、ストレージ電極線131を露出する複数の接触孔182、第2ソース電極173bを露出する複数の接触孔183、データパッドを露出する複数の接触孔(図示せず)、ゲート絶縁膜140へ延び、ゲートパッドを露出する複数の接触孔(図示せず)が形成されている。パッドを露出する接触孔は、角形や円形などの様々な形状に形成され得る。接触孔の面積は2mm×60μmを越えず、0.5mm×15μm以上であるのが好ま

10

20

30

40

50

しい。

【0040】

保護膜180上には、複数の画素電極190が形成されている。それぞれの画素電極190は、接触孔181を通じて第1ドレイン電極175aと接続されていて、複数の「X」字型の切開部191及び複数の直線型切開部192を有する。「X」字型の切開部191は、方向制御電極178の「X」字型部分と重畳し、直線型切開部192は、第3及び第4ストレージ電極133c、133dと重畳する。方向制御電極178は、切開部191だけでなく切開部191の周辺部とも広く重畳して、画素電極190との間にストレージキャパシタを形成する。

【0041】

また、保護膜上には、接触孔182、183を通じてストレージ電極線131及び第2ソース電極173bを接続する複数のブリッジ92が形成されている。また、保護膜180上には、複数の補助ゲートパッド(図示せず)及び複数の補助データパッド(図示せず)が形成されている。補助ゲートパッド及び補助データパッドは、接触孔を通じてゲートパッド及びデータパッドと接続されている。画素電極190、ブリッジ92、補助ゲートパッド及び補助データパッドは、酸化インジウム亜鉛(IZO)(indium zinc oxide)からなる。画素電極190、ブリッジ92、及び補助パッドは、酸化インジウム錫(ITO)からなることもできる。

【0042】

以上のように、それぞれの画素電極190は、画素領域を複数のドメインに分割するための複数の切開部パターン191、192を有し、第1切開部191は方向制御電極178と重畳しており、第2切開部192はストレージ電極133c、133dと重畳している。正面から見る時に、方向制御電極178が第1切開部191を通じて露出されて見えるように、方向制御電極178及び第1切開部191を配置する。また、ストレージ電極線131と方向制御電極178との間に方向制御電極用薄膜トランジスタを接続し、データ線171と画素電極190との間に画素用薄膜トランジスタを接続して、画素電極190及び方向制御電極178がストレージキャパシタンスを形成するように配置する。

【0043】

本発明の別の実施形態では、方向制御電極178は、ゲート配線121、123a、123bと同じ層を含むこともできる。また、方向制御電極178の上部の保護膜180を除去して、複数の切開部を形成することもできる。

【0044】

それでは、上部基板210について、より詳細に説明する。

ガラスなどの透明な絶縁物質からなる上部基板210に、光漏れを防止するためのブラックマトリックス220、複数の赤、緑、青の色フィルター230、及びITOまたはIZOなどの透明な導電物質からなるコモン電極270が形成されている。

【0045】

液晶層3に含まれている複数の液晶分子は、電界が印加されない状態ではそのダイレクターが下部基板110及び上部基板210に対して垂直に配向されるように、配される。液晶層3は、負の誘電異方性を有する。

【0046】

下部基板110及び上部基板210は、画素電極190が色フィルター230と対応して正確に重畳するように配置される。このようにすれば、画素領域は、第1及び第2切開部191、192によって複数のドメインに分割される。それぞれのドメイン内での液晶層3の配向は、方向制御電極178より安定させられる。

【0047】

前記の実施形態では、液晶層3が負の誘電異方性を有して、基板110、210に対してホメオトロピックに配向(アライメント)されていることを例に挙げた。しかし、液晶層3は、正の誘電異方性を有し、基板110、210に対してホモジニアスにアライメントすることもできる。

10

20

30

40

50

【0048】

このような構造の液晶表示装置における薄膜トランジスタレイパネルを製造する方法について説明する。

図3A乃至図3Dは、本発明の第1実施形態による液晶表示装置用の薄膜トランジスタレイパネルを製造する過程を順に示した断面図である。

【0049】

まず、図3Aに示したように、金属などで構成される導電体層を、スパッタリングなどの方法で積層して、マスクを利用した第1フォトエッチング工程で乾式または湿式エッチングして、基板110上にゲート線121及びストレージ電極線を形成する。ゲート配線は、複数のゲート線121、複数のゲートパッド(図示せず)、及び複数のゲート電極123を含み、ストレージ電極配線は、複数のストレージ電極線131及び複数のストレージ電極133a~133dを含む。

10

【0050】

次に、図3Bに示したように、1,500乃至5,000の厚さのゲート絶縁膜140、500乃至2,000の厚さの水素化非晶質シリコン層、及び300乃至600の厚さのドーピングされている非晶質シリコン層を、化学蒸着法(CDV)を利用して連続して蒸着する。ドーピングされている非晶質シリコン層と、非晶質シリコン層とは、マスクを利用したフォトエッチング工程でパターンニングして、抵抗性接触層160a、160b、161及び非晶質半導体層151、154a、154bを形成する。

【0051】

次に、図3Cに示したように、金属などの導電体層をスパッタリングなどの方法で1,500乃至3,000の厚さに蒸着して、マスクを利用したフォトエッチング工程でパターンニングして、データ配線及び複数の方向制御電極178を形成する。データ配線は、複数のデータ線171、複数のソース電極173a、173b、複数のドレイン電極175a、175b、及び複数kデータパッド(図示せず)を含む。

20

【0052】

次に、ソース電極173a、173b及びドレイン電極175a、175bで覆われない抵抗性接触層160a、160bの部分を取り除き、ソース電極173a、173bとドレイン電極175a、175bとの間の半導体層151を露出し、分離された複数の抵抗性接触層163a、163b、165a、165bを形成する。

30

【0053】

次に、図3Dに示したように、低い誘電率を有して平坦化特性が優れている有機絶縁物質をコーティングしたり、または4.0以下の低い誘電率を有するSiOF、SiOCなどのような低誘電率絶縁物質を化学蒸着法で積層して、保護膜180を形成する。保護膜180は、マスクを利用したフォトエッチング工程でゲート絶縁膜140と共にパターンニングして、複数の接触孔181、182、183を形成する。

【0054】

最後に、図2Aに示したように、1500乃至500の厚さのITO層またはIZO層を蒸着して、マスクを利用したフォトエッチング工程でエッチングして、複数の画素電極190、複数の接続ブリッジ92、複数の補助ゲートパッド(図示せず)、及び複数の補助データパッド(図示せず)を形成する。

40

【0055】

このような方法は、前記のように5枚のマスクを利用する製造方法に適用することができる。しかしながら、この方法は、4枚マスクを利用する液晶表示装置用の薄膜トランジスタレイパネルの製造方法にも同様に適用することができる。これについて、図面を参照して詳細に説明する。

【0056】

図4は本発明の第2実施形態による液晶表示装置用の薄膜トランジスタレイパネルの配置図であり、図5は図4のV-V'線及びV'-V''線に沿った断面図である。

本発明の第2実施形態による薄膜トランジスタレイパネルは、4枚のマスクを利用す

50

る製造方法で製造したものであって、5枚のマスクを利用する製造方法で製造した薄膜トランジスタアレイパネルに比べて次のような特徴を有する。

【0057】

複数のデータ線171、複数のソース電極173a、173b、複数のドレイン電極175a、175b、及び複数のデータパッド179を含むデータ配線と、複数の方向制御電極178との下部に、これと実質的に同じパターンで抵抗性接触層161、163a、163b、165a、165bが形成されている。ソース電極173a、173bとドレイン電極175a、175bとの間のチャンネル部が接続されていることを除いて、非晶質半導体層151、154a、154b、158も、データ配線及び方向制御電極178と実質的に同じパターンを有する。その他の構造は、5枚のマスクを利用する製造方法による薄膜トランジスタアレイパネルと実質的に同じである。

10

【0058】

図4には、ゲートパッド125、ストレージパッド135、及びデータパッド179と共に、補助ゲートパッド95、補助ストレージパッド99、及び補助データパッド97が示されている。

【0059】

それでは、薄膜トランジスタアレイパネルの製造方法について説明する。

図6A乃至図11Bは、液晶表示装置用の薄膜トランジスタアレイパネルを製造する過程を順に示した配置図または断面図である。

【0060】

まず、図6A及び6Bに示したように、A1、Ag、これらの合金などを蒸着して、フォトリソグラフィして、複数のゲート線121、複数のゲートパッド125、複数のゲート電極123を含むゲート配線、及びストレージ電極配線131、133a~133dを形成する(第1マスク)。

20

【0061】

次に、図7に示したように、窒化ケイ素からなる1,500乃至5,000の厚さのゲート絶縁膜140、500乃至2,000の厚さの非晶質シリコン層150、300乃至600の厚さの接触層160を、化学蒸着法を利用して連続して蒸着しする。A1、Ag、これらの合金などからなる導電体層170を、スパッタリングなどの方法で蒸着して、その上にフォトリソグラフィ(PR)を1µm乃至2µmの厚さにコーティングする。

30

【0062】

その後、マスクを通じてフォトリソグラフィ(PR)に光を照射した後で現像して、図8A及び8Bに示したように、フォトリソグラフィパターン(PR)を形成する。フォトリソグラフィパターン(PR)のうちの、薄膜トランジスタのチャンネル部(C)、つまりソース電極173a、173bとドレイン電極175a、175bとの間に位置した部分は、それぞれ、データ配線部(A)、つまりデータ配線が形成される部分に位置した部分より、厚さが薄い。その他の部分(B)のフォトリソグラフィは全て除去する。チャンネル部(C)に残っているフォトリソグラフィの厚さと、データ配線部(A)に残っているフォトリソグラフィの厚さとの比は、後述するエッチング工程の工程条件によって異ならせなければならないが、前者の厚さを、後者の厚さと等しく又はその1/2以下にするのが好ましく、例えば4,000以下であるのが好ましい(第2マスク)。

40

【0063】

このように、位置によってフォトリソグラフィの厚さを異ならせる方法としては様々なものがある。領域Cの光の透過量を調節するために、スリットパターンや格子パターンを形成したり、半透明膜を利用する。

【0064】

スリットパターンを用いる場合には、スリットの幅およびスリット間のギャップは、フォトリソグラフィに使用する露光器の分解能より小さいのが好ましい。半透明膜を利用する場合には、マスクの透過率を調節するために、異なる透過率を有する薄膜を利用したり

50

、厚さが異なる薄膜を利用することができる。

【 0 0 6 5 】

このようなマスクを通じてフォトレジスト膜に光を照射すれば、光に直接露出される部分では、高分子がほぼ完全に分解され、スリットパターンや半透明膜が形成されている部分では、光の照射量が少ないので高分子は完全には分解されない。マスクの遮光膜で覆われた部分ではフォトレジスト膜の高分子がほとんど分解されない。次に、フォトレジスト膜を現像すれば、高分子が分解されなかった部分だけが残る。光が少なく照射された部分には、光に全く照射されなかった部分よりも厚さの薄いフォトレジストが残る。露光時間を長くすると全ての高分子が分解されてしまうので、露光時間を調節する必要がある。

【 0 0 6 6 】

このような厚さの薄いフォトレジスト層は、リフロー（reflow）を用いて得ることができる。即ち、フォトレジスト膜を、リフローが可能な物質から作り、光が完全に透過することができる部分及び光が完全に透過することができない部分に分けられた通常のマスクを使用して露光する。その後、フォトレジスト膜を現像してリフローさせて、フォトレジストが残留しない部分にフォトレジストの一部が流れるようにする。

【 0 0 6 7 】

次に、フォトレジストパターン（PR）及びその下部の膜、つまり、導電体層 170、接触層 160、及び非晶質シリコン層 150 に対するエッチングを進める。この時、データ配線部（A）にはデータ配線及びその下部の膜がそのまま残っていて、チャンネル部（C）には半導体層だけが残る、その他の部分（B）では 3 層 150、160、170 が全

【 0 0 6 8 】

まず、図 9 に示したように、その他の部分（B）の露出されている導電体層 170 の部分を除去して、その下部の接触層 160 を露出させる。この過程では、乾式エッチングまたは湿式エッチング方法の両方を使用することができ、この時、このエッチングは、導電体層 170 は容易にエッチングされ且つフォトレジストパターン（PR）はほとんどエッチングされないという条件下で行うのが好ましい。しかし、乾式エッチングの場合、上記の条件を見つけるのは難しいので、乾式エッチングは、フォトレジストパターン（PR）と導電体層 170 とが同時にエッチングされるという条件下で行うことができる。この場合には、乾式エッチングについては、湿式エッチングの場合よりも、チャンネル部（C）のフォトレジストパターン PR の部分の厚さを厚くして、この過程でチャンネル部（C）のフォトレジストが除去されて下部の導電体層 170 が露出されることのないようにする。

【 0 0 6 9 】

このようにすれば、図 9 に示したように、チャンネル部（C）及びデータ配線部（A）の導電体層 170 の部分 171、170 a、170 b だけが残る、その他の部分（B）の導電体層 170 の部分は除去されて、その下部の接触層 160 が露出される。この時、データ配線部の導電体パターン 171、170 a、170 b は、ソース電極 173 a、173 b 及びドレイン電極 175 a、175 b が分離されないで接続されている点を除けば、データ配線 171、173 a、173 b、175 a、175 b、179 と実質的に同じ平面形状を有する。また、乾式エッチングを使用する場合、フォトレジストパターン（PR）の厚さもある程度低減される。

【 0 0 7 0 】

次に、図 9 に示したように、部分（B）の露出された接触層 160 及びその下部の非晶質シリコン層 150 の部分を、チャンネル部（C）のフォトレジストパターン PR の部分と共に、乾式エッチング方法で除去する。この時のエッチングは、フォトレジストパターン（PR）と、接触層 160 と、シリコン層 150 とが容易にエッチングされ且つゲート絶縁膜 140 はエッチングされないという条件下で行われる。（中間層と半導体層との間のエッチング選択性はほとんど無い、ということに留意されたい。）特に、フォトレジストパターン（PR）及び半導体層 150 に対するエッチング比がほとんど同じであること

10

20

30

40

50

が好ましい。例えば、 SF_6 及び HCl の混合気体や、 SF_6 及び O_2 の混合気体を使用すると、フォトレジストパターンPR及び半導体層150をほぼ同じ厚さでエッチングすることができる。フォトレジストパターン(PR)及び半導体パターン150に対するエッチング比が同一である場合、チャンネル部(C)のフォトレジストパターンPRの部分の厚さは、半導体層150及び接触層160の厚さを合せたものと同じ又はそれより小さくされる。

【0071】

このようにすれば、図10に示したように、チャンネル部(C)のフォトレジストパターンPRの部分除去されて、ソース/ドレイン(S/D)用の導電体170a、170bが露出され、そして、その他の部分(B)の接触層160及び半導体層150の部分除去されて、その下部のゲート絶縁膜140が露出される。一方、データ配線部(A)のフォトレジストパターンPRの部分もエッチングされ、厚さが薄くなる。また、この段階で、半導体層パターン151、154a、154b、158が完成する。半導体層パターン151、154a、154b、158上には、複数の抵抗性接触層161、160a、160b、168が形成されている。

10

【0072】

次に、灰化(ashing)を通じて、チャンネル部(C)のソース/ドレイン用導電体170a、170bの表面に残っているフォトレジストの残りを除去する。

次に、図11A及び11Bに示したように、チャンネル部(C)のソース/ドレイン用導電体170a、170b及びその下部のソース/ドレイン用抵抗性接触層160a、160bの部分をエッチングして除去する。この時のエッチングは、ソース/ドレイン用導電体170a、170b及びソース/ドレイン用抵抗性接触層160a、160bの両方に対して乾式エッチングのみを行う。代替例としては、ソース/ドレイン用導電体170a、170bに対しては湿式エッチングを行い、ソース/ドレイン用抵抗性接触層160a、160bに対しては乾式エッチングを行うこともできる。前者の場合、ソース/ドレイン用導電体170a、170bとソース/ドレイン用抵抗性接触層160a、160bとの間のエッチング選択性が大きいという条件下で、エッチングを行うのが好ましい。これは、エッチング選択性が大きくない場合、エッチング終点を見つけるのが難しく、従って、チャンネル部(C)に残る半導体パターン154a、154bの部分の厚さを調節するのが容易でないためである。湿式エッチング及び乾式エッチングを交互に行う後者の場合には、階段形状の横の側壁が形成される。なぜなら、湿式エッチングは、ソース/ドレイン用導電体170a、170bの側面をエッチングするが、乾式エッチングは、ソース/ドレイン用抵抗性接触層パターン160a、160bの側面はほとんどエッチングしないからである。ソース/ドレイン用抵抗性接触層160a、160bをエッチングする時に使用するエッチング気体の例としては、 CF_4 及び O_2 の混合気体がある。 CF_4 及び O_2 の混合気体を使用すれば、半導体パターン154a、154bのエッチングされる部分を均一な厚さにできる。この時、半導体パターン154a、154bの露出される一部がエッチングされて厚さが薄くされ、データ配線部(A)のフォトレジストパターンPRの部分も厚さが薄くされる。この時のエッチングは、ゲート絶縁膜140がエッチングされないという条件で行われ、また、データ配線部(A)のフォトレジストパターンPRの部分除去されてその下部のデータ配線171、173a、173b、175a、175b、179の部分露出されることがないように、フォトレジストパターンPRが十分に厚いのが好ましい。

20

30

40

【0073】

このようにすれば、ソース電極173a、173b及びドレイン電極175a、175bが分離され、同時に、データ配線171、173a、173b、175a、174b、179及びその下部の抵抗性接触層パターン161、163a、163b、165a、165bが完成する。

【0074】

最後に、データ配線部(A)のフォトレジストパターンPRの部分除去する。代替例

50

としては、データ配線部(A)のフォトレジストパターンPRの部分の除去は、チャンネル部(C)のソース/ドレイン用導電体170a、170bの部分の除去した後、およびその下部のソース/ドレイン用抵抗性接触層パターン160a、160bを除去する前に行うこともできる。

【0075】

前記のように、湿式エッチング及び乾式エッチングを交互に行うことができるが、乾式エッチングのみを行うこともできる。後者の場合には工程は比較的簡単であるが、前者と比較すると、適当なエッチング条件を見つけるのが難しい。反面、前者の場合には、エッチング条件を見つけるのは比較的容易であるが、後者に比べて工程が複雑である。

【0076】

次に、図4及び図5に示したように、a-Si:C:O膜またはa-Si:O:F膜を化学蒸着法によって蒸着したり、窒化ケイ素を蒸着したり、またはアクリル系物質などの有機絶縁物質をコーティングして、保護膜180を形成する。a-Si:C:O膜を形成する場合には、 $\text{SiH}(\text{CH}_3)_3$ 、 $\text{SiO}_2(\text{CH}_3)_4$ 、 $(\text{SiH})_4\text{O}_4(\text{CH}_3)_4$ 、 $\text{Si}(\text{C}_2\text{H}_5\text{O})_4$ などを基本ソースとして使用して、 N_2O または O_2 などの酸化剤、及びArまたはHeなどを、気体状態で混合して、流しながら蒸着する。a-Si:O:F膜の場合には、 SiH_4 、 SiF_4 などを含む混合気体に、 O_2 の気体を添加した気体を流しながら蒸着する。フッ素の補助ソースとして CF_4 を添加することもできる。

【0077】

次に、図4及び図5に示したように、保護膜180をゲート絶縁膜140と共にフォトエッチングして、第1ドレイン電極175a、第2ソース電極173b、ストレージ電極線131、ゲートパッド125、ストレージパッド135、及びデータパッド179を露出する複数の接触孔181、182、183、184、185、186を形成する。パッド125、179、135を露出する接触孔184、185、186の面積は $2\text{mm} \times 60\mu\text{m}$ を越えず、 $0.5\text{mm} \times 15\mu\text{m}$ 以上であるのが好ましい(第3マスク)。

【0078】

最後に、1500乃至500の厚さのITO層またはIZO層を蒸着して、フォトエッチングして、ドレイン電極175と接続される複数の画素電極190、ゲートパッド125と接続される複数の補助ゲートパッド95、データパッド179と接続される複数の補助データパッド97、及び第2ソース電極173b及びストレージ電極線131を接続する複数のブリッジ92を形成する(第4マスク)。

【0079】

IZO層に対してはエッチング液としてクロムエッチング液を使用することができるので、接触孔を通じて露出されたデータ配線やゲート配線の金属の部分は、画素電極190、補助ゲートパッド95、補助データパッド97、及びソースブリッジ92をIZO層から形成するためのフォトエッチング工程で腐食されない。このようなクロムエッチング液の例としては、 $(\text{HNO}_3 / (\text{NH}_4)_2\text{Ce}(\text{NO}_3)_6 / \text{H}_2\text{O})$ などがある。また、接触部の接触抵抗を最少化するためには、IZO層を常温から200以下の範囲で積層するのが好ましい。IZO層を形成するために使用する標的(target)は In_2O_3 及び ZnO を含むのが好ましい。 ZnO の含有量は15-20atm%の範囲であるのが好ましい。

【0080】

一方、ITO層やIZO層を積層する前の予熱(pre-heating)工程で使用する気体としては窒素が好ましい。これは、接触孔181、182、183、184、185、186を通じて露出された金属膜の部分に金属酸化膜が形成されるのを防止するためである。

【0081】

図12は図2A及び図4に示された本発明の実施形態による液晶表示装置用の薄膜トランジスタアレイパネルの構成を簡略化して示したものである。

10

20

30

40

50

データ線171に接続された薄膜トランジスタT1は、画素電極190へ送られる信号をスイッチングし、ストレージ電極線に連結された薄膜トランジスタT2は、方向制御電極178へ入る信号をスイッチングする。画素電極190及び方向制御電極178は容量性結合する。同一の階調では、画素電極190と方向制御電極178との間の電位差の偏差が無い。したがって、ライン反転、ドット反転その他の反転のタイプとかわりなく、安定した画像品質が保証される。

【0082】

本発明の第1及び第2実施形態では、方向制御電極用の薄膜トランジスタのソース電極が、ストレージ電極線に接続されている。しかし、これとは異なって、ソース電極を前段のデータ線に接続することもできる。このような構造では、次のような問題点がある。

10

【0083】

まず、前段のゲート線(図1のGate N-1)にオン電圧が印加されることによって、当該画素の対角線方向に位置する画素電極に階調電圧が充電され、当該画素の方向制御電極に初期電圧が印加される。方向制御電極の初期電圧は、対角線方向の画素電極の階調電圧と同一になる。このため、対角線方向の画素電極の階調電圧によって、方向制御電極と当該画素の画素電極との間の電圧差である V_{DP} が決定される。例えば、対角線方向の画素電極に、黒(black)の電圧などのような低い階調電圧が印加される場合には、方向制御電極の初期電圧も低い値を有するようになり、 V_{DP} も低い値を有するようになる。 V_{DP} が低いということは、方向制御電極と画素電極との間の電圧差が小さいということなので、この場合、方向制御電極による横方向電界(lateral field)が弱くなる。従って、液晶分子の配向が不安定になり、これによってテクスチャーが発生する。

20

【0084】

次に、 V_{DP} は、 C_{LC} および C_{ST} の等価のキャパシタに直列に接続されたキャパシタCDPの両端間の電圧によって決定される。したがって、 V_{DP} の値はキャパシタンス C_{DP} が小さいほど大きな値を有するようになる。キャパシタンス C_{DP} を小さくするためには、画素電極と方向制御電極との重畳面積が最少化されるように設計する。しかしながら、このようにすると、製造工程中のマスクの誤整列によって画質が敏感に変化し、また、方向制御電極の周辺で光漏れが発生することもある。前者については、マスクの誤整列によって画素電極と方向制御電極との重畳面積が変化し、このような変化が直接画質に影響を与える。後者は、方向制御電極の初期電圧として高い電圧が印加され(即ち、対角線方向の画素電極に高い階調電圧が印加され)、当該画素に黒の電圧が印加されると、発生する。方向制御電極の高い電圧によって液晶分子が動かされて光が漏れ、方向制御電極の幅が狭いためにこれを遮断できない。このような光漏れが発生すれば、コントラスト比が低下する。

30

【0085】

以下で説明する第3実施形態は、このような問題点を解決する。

図13は本発明の第3実施形態による液晶表示装置の等価の回路図である。

本発明の実施形態による液晶表示装置は、薄膜トランジスタアレイパネル、これと対向している色フィルターアレイパネル、及びこれらに注入されている液晶層からなる。薄膜トランジスタアレイパネルには、複数のゲート線と複数のデータ線とが交差して複数の画素領域を定義され、複数のストレージ電極線がゲート線と平行に形成されている。ゲート線を通じて走査信号が伝達され、データ線を通じて画像信号が伝達される。ストレージ電極線にはコモン電圧 V_{com} が印加される。各画素領域には、画素電極用の画素用薄膜トランジスタと、方向制御電極用の第1および第2方向制御電極用薄膜トランジスタDCE TFT1およびDCE TFT2を備える。画素用薄膜トランジスタは、対応するゲート線に接続されているゲート電極、対応するデータ線に接続されているソース電極、及び対応する画素電極に接続されているドレイン電極を有する。第1方向制御電極用薄膜トランジスタは、前段のゲート線に接続されているゲート電極、前段のデータ線に接続されているソース電極、及び当該段の方向制御電極に接続されているドレイン電極を有する。第

40

50

2方向制御電極用薄膜トランジスタは、前段のゲート線に接続されているゲート電極、当該段のデータ線に接続されているソース電極、及び当該段の画素電極に接続されているドレイン電極を有する。

【0086】

方向制御電極は、画素電極と容量性結合しており、これらの間のキャパシタ又はその静電容量は C_{DP} で表す。画素電極は、色フィルターアレイパネルのコモン電極との間に液晶キャパシタを形成し、その液晶キャパシタ又はその静電容量は C_{LC} で表す。また、画素電極は、ストレージ電極線に接続されているストレージ電極との間にストレージキャパシタを形成し、そのストレージキャパシタ又はその静電容量は C_{ST} で表す。

【0087】

回路図には示さなかったが、本発明による液晶表示装置の画素電極は切開部を有し、この切開部を通じて方向制御電極による電界が流出されるように、方向制御電極及び切開部が重畳している。切開部を通じて流出される方向制御電極の電界によって、液晶分子がプレティルト角を有するようになる。プレティルトされた液晶分子は、画素電極の電界が印加されると、離散せずに速かに所定の方向に配向される。

【0088】

この液晶表示装置にドット反転を適用するものとする。前段のゲート線(Gate N-1)へオン信号を印加することによって方向制御電極用薄膜トランジスタDCE T F T 1及びDCE T F T 2が共にオンされて、方向制御電極は正(+)の極性の階調電圧を有し、画素電極は負(-)の極性の階調電圧を有するようになされる。方向制御電極の初期電圧は、データ線Data A及びデータ線Data Bから印加される正極性の階調電圧と負極性の階調電圧との間の差になるので、これは、第2の方向制御電極用薄膜トランジスタDCE T F T 2のない場合の方向制御電極の初期電圧の2倍以上である。当該段のゲート線(Gate N)にオン信号が印加されて、画素用薄膜トランジスタがオンされ、方向制御電極用薄膜トランジスタDCE T F T 1及びDCE T F T 2がオフされると、方向制御電極が浮遊(フロート)状態になるので、方向制御電極の電圧は、画素電極の電圧と V_{DP} だけの差を維持して共に上昇する。このように、第3実施形態による構造は、より高い V_{DP} を確保することによって、液晶分子の配向の安定性を高めて、テクスチャーを安定化することができる。

【0089】

また、 V_{DP} が、隣接する二つの前段の画素の階調電圧によって決定され、キャパシタンス C_{DP} の影響を受けないので、方向制御電極を画素電極と重畳するように十分に広く形成することを可能にするためにキャパシタンス V_{DP} を小さくするという必要がない。したがって、方向制御電極の周辺で発生する光漏れを遮断することができ、画像の品質は、マスクの誤整列の影響を大きく受けない。

【0090】

また、 V_{DP} が大きくなるので、応答速度が向上して残像も改善される。

図13に示す構造は、ドット反転及びライン反転方式に適用することができ、その他の方式には三つのT F Tの接続を適切に変更して適用すればよい。

【0091】

それでは、本発明の第3実施形態による液晶表示装置用の薄膜トランジスタアレイパネルの具体的な例を、図14乃至図17を参照して説明する。

図14は本発明の第3実施形態による液晶表示装置の配置図であり、図15は図14のX V - X V '線に沿った液晶表示装置の断面図であり、図16は図14のX V I - X V I '線に沿った液晶表示装置の断面図であり、図17は図14のX V I I - X V I I '線及びX V I I ' - X V I I ''線に沿った液晶表示装置の断面図である。

【0092】

本発明の第3実施形態による液晶表示装置は、下部パネル、これと対向している上部パネル、及び下部パネルと上部パネルとの間に注入されていて垂直に配向されている液晶層からなる。

10

20

30

40

50

【 0 0 9 3 】

それでは、下部パネルについてより詳細に説明する。

絶縁基板 1 1 0 上に複数のゲート線 1 2 1 が形成されており、その上に複数のデータ線 1 7 1 が形成されている。ゲート線 1 2 1 及びデータ線 1 7 1 は互いに絶縁されていて、これらが交差して複数の画素領域を定義する。

【 0 0 9 4 】

それぞれの画素領域には、画素用薄膜トランジスタ、第 1 方向制御電極用薄膜トランジスタ、第 2 方向制御電極用薄膜トランジスタ、方向制御電極、および画素電極が備えられる。画素用薄膜トランジスタは、第 1 ゲート電極 1 2 3 a、第 1 ソース電極 1 7 3 a b、及び第 1 ドレイン電極 1 7 5 a の三つの端子を有する。第 1 方向制御電極用薄膜トランジスタは、第 2 ゲート電極 1 2 3 b、第 1 ソース電極 1 7 3 a b、及び第 2 ドレイン電極 1 7 5 b の三つの端子を有し、第 2 方向制御電極用薄膜トランジスタは、第 3 ゲート電極 1 2 3 c、第 2 ソース電極 1 7 3 c、及び第 3 ドレイン電極 1 7 5 c の三つの端子を有する。第 1 ソース電極 1 7 3 a b は、画素用薄膜トランジスタ及び第 1 方向制御電極用薄膜トランジスタに共通で使用される。画素用薄膜トランジスタ及び第 1 方向制御電極用薄膜トランジスタは、画素電極 1 9 0 へ送られた信号をスイッチングするためのものであり、第 2 方向制御電極用薄膜トランジスタは、方向制御電極 1 7 8 へ入る信号をスイッチングするためのものである。画素用薄膜トランジスタのゲート電極 1 2 3 a、ソース電極 1 7 3 a、及びドレイン電極 1 7 5 a は、それぞれ、当該段のゲート線 1 2 1 の 1 つ、当該段のデータ線 1 7 1 の 1 つ、及び画素電極 1 9 0 に接続されている。第 1 方向制御電極用薄膜トランジスタのゲート電極 1 2 3 b、ソース電極 1 7 3 b、及びドレイン電極 1 7 5 b は、それぞれ、前段のゲート線 1 2 1 の 1 つ、当該段のデータ線 1 7 1 の 1 つ、及び画素電極 1 9 0 に接続されている。第 2 方向制御電極用薄膜トランジスタのゲート電極 1 2 3 c、ソース電極 1 7 3 c、及びドレイン電極 1 7 5 c は、それぞれ、前段のゲート線 1 2 1、前段のデータ線 1 7 1 の 1 つ、及び方向制御電極 1 7 8 に接続されている。方向制御電極 1 7 8 は、液晶分子のプレティルトを制御するための方向制御電圧の印加を受けて、方向制御電極 1 7 8 とコモン電極 2 7 0 との間に方向制御電界を形成する。方向制御電極 1 7 8 は、データ線 1 7 1 を形成する段階で形成する。

【 0 0 9 5 】

下部パネルの各層の構造について詳細に説明する。

絶縁基板 1 1 0 上に実質的に横方向に延びる複数のゲート線 1 2 1 が形成されており、複数の第 1 乃至第 3 ゲート電極 1 2 3 a、1 2 3 b、1 2 3 c がゲート線 1 2 1 に接続されている。ゲート線 1 2 1 の一端には複数のゲートパッド 1 2 5 が接続されている。

【 0 0 9 6 】

また、絶縁基板 1 1 0 上には、複数の第 1 及び第 2 ストレージ電極線 1 3 1 a、1 3 1 b 及び複数の第 1 乃至第 4 ストレージ電極 1 3 3 a、1 3 3 b、1 3 4 a、1 3 4 b の組が形成されている。第 1 及び第 2 ストレージ電極線 1 3 1 a、1 3 1 b は実質的に横方向に形成されている。第 1 及び第 2 ストレージ電極 1 3 3 a、1 3 3 b は、第 1 及び第 2 ストレージ電極線 1 3 1 a、1 3 1 b から縦方向に延びて形成されており、斜方向に曲がって延びる。第 3 及び第 4 ストレージ電極 1 3 4 a、1 3 4 b は縦方向に形成されてのびる。第 1 ストレージ電極線 1 3 1 a、第 1 及び第 3 電極 1 3 3 a、1 3 4 a を含む第 1 ストレージ配線と、第 2 ストレージ電極線 1 3 1 a、第 2 及び第 4 電極 1 3 3 b、1 3 4 b を含む第 2 ストレージ配線とは、互いに面对称をなしている。

【 0 0 9 7 】

ゲート配線 1 2 1、1 2 3 a ~ 1 2 3 c、1 2 5 及びストレージ電極配線 1 3 1、1 3 3 a、1 3 3 b、1 3 4 a、1 3 4 b は、アルミニウムまたはその合金、クロムまたはその合金、モリブデンまたはその合金などからなる。必要に応じて、ゲート配線 1 2 1、1 2 3 a、1 2 3 b、及びストレージ電極配線 1 3 1、1 3 3 a ~ 1 3 3 d は、物理的および化学的特性が優れている Cr または Mo の合金などからなる第 1 層及び抵抗が小さい Al または Ag の合金などからなる第 2 層を含むこともできる。

10

20

30

40

50

【0098】

ゲート配線121、123a~123c、125及びストレージ電極配線131、133a、133b、134a、134b上には、ゲート絶縁膜140が形成されている。

ゲート絶縁膜140上には、非晶質シリコンなどからなる半導体層151、154ab、154cが形成されている。半導体層151、154ab、154cは、薄膜トランジスタのチャンネルを形成する複数の第1及び第2チャンネル部半導体層154ab、154c、及びデータ線171下に位置する複数のデータ線部半導体層151を含む。

【0099】

半導体層151、154ab、154cの上部には、シリサイドまたはn型不純物が高濃度にドーピングされているn+水素化非晶質シリコンなどの物質からなる抵抗性接触層161、163ab、163c、165a~165cが形成されている。

10

【0100】

抵抗性接触層161、163ab、163c、165a~165c及びゲート絶縁膜140上には、データ配線171、173ab、173c、175a~175c、179が形成されている。データ配線171、173ab、173c、175a~175c、179は、縦方向に形成されてゲート線121と交差して複数の画素領域を定義する複数データ線171と、データ線171の分枝であり、抵抗性接触層の部分163abの上へのびている複数の第1ソース電極173abと、第1ソース電極173abと分離され、第1ソース電極173abの反対側に位置し、抵抗性接触層の部分165a、165bの上に各々形成されている複数の第1及び第2ドレイン電極175a、175bと、第3ゲート電極123cについて互いに対向している抵抗性接触層の部分163c、165c上に形成されている複数の第2ソース電極173c及び複数の第3ドレイン電極175cと、データ線171の一端に接続され、外部装置からの画像信号の印加を受ける複数のデータパッド179とを含む。

20

【0101】

ゲート線121及びデータ線171が交差して定義する画素領域内には、複数の方向制御電極178、178a~178cが形成されている。方向制御電極178、178a~178cのそれぞれは、第3ドレイン電極175cと接続されており、V型の幹部178及び山形の枝部178a~178cを含む。データ配線171、173ab、173c、175a~175c、179及び方向制御電極178、178a~178cは、アルミニウムまたはその合金、クロムまたはその合金、モリブデンまたはその合金などからなる。必要に応じて、データ配線171、173ab、173c、175a~175c、179及び方向制御電極178、178a~178cは、物理的および化学的特性が優れているCrまたはMoの合金などからなる第1層及び抵抗が小さいAlまたはAgの合金などからなる第2層を含むこともできる。

30

【0102】

データ配線171、173ab、173c、175a~175c、179上には、窒化ケイ素または有機絶縁膜からなる保護膜180が形成されている。

保護膜180には、第1及び第2ドレイン電極175a、175bを露出させる複数の接触孔181、182と、ゲート絶縁膜140へ延びてゲートパッド125を露出させる複数の第3接触孔183と、データパッド179を露出させる複数の第4接触孔184とが形成されている。パッド125、179を露出させる接触孔は、多角形や円形などの様々な形状に形成され得る。接触孔の面積は、2mm×60µmを越えず、0.5mm×15µm以上であるのが好ましい。

40

【0103】

保護膜180上には、複数の画素電極190が形成されている。それぞれの画素電極190は、第1及び第2接触孔181、182を通じて、それぞれ、第1及び第2ドレイン電極175a、175bと接続されている。画素電極190は、横方向切開部191、及び複数の斜線方向切開部192a、192b、193a、193b、194a、194b、195a、195bを有している。横方向切開部191は、画素電極190を上半部と

50

下半部とに分割し、斜線方向切開部 192 a、192 b、193 a、193 b、194 a、194 b、195 a、195 b は横方向切開部 191 を中心にして面対称をなしている。一部の切開部 191、192 a、192 b、194 a、194 b、195 a、195 b は、方向制御電極 178、178 a ~ 178 c と重畳し、他の一部の切開部 193 a、193 b は、ストレージ電極 133 a、133 b と重畳している。

【0104】

また、保護膜 180 上には、複数 k 補助ゲートパッド 95 及び複数の補助データパッド 97 が形成されている。補助ゲートパッド 95 及び補助データパッド 97 は、接触孔 183、184 を通じてゲートパッド 125 及びデータパッド 179 と接続される。画素電極 190、補助ゲートパッド 95、及び補助データパッド 97 は、IZO からなるのが好ましい。代替例としては、画素電極 190 及び補助パッド 95、97 は ITO から作ることもできる。

10

【0105】

以上のように、それぞれの画素電極 190 は、画素領域を複数のドメインに分割するための複数の切開部 191、192 a、192 b、193 a、193 b、194 a、194 b、195 a、195 b を有し、切開部 191、192 a、192 b、194 a、194 b、195 a、195 b は方向制御電極 178、178 a ~ 178 c と重畳している。つまり、正面から見る時に、方向制御電極 178、178 a ~ 178 c が切開部 191、192 a、192 b、194 a、194 b、195 a、195 b を通じて露出されて見えるように、方向制御電極 178、178 a ~ 178 c 及び切開部 191、192 a、192 b、194 a、194 b、195 a、195 b をアライメントする。方向制御電極 178、178 a ~ 178 c は第 2 方向制御電極用薄膜トランジスタに接続されており、画素電極 190 は第 1 方向制御電極用薄膜トランジスタ及び画素用薄膜トランジスタに接続されており、画素電極 190 と方向制御電極 178 とは、ストレージキャパシタを形成するようにアライメントされる。

20

【0106】

本発明の別の実施形態では、方向制御電極 178、178 a ~ 178 c は、ゲート配線 121、123 a ~ 123 c、125 と実質的に同じ層を有することもできる。方向制御電極 178、178 a ~ 178 c の上の保護膜 180 の部分を除去して、複数の切開部を形成することもできる。

30

【0107】

上部基板 210 について、より詳細に説明する。

ガラスなどの透明な絶縁物質からなる上部基板 210 に、光漏れを防止するためのブラックマトリックス 220、複数の赤、緑、青の色フィルター 230、及び ITO または IZO などの透明な導電物質からなるコモン電極 270 が形成されている。

【0108】

液晶層 3 に含まれている複数の液晶分子は、電界が印加されない状態ではそのダイレクターが下部基板 110 及び上部基板 210 に対して垂直に配向される。液晶層 3 は負の誘電異方性を有する。

【0109】

下部基板 110 及び上部基板 210 は、画素電極 190 が色フィルター 230 と対応して正確に重畳するように配置される。このようにすれば、画素領域は、切開部 191、192 a、192 b、193 a、193 b、194 a、194 b、195 a、195 b によって複数のドメインに分割される。方向制御電極 178、178 a ~ 178 c によって、それぞれドメイン内で液晶分子の配向がより安定させられる。

40

【0110】

前記の実施形態では、液晶層 3 が負の誘電異方性を有して、基板 110、210 に対してホメオトロピックに配向されていることを例に挙げた。しかしながら、液晶層 3 は、正の誘電異方性を有し、基板 110、210 に対してにホモジニアスに配向することもできる。

50

【0111】

本発明の第3実施形態による薄膜トランジスタアレイパネルは、4回のフォトリソエッチング工程によって製造することもできる。この場合には、データ配線及び方向制御電極が、非晶質シリコン層、抵抗性接触層、及び金属層の3重層からなり、これら三層の平面形状が実質的に同じになる。これは、一つのフォトリソ膜を利用して非晶質シリコン層、抵抗性接触層、及び金属層をパターンニングするためである。このような製造工程については、本発明の第2実施形態に対する説明に詳細に記載されていて、同一層のパターンは同一工程段階で形成されるという原則を適用すれば理解することができるので、具体的な説明は省略する。

【0112】

以上で、本発明の好ましい実施形態について説明したが、当該技術分野の熟練した当業者は、特許請求の範囲に記載された本発明の思想及び領域から逸脱しない範囲内で本発明を多様に修正及び変更させることができる。上述のように、第1及び第2の方向制御電極用薄膜トランジスタで、方向制御電極及び画素電極へ送られる信号をスイッチングして、初期方向制御電圧(V_{DP})を形成することによって、輝度を安定させる。

【図面の簡単な説明】

【0113】

【図1】本発明の実施形態による液晶表示装置用薄膜トランジスタ基板の回路図である。

【図2A】本発明の第1実施形態による液晶表示装置の配置図である。

【図2B】図2AのIIb-IIb'線に沿った断面図である。

【図2C】図2AのIIc-IIc'線に沿った断面図である。

【図3A】図3A乃至図3Dは、本発明の第1実施形態による液晶表示装置用薄膜トランジスタ基板を製造する過程を順に示した断面図である。

【図3B】図3A乃至図3Dは、本発明の第1実施形態による液晶表示装置用薄膜トランジスタ基板を製造する過程を順に示した断面図である。

【図3C】図3A乃至図3Dは、本発明の第1実施形態による液晶表示装置用薄膜トランジスタ基板を製造する過程を順に示した断面図である。

【図3D】図3A乃至図3Dは、本発明の第1実施形態による液晶表示装置用薄膜トランジスタ基板を製造する過程を順に示した断面図である。

【図4】本発明の第2実施形態による液晶表示装置用薄膜トランジスタ基板の配置図である。

【図5】図4のV-V'線及びV'-V''線に沿った断面図である。

【図6A】図6A乃至図11Bは、本発明の第2実施形態による液晶表示装置用薄膜トランジスタ基板を製造する過程を順に示した配置図および断面図である。

【図6B】図6A乃至図11Bは、本発明の第2実施形態による液晶表示装置用薄膜トランジスタ基板を製造する過程を順に示した配置図および断面図である。

【図7】図6A乃至図11Bは、本発明の第2実施形態による液晶表示装置用薄膜トランジスタ基板を製造する過程を順に示した配置図および断面図である。

【図8A】図6A乃至図11Bは、本発明の第2実施形態による液晶表示装置用薄膜トランジスタ基板を製造する過程を順に示した配置図および断面図である。

【図8B】図6A乃至図11Bは、本発明の第2実施形態による液晶表示装置用薄膜トランジスタ基板を製造する過程を順に示した配置図および断面図である。

【図9】図6A乃至図11Bは、本発明の第2実施形態による液晶表示装置用薄膜トランジスタ基板を製造する過程を順に示した配置図および断面図である。

【図10】図6A乃至図11Bは、本発明の第2実施形態による液晶表示装置用薄膜トランジスタ基板を製造する過程を順に示した配置図および断面図である。

【図11A】図6A乃至図11Bは、本発明の第2実施形態による液晶表示装置用薄膜トランジスタ基板を製造する過程を順に示した配置図および断面図である。

【図11B】図6A乃至図11Bは、本発明の第2実施形態による液晶表示装置用薄膜トランジスタ基板を製造する過程を順に示した配置図および断面図である。

10

20

30

40

50

【図12】本発明の第1及び第2実施形態による液晶表示装置用薄膜トランジスタ基板を簡略化して示した構成図である。

【図13】本発明の第3実施形態による液晶表示装置の回路図である。

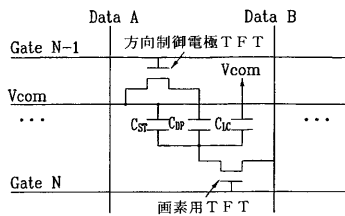
【図14】本発明の第3実施形態による液晶表示装置の配置図である。

【図15】図14のXV - XV'線に沿った断面図である。

【図16】図14のXVI - XVI'線に沿った断面図である。

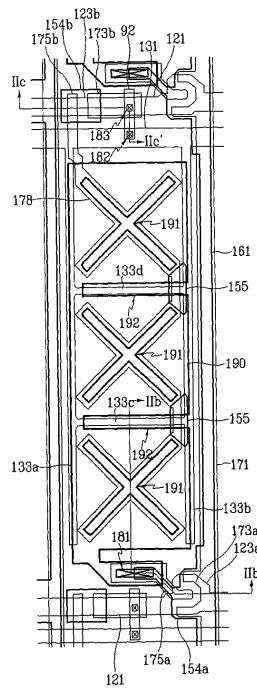
【図17】図14のXVII - XVII'線及びXVII' - XVII''に沿った断面図である。

【図1】



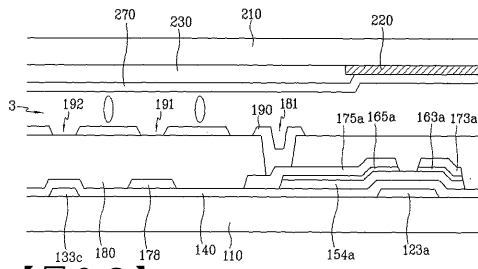
【図2A】

FIG. 2A



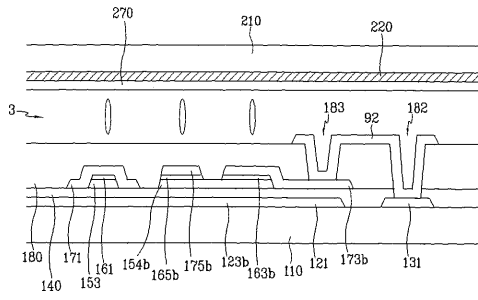
【 2 B 】

FIG. 2B



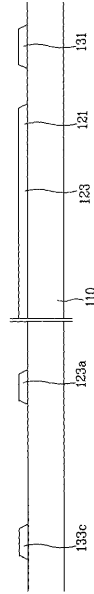
【 2 C 】

FIG. 2C



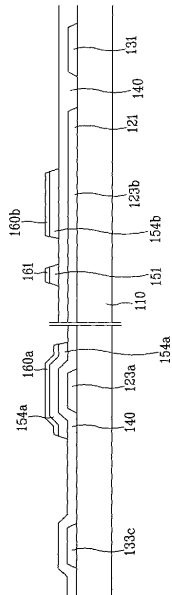
【 3 A 】

FIG. 3A



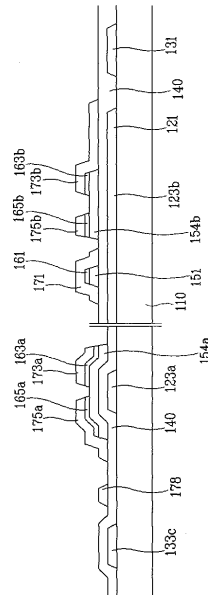
【 3 B 】

FIG. 3B



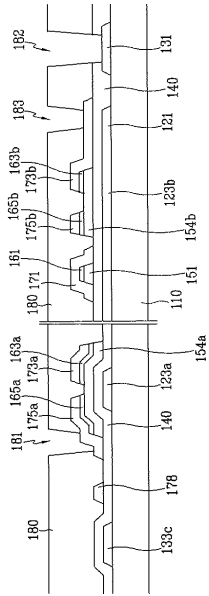
【 3 C 】

FIG. 3C



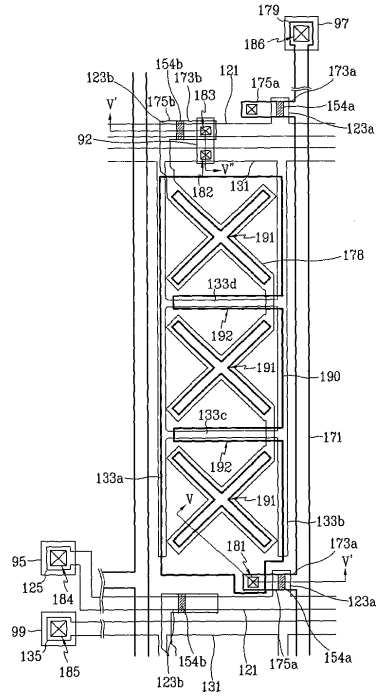
【 図 3 D 】

FIG. 3D



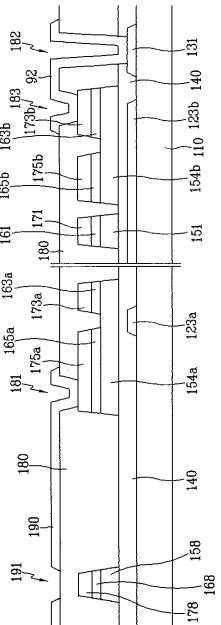
【 図 4 】

FIG. 4



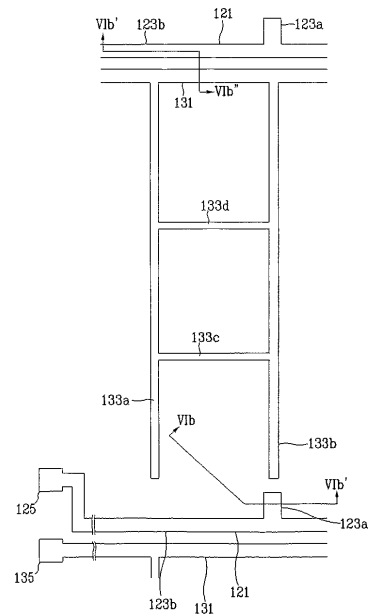
【 図 5 】

FIG. 5



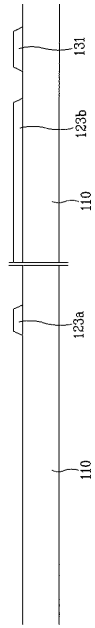
【 図 6 A 】

FIG. 6A



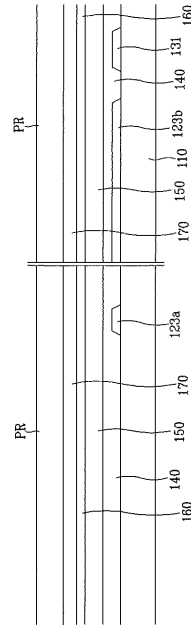
【 図 6 B 】

FIG. 6B



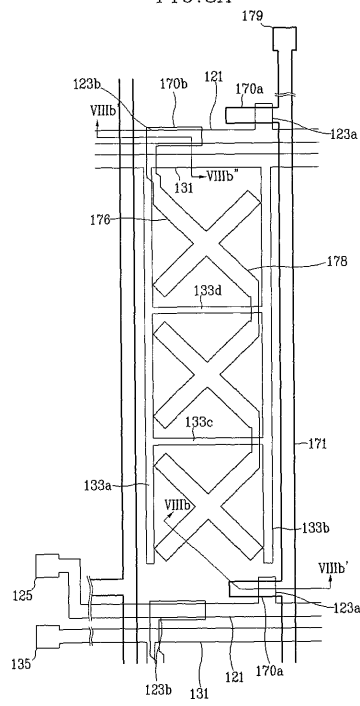
【 図 7 】

FIG. 7



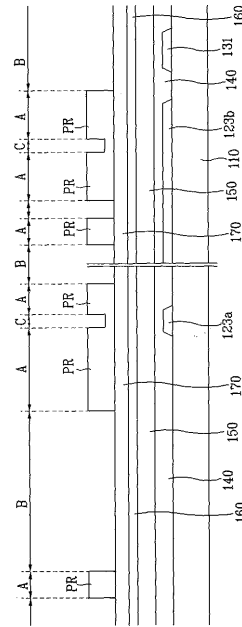
【 図 8 A 】

FIG. 8A



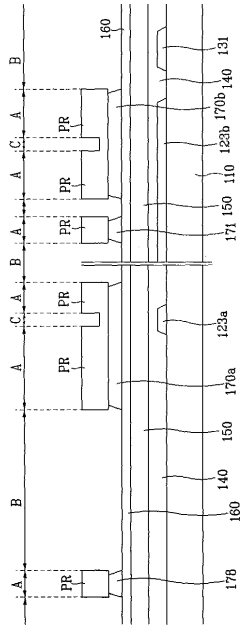
【 図 8 B 】

FIG. 8B



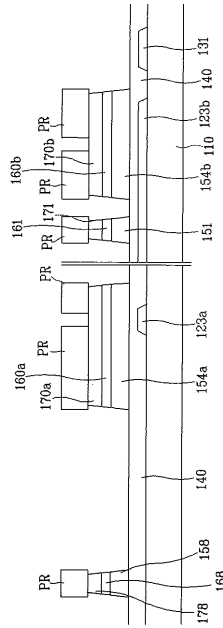
【 9 】

FIG. 9



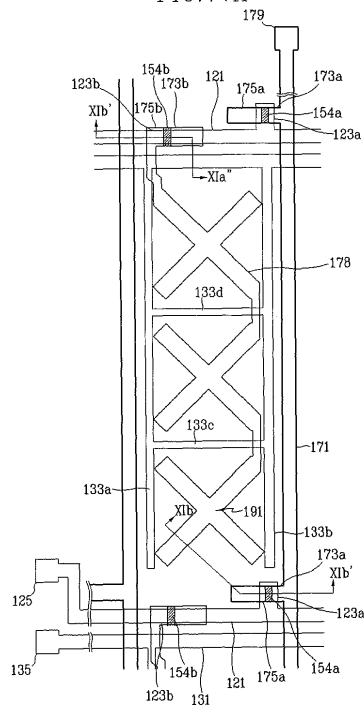
【 10 】

FIG. 10



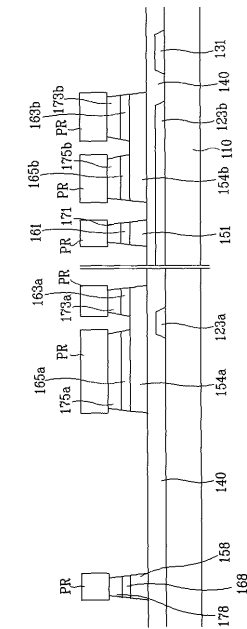
【 11 A 】

FIG. 11A



【 11 B 】

FIG. 11B



フロントページの続き

- (72)発明者 ヤン, ヨン - チョル
大韓民国キョンギ - ドー, クンボ - シティ 435 - 050, クミョン - ドン ジューコンアパートメント 2 - ダンジ 220 - 1201
- (72)発明者 キム, ジョン - ラエ
大韓民国ソウル 134 - 841, カンドン - ク, スンナエ2 - ドン 145 - 6
- (72)発明者 シン, キョン - ジュ
大韓民国キョンギ - ドー, ヨンジン - シティ 449 - 904, キヒュン - ユ, ボラ - リ 289 - 12 サムヨン・セオンビ・マウル 102 - 504

審査官 藤田 都志行

- (56)参考文献 特開2001 - 235752 (JP, A)
特開2001 - 235751 (JP, A)
特開2002 - 148649 (JP, A)
特開2002 - 196342 (JP, A)
特開2001 - 109009 (JP, A)
特開2001 - 209065 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1368
G02F 1/1343
G02F 1/1337

专利名称(译)	多畴液晶显示装置及其薄膜晶体管基板		
公开(公告)号	JP4235615B2	公开(公告)日	2009-03-11
申请号	JP2004533813	申请日	2002-10-10
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	キムヒーセオ ヤンヨンチョル キムジョンラエ シンキョンジュ		
发明人	キム,ヒー-セオ ヤン,ヨン-チョル キム,ジョン-ラエ シン,キョン-ジュ		
IPC分类号	G02F1/1368 G02F1/1343 G02F1/1337 G02F1/1333 G02F1/1362 G02F1/139		
CPC分类号	G02F1/133707 G02F1/133753 G02F1/13624 G02F1/1393 G02F2001/133757		
FI分类号	G02F1/1368 G02F1/1343 G02F1/1337.500 G02F1/1337.520		
优先权	1020020054277 2002-09-09 KR		
其他公开文献	JP2005538408A		
外部链接	Espacenet		

摘要(译)

提供一种薄膜晶体管阵列面板。薄膜晶体管阵列面板包括绝缘基板，形成在绝缘基板上的多条栅极线，形成在绝缘基板上并与栅极布线绝缘并且彼此交叉的多条数据线，形成在绝缘基板上的多条数据线，多条交叉存储电极线，栅极线和数据线彼此交叉多个像素电极，每个像素电极具有切口部分，多个方向控制电极形成用于由栅极线和数据线的交叉限定的每个像素区域，以及栅极线，相关级的数据线之一，以及连接到相关级的像素电极之一的第一薄膜晶体管和静态的，栅线，前述数据线中的一个，并与阶段，先前的栅极线，该级的数据线的方向控制电极中的一个连接的第二薄膜晶体管前述的一个，并且并且第三薄膜晶体管连接到级的像素电极。

【 0 0 2 5 】

【 数 1 】

$$V_c = V_0 + \frac{1}{C} \int_0^{15} i d(t)$$