

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4148389号
(P4148389)

(45) 発行日 平成20年9月10日 (2008. 9. 10)

(24) 登録日 平成20年7月4日 (2008. 7. 4)

(51) Int. Cl.

F I

G09G 3/36 (2006.01)
G02F 1/133 (2006.01)
G02F 1/1368 (2006.01)
G09G 3/20 (2006.01)

G09G 3/36
 G02F 1/133 550
 G02F 1/1368
 G09G 3/20 611A
 G09G 3/20 650A

請求項の数 22 (全 23 頁) 最終頁に続く

(21) 出願番号 特願2001-263178 (P2001-263178)
 (22) 出願日 平成13年8月31日 (2001. 8. 31)
 (65) 公開番号 特開2002-149139 (P2002-149139A)
 (43) 公開日 平成14年5月24日 (2002. 5. 24)
 審査請求日 平成16年6月11日 (2004. 6. 11)
 (31) 優先権主張番号 0021712.5
 (32) 優先日 平成12年9月5日 (2000. 9. 5)
 (33) 優先権主張国 英国 (GB)

(73) 特許権者 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町2番22号
 (74) 代理人 100078282
 弁理士 山本 秀策
 (72) 発明者 マイケル ジェームズ ブラウンロー
 イギリス国 オーエックス4 4ワイビー
 オックスフォード, サンドフォード
 オン テムズ, チャーチ ロード 12
 4
 (72) 発明者 グラハム アンドリュー カーンズ
 イギリス国 オーエックス2 8エヌエイ
 チ オックスフォード, カッテスローウ
 エ, ボーン クローズ 22

最終頁に続く

(54) 【発明の名称】 アクティブマトリクス液晶ディスプレイ用の駆動装置およびアクティブマトリクス液晶ディスプレイ並びにアクティブマトリクス液晶ディスプレイの駆動方法

(57) 【特許請求の範囲】

【請求項 1】

複数の異なるディスプレイモードで動作するアクティブマトリクス液晶ディスプレイ用の駆動装置であって、

複数の連続するフレームのデジタル画像データを解析するデータ解析手段であって、該データ解析手段は、データ解析装置とフォーマット制御レジスタとを含み、該データ解析装置は、現在のフレームの始めでアクティビティ信号を第1の論理レベルにリセットし、該現在のフレームのデジタル画像データの値と前のフレームのデジタル画像データの値とが同じであるかどうかを判定し、両者が同じであると判定された場合には、ディスプレイが静止画を示していると判断して、該アクティビティ信号を第2の論理レベルに設定し、両者が異なると判定された場合には、該アクティビティ信号を該第1の論理レベルのままとし、該現在のフレームの終わりで該アクティビティ信号を該フォーマット制御レジスタに転送し、該フォーマット制御レジスタは、該データ解析装置から転送された該アクティビティ信号を記憶し、該記憶されたアクティビティ信号に対応するフォーマット制御信号を出力する、データ解析手段と、

該データ解析手段の該フォーマット制御レジスタから出力される該フォーマット制御信号が、該第2の論理レベルに設定された該アクティビティ信号に対応するものである場合には、該デジタル画像データの1つ以上の連続的なフレームを更新しないように、該アクティブマトリクス液晶ディスプレイのデータラインを駆動するマルチフォーマットデジタルデータドライバと

を備える、駆動装置。

【請求項 2】

前記デジタル画像データは、それぞれが所定のビット数の複数の入力データを有する、請求項 1 に記載の駆動装置。

【請求項 3】

前記マルチフォーマットデータドライバは、複数の可変ビット解像度デジタル - アナログ変換器を備える、請求項 1 に記載の駆動装置。

【請求項 4】

前記マルチフォーマットデータドライバが、所定のフレームストアから前記デジタル画像データを受け取るデジタルデータ入力チャネルを備える、請求項 1 に記載の駆動装置。

【請求項 5】

請求項 1 ~ 4 のいずれかに記載の駆動装置を備える、アクティブマトリクス液晶ディスプレイ。

【請求項 6】

前記駆動装置は、アクティブマトリクスの薄膜トランジスタと同じ基板上にモノリシックに集積される、請求項 5 に記載のアクティブマトリクス液晶ディスプレイ。

【請求項 7】

前記薄膜トランジスタは、ポリシリコン薄膜トランジスタである、請求項 6 に記載のアクティブマトリクス液晶ディスプレイ。

【請求項 8】

複数の異なるディスプレイモードで動作するアクティブマトリクス液晶ディスプレイ用の駆動装置によって、該アクティブマトリクス液晶ディスプレイを駆動する駆動方法であって、該駆動装置は、データ解析手段とマルチフォーマットデジタルデータドライバとを含み、該データ解析手段は、データ解析装置とフォーマット制御レジスタとを含み、該方法は、

該データ解析手段が、複数の連続するフレームのデジタル画像データを解析するデータ解析工程であって、該データ解析工程は、該データ解析装置が、現在のフレームの始めてアクティビティ信号を第 1 の論理レベルにリセットし、該現在のフレームのデジタル画像データの値と前のフレームのデジタル画像データの値とが同じであるかどうかを判定し、両者が同じであると判定された場合には、ディスプレイが静止画を示していると判断して、該アクティビティ信号を第 2 の論理レベルに設定し、両者が異なると判定された場合には、該アクティビティ信号を該第 1 の論理レベルのままとし、該現在のフレームの終わりで該アクティビティ信号を該フォーマット制御レジスタに転送する工程と、該フォーマット制御レジスタが、該データ解析装置から転送された該アクティビティ信号を記憶し、該記憶されたアクティビティ信号に対応するフォーマット制御信号を出力する工程とを包含する、データ解析工程と、

該データ解析工程において該フォーマット制御レジスタから出力される該フォーマット制御信号が、該第 2 の論理レベルに設定された該アクティビティ信号に対応するものである場合には、該デジタル画像データの 1 つ以上の連続的なフレームを更新しないように、該マルチフォーマットデジタルデータドライバが、該アクティブマトリクス液晶ディスプレイのデータラインを駆動する駆動工程と

を包含する、駆動方法。

【請求項 9】

前記デジタル画像データは、それぞれが所定のビット数の複数の入力データを有する、請求項 8 に記載の駆動方法。

【請求項 10】

前記データ解析工程において、前記複数の連続するフレームのデジタル画像データのシグニチャをそれぞれ生成して、複数の連続的なフレームについて該シグニチャが同じであるかどうかを判定する、請求項 8 に記載の駆動方法。

【請求項 11】

10

20

30

40

50

前記シグニチャが、各フレームにおける画像を表す全てのデータビットの合計である、請求項 10 に記載の駆動方法。

【請求項 12】

前記データ解析工程において解析される各フレームの前記デジタル画像データが、前記アクティブマトリクス液晶ディスプレイの一部のみを占める画像に関するものである、請求項 8 に記載の駆動方法。

【請求項 13】

前記データ解析工程において解析される各フレームの前記デジタル画像データは、前記アクティブマトリクス液晶ディスプレイを複数の領域に分割した場合の各領域におけるそれぞれの画像に関するものである、請求項 12 に記載の駆動方法。

10

【請求項 14】

前記データ解析工程において、前記アクティブマトリクス液晶ディスプレイの一部の領域における前記デジタル画像データが連続するフレームにおいて同じであると判定される場合、該アクティブマトリクス液晶ディスプレイの該一部の領域における前記ディスプレイモードが更新されることを防ぐフォーマット制御信号が出力される、請求項 13 に記載の駆動方法。

【請求項 15】

前記データ解析工程において、前記アクティブマトリクス液晶ディスプレイの一部の領域における前記デジタル画像データが連続するフレームにおいて同じであると判定される場合、該アクティブマトリクス液晶ディスプレイの該一部の領域におけるデジタル画像データが前記マルチフォーマットデジタルデータドライバに入力されることを防ぐフォーマット制御信号が、該マルチフォーマットデジタルデータドライバに前記デジタル画像データを出力するフレームストアに出力する、請求項 13 に記載の駆動方法。

20

【請求項 16】

前記データ解析工程において、後続するフレームにおける前記デジタル画像データの画像が、先行する前記デジタル画像データの画像の平行移動、または実質的な平行移動を表す場合、該 2 つのフレームにおけるデジタル画像データ同士は実質的に同じであるとみなされる、請求項 8 に記載の駆動方法。

【請求項 17】

前記データ解析工程が、

30

第 1 フレームにおいて、前記アクティブマトリクス液晶ディスプレイの第 1 の領域の前記デジタル画像データにより第 1 のサブシグニチャを生成する工程と、

該第 1 フレームにおいて、該第 1 の領域の各画素を平行移動させた場合に相当する第 2 の領域の該デジタル画像データにより第 2 のサブシグニチャを生成する工程と、

該第 1 のフレームに連続する第 2 のフレームにおいて、該第 1 の領域の該デジタル画像データにより第 3 のサブシグニチャを生成する工程と、

該第 2 のフレームにおいて、該第 2 の領域の該デジタル画像データにより第 4 のサブシグニチャを生成する工程と、

該第 1 のフレームにおいて生成された該第 1 および第 2 のサブシグニチャを、該第 2 のフレームにおいて生成された該第 3 および第 4 のサブシグニチャとそれぞれ比較して、該第 3 または第 4 のサブシグニチャと、該第 1 または第 2 のサブシグニチャとが、一致するかを判定する工程とを包含する、請求項 16 に記載の駆動方法。

40

【請求項 18】

前記第 1 ～ 第 4 の各サブシグニチャが、線形フィードバックレジスタを用いて生成される、請求項 17 に記載の駆動方法。

【請求項 19】

前記第 1 の領域および前記第 2 の領域が、少なくとも 8 個の画素によってそれぞれ形成されている、請求項 17 または 18 に記載の駆動方法。

【請求項 20】

前記第 1 の領域および前記第 2 の領域が、前記アクティブマトリクス液晶ディスプレイ

50

の端に隣接する任意の画素を含まない、請求項 17 ~ 19 のいずれかに記載の駆動方法。

【請求項 21】

前記マルチフォーマットデジタルデータドライバは、前記ディスプレイモードが更新される場合に、前記データラインを駆動するために印加される電圧の極性を、連続するフレームにおいて反転する、請求項 8 に記載の駆動方法。

【請求項 22】

前記マルチフォーマットデジタルデータドライバは、前記ディスプレイモードが更新されない場合に、前記データラインを駆動するために印加される電圧の極性を、連続するフレームにおいて反転しない、請求項 8 に記載の駆動方法。

【発明の詳細な説明】

10

【0001】

【発明の属する技術分野】

本発明の第1の局面は、アクティブマトリクス液晶ディスプレイ（LCD）用の駆動装置に関する。

【0002】

【従来の技術】

図1に、N行およびM列の画素4を含む、典型的なアクティブマトリクス液晶ディスプレイ（AMLCD）2を示す。マトリクスの周辺のボックスは、ディスプレイドライバ電子部品を表し、これらの電子部品は、画素トランジスタゲート電極（図示せず）の各行に接続された出力を有する走査ドライバ6、および画素トランジスタソース電極（図示せず）の各列に接続された出力を有するデータドライバを含む。走査ドライバ6およびデータドライバ8は、アナログまたはデジタルのいずれであってもよく、IC技術において、または、薄膜トランジスタを用いてモノリシックに実現され得る。

20

【0003】

デジタルドライバを有する典型的なAMLCDにおいて、外部LCコントローラICは、タイミング信号および制御信号と共に、デジタル画像データのストリームをデータドライバに供給する。その画像データは、通常、線順次式の、固定されたnビット並列RGBフォーマットで、データクロックおよびライン（水平）同期パルスの制御下、入力レジスタのアレイにクロックされる。nビットRGBデータのラインが入力レジスタに読み込まれた後、nビット格納レジスタのアレイに転送される。入力データの続くラインが、入力レジスタにサンプリングされている間、格納レジスタ内のデータは、アクティブマトリクスのMデータラインを駆動するアナログ電圧を提供するため、nビットデジタル-アナログ変換器（DAC）のアレイに入力される。走査ドライバの行順次式の出力は、データライン上のデータを受け取るため、N列の画素トランジスタのうちどれがアクティブにされるのかを決定する。

30

【0004】

アナログドライバを有する典型的なAMLCDにおいて、外部コントローラICは、タイミングおよび制御信号と共に、アナログ映像信号をデータドライバに供給する。アナログデータドライバには、2つの主なタイプがあり、ラインアットアタイムまたはポイントアットアタイムと呼ばれる。ラインアットアタイムドライバにおいて、画像データの1本のラインが、アナログバッファを通じてアクティブマトリクスに印加される前に、ドライバ内の格納コンデンサに読み込まれる。あるいは、ポイントアットアタイムアナログドライバにおいて、ドライバのタイミング生成器によって制御されるサンプリングトランジスタを通じて、映像データは直接アクティブマトリクスのデータラインに書き込まれる。

40

【0005】

典型的なLCコントローラIC10の一例を、図2に示す。コントローラは、輝度およびクロミナンスフォーマットまたはRGBフォーマットのいずれかの入力映像データを取得し得、アナログまたはデジタルのいずれかでガンマ補正されたRGBを、アクティブマトリクスディスプレイのLCデータドライバに供給する。画面上表示データ、例えば、輝度などのユーザインターフェース機能は、SRAMメモリ12によって供給され、図に示す

50

表示ミキサー回路 14 において映像データを上書きするように用いられる。

【0006】

標準的な固定されたフォーマット表示の上記の説明から、データドライバ、コントローラ IC、およびディスプレイの電力消費が、基本的に一定であることが明らかである。データドライバおよび IC コントローラ内の電力消費の典型的な源には、データサンプリング回路、分散されたクロックおよびタイミング信号、ならびに DAC および増幅器回路が含まれる。

【0007】

インターネット携帯用電話および携帯用情報端末 (PDA) などの移動通信および情報製品の分野において、電力消費を最小限に抑えながら、各種の画像フォーマットを表すことができるディスプレイが必要とされる。このようなアプリケーションの一例を図 3 に示す。図 3 は、ハンドセットで実行されるアプリケーションに従って、各種の画像フォーマットを表すことができる、概念的な携帯電話ハンドセットを示す。所望される画像フォーマットは、高品質映像データまたは高解像度カラーテキスト、ならびにビデオオーバーレイから、低解像度スタンバイグラフィックスまたは低フレームレートテキストまで含む。

10

【0008】

上記のタイプの標準デジタルデータドライバおよびコントローラは、典型的には、RGB につき 6 ~ 8 ビット、60 Hz フレームレートで、映像および高解像度カラーグラフィックスのアクティブマトリクスディスプレイを駆動する要件を満たし得る。しかし、この解決法は、入力画像が、例えば、カラー解像度および / またはフレームレートが低減されるなど、低品質である場合、不必要に電力を消費する。

20

【0009】

上記の問題を解消するため、かつ、複数のオーバーレイ機能用の入力ソースを支援するため、出願人は、図 4 に示すように、マルチフォーマットデジタルデータドライバ 16 およびアクティブマトリクスディスプレイを提案する。このタイプのデータドライバにおいて、動作のモードは、単純なフォーマット制御信号 (SB、MB、NB、および FRC) によって制御される。フォーマットは、表示されるデータのタイプに従って、電力消費を最適化するために選択される。動作モードの例として、モノクローム、各種解像度の色 (ビット面) 設定、1 色につき 1 ビットデータオーバーレイ (スーパーインポーズ) 機能、および低減されたフレームレート駆動がある。

30

【0010】

マルチフォーマットドライバ 16 は、標準クロックおよび制御信号、ならびに複数の画像データ入力を取得する。画像データ入力には、例えば、カラーグレースケール入力およびバイナリカラー入力などがある。グレースケール入力 D (1 : n + m) は、n + m ビット幅の並列入力であり、m は、グレースケール最上位データビットの数に対応し、n は、グレースケールの最小位データビットの数に対応する。入力は、ビット 1 ~ n + m を含むので、D (1 : n + m) で表される。この入力は、2 つの解像度のうちの 1 つでグレースケール画素画像データを供給する。n + m ビットの全てがドライバ 16 によって読み出される高解像度と、m 個の MSB のみがドライバ 16 によって読み出される低解像度である。バイナリ入力 D は、独立した黒 / 白画素画像データを供給する 1 ビット入力である。

40

【0011】

マルチフォーマットドライバ 16 の動作モード、すなわち、ドライバフォーマットは、フォーマット制御信号によって制御される。フォーマット制御信号が、図において示される。示している例において、3 つのビット解像度制御 (BRC) 制御信号、SB、MB、および NB が、フレームレート制御 (FRC) 信号と共に供給される。ビット解像度信号は、マルチフォーマットドライバ 16 の構成要素に必要な場合に分散され、電力消費が最も低い状態で、特定のドライバフォーマットがイネーブルになり得る。

【0012】

図 5 に、画質と電力消費との間のトレードオフを示す。この図から、電力消費が最も低いのは 1 ビットテキストデータであり、電力消費が最も高いのは、1 ビットのオーバーレイ

50

テキストでの $n + m$ (例えば、6) 映像データであることが分かる。

【0013】

図6の表に、3つのビット解像度信号SB、MB、およびNBがどのように用いられて、図5に示す5つの可能なドライバフォーマットモードを選択するのかという一例を示す。各制御信号は、図7に示す、マルチフォーマットドライバ16内の特定の回路をイネーブルする役割を果たす。SBは、単一入力データストリームDに関連する回路部18をイネーブルする。単一入力データストリームDは、1ビットディスプレイモードの間、およびオーバーレイ機能が適用される場合、用いられる。MBは、グレースケール入力の最上位ビットD($n + 1 : n + m$)に関連する回路部20をイネーブルする。NBは、グレースケール入力の最下位ビットD($1 : n$)に関連する回路部22をイネーブルする。表に示す入力信号の組合せのほか、フォーマット制御信号全てが0である場合には、マルチフォーマットドライバ16は、本質的に、オフである。

10

【0014】

図8に示す、可変解像度デジタル - アナログ変換器(DAC)24は、入力データを、パネルのデータラインの駆動に適切なアナログフォーマットに変換するために用いられる。回路の、特定のフォーマットに対して用いられない部分、特に、低解像度モードの間のバッファは、ディセーブルされて、電力消費が低減される。

【0015】

フレームレート制御信号(FRC)を用いて、入力フレームレートよりも遅い更新レートで、アクティブマトリクスディスプレイをリフレッシュするように回路部をイネーブルし得る。これは、入力データが変更しない、例えば、静止画像のような状況において電力を節約するために、特に有用であり得る。

20

【0016】

【発明が解決しようとする課題】

このように、電力の消費を抑えながら、幅広い画像フォーマットを表示できるディスプレイの必要性が高まってきている。

【0017】

【課題を解決するための手段】

本発明の第1の局面によると、添付の特許請求の範囲に記載されるような駆動装置およびアクティブマトリクスディスプレイが提供される。

30

【0018】

本発明は、ディスプレイの動作のモード、それによって電力消費および表示の質が、入力データ自体のフォーマットによって自動的に制御されることを可能にする。ドライバおよびディスプレイの動作モードおよび電力消費は、表示されるデータに従って、最適化される。従って、移動通信端末のような携帯機器の最大のバッテリー寿命が得られる。本発明は、シリコンICディスプレイドライバまたはポリシリコンモノリシックドライバなどの集積技術に、幅広く適用され得る。さらなる機能性のための回路オーバーヘッドは、非常に少ないので、このタイプのディスプレイドライバについて、大きな付加価値がある。

【0019】

本発明は、個別のコントローラICにおいて実現され得るか、あるいは、チップオンガラス(COG)結合によって、またはフレキシブルな回路接続を介して、アクティブマトリクスに接続され得るドライバIC内に分散される。あるいは、回路は、高または低温ポリシリコンのような薄膜トランジスタ(TFT)技術を用いて、アクティブマトリクスデバイスと同じ基板上に、モノリシックに集積されてもよい。本発明は、電力消費が最重要である、移動情報ディスプレイ用の制御回路部に、特に適用可能である。

40

【0020】

本発明の第2の局面は、液晶ディスプレイにおける電力低減に関する。より具体的には、本発明は、液晶ディスプレイにデジタル画像シーケンスを表示するために必要な電力を低減する方法、およびこの方法を実現するハードウェアに関連する。

【0021】

50

液晶ディスプレイは、ある程度の期間、静止、または実質的に静止し得る画像を表示するように用いられることがある。従来技術においては、画像が静止していても、同じレートで画像をリフレッシュし続けることによって、エネルギーが無駄にされていた。本発明は、このような環境において液晶ディスプレイが更新されるレートを低減することによって、電力消費を低減する。

【 0 0 2 2 】

線形フィードバックシフトレジスタ (L F S R) を用いて、画像シグニチャを発生させることが公知であるが、液晶ディスプレイの電力消費を低減するという点において、公知ではない。

【 0 0 2 3 】

U S 5 , 5 2 8 , 6 0 2 (W e s t ら) は、線形フィードバックシフトレジスタ (この文献では M I S R と呼ばれる) を用いて、表示される映像画像に対応するデータのストリームの長さを判定することを説明する。

【 0 0 2 4 】

U S 3 , 9 7 6 , 8 6 4 (G o r d o n ら) は、デジタル装置の欠陥をテストする方法を説明する。テスト中の回路におけるポイントで起こるバイナリ電圧から得られるデジタルワードは、適切にクロックされたフィードバックシフトレジスタに供給される。所定の遅延の後、レジスタは、シグニチャワード、回路の動きの特性を出力する。2つのシグニチャは、異なる時に得られるが、比較され得る。

【 0 0 2 5 】

U S 5 , 8 6 2 , 1 5 0 (L a v e l l e ら) は、L F S R を用いて画像シグニチャを生成することを説明する。

【 0 0 2 6 】

本発明の第2の局面によると、添付の特許請求の範囲に記載されているような方法が提供される。

【 0 0 2 7 】

本発明は、複数の異なるディスプレイモードで動作するアクティブマトリクス液晶ディスプレイ用の駆動装置であって、複数の連続するフレームのデジタル画像データを解析するデータ解析手段であって、該データ解析手段は、データ解析装置とフォーマット制御レジスタとを含み、該データ解析装置は、現在のフレームの始めでアクティビティ信号を第1の論理レベルにリセットし、該現在のフレームのデジタル画像データの値と前のフレームのデジタル画像データの値とが同じであるかどうかを判定し、両者が同じであると判定された場合には、ディスプレイが静止画を示していると判断して、該アクティビティ信号を第2の論理レベルに設定し、両者が異なると判定された場合には、該アクティビティ信号を該第1の論理レベルのままとし、該現在のフレームの終わりで該アクティビティ信号を該フォーマット制御レジスタに転送し、該フォーマット制御レジスタは、該データ解析装置から転送された該アクティビティ信号を記憶し、該記憶されたアクティビティ信号に対応するフォーマット制御信号を出力する、データ解析手段と、該データ解析手段の該フォーマット制御レジスタから出力される該フォーマット制御信号が、該第2の論理レベルに設定された該アクティビティ信号に対応するものである場合には、該デジタル画像データの1つ以上の連続的なフレームを更新しないように、該アクティブマトリクス液晶ディスプレイのデータラインを駆動するマルチフォーマットデジタルデータドライバとを備える。

【 0 0 2 8 】

前記データ解析手段が、前記マルチフォーマットデータドライバのブロック内に分散されていてもよい。

【 0 0 3 2 】

前記デジタル画像データは、それぞれが所定のビット数の複数の入力データを有していてもよい。

【 0 0 3 5 】

10

20

30

40

50

前記マルチフォーマットデータドライバは、複数の可変ビット解像度デジタル - アナログ変換器を備えていてもよい。

【 0 0 3 6 】

前記マルチフォーマットデータドライバが、所定のフレームストアから前記デジタル画像データを受け取るデジタルデータ入力チャネルを備えていてもよい。

【 0 0 3 7 】

本発明のアクティブマトリクス液晶ディスプレイは、前記駆動装置を備える。

【 0 0 3 8 】

前記駆動装置は、アクティブマトリクスの薄膜トランジスタと同じ基板上にモノリシックに集積されてもよい。

【 0 0 3 9 】

前記薄膜トランジスタは、ポリシリコン薄膜トランジスタであってもよい。

【 0 0 4 0 】

また、本発明は、複数の異なるディスプレイモードで動作するアクティブマトリクス液晶ディスプレイ用の駆動装置によって、該アクティブマトリクス液晶ディスプレイを駆動する駆動方法であって、該駆動装置は、データ解析手段とマルチフォーマットデジタルデータドライバとを含み、該データ解析手段は、データ解析装置とフォーマット制御レジスタとを含み、該方法は、該データ解析手段が、複数の連続するフレームのデジタル画像データを解析するデータ解析工程であって、該データ解析工程は、該データ解析装置が、現在のフレームの始めでアクティビティ信号を第 1 の論理レベルにリセットし、該現在のフレームのデジタル画像データの値と前のフレームのデジタル画像データの値とが同じであるかどうかを判定し、両者が同じであると判定された場合には、ディスプレイが静止画を示していると判断して、該アクティビティ信号を第 2 の論理レベルに設定し、両者が異なると判定された場合には、該アクティビティ信号を該第 1 の論理レベルのままとし、該現在のフレームの終わりで該アクティビティ信号を該フォーマット制御レジスタに転送する工程と、該フォーマット制御レジスタが、該データ解析装置から転送された該アクティビティ信号を記憶し、該記憶されたアクティビティ信号に対応するフォーマット制御信号を出力する工程とを包含する、データ解析工程と、該データ解析工程において該フォーマット制御レジスタから出力される該フォーマット制御信号が、該第 2 の論理レベルに設定された該アクティビティ信号に対応するものである場合には、該デジタル画像データの 1 つ以上の連続的なフレームを更新しないように、該マルチフォーマットデジタルデータドライバが、該アクティブマトリクス液晶ディスプレイのデータラインを駆動する駆動工程とを包含する。

【 0 0 4 4 】

前記デジタル画像データは、それぞれが所定のビット数の複数の入力データを有してもよい。

【 0 0 4 5 】

前記データ解析工程において、前記複数の連続するフレームのデジタル画像データのシグニチャをそれぞれ生成して、複数の連続的なフレームについて該シグニチャが同じであるかどうかを判定してもよい。

【 0 0 4 6 】

前記シグニチャが、各フレームにおける画像を表す全てのデータビットの合計であってもよい。

【 0 0 4 7 】

前記シグニチャが、前記各フレームにおける画像を表すデータビットのシーケンスを考慮に入れて生成されてもよい。

【 0 0 4 8 】

前記シグニチャが、線形フィードバックレジスタを用いて生成されてもよい。

【 0 0 4 9 】

前記シグニチャを生成する場合、前記フレームにおける画像の各画素の輝度レベルを表

10

20

30

40

50

すビットの少なくともいくつかが無視されてもよい。

【 0 0 5 0 】

前記無視される単数または複数のビットは、単数または複数の最下位ビットであってもよい。

【 0 0 5 1 】

前記データ解析工程において解析される各フレームの前記デジタル画像データが、前記アクティブマトリクス液晶ディスプレイの一部のみを占める画像に関するものであってもよい。

【 0 0 5 2 】

前記データ解析工程において解析される各フレームの前記デジタル画像データは、前記アクティブマトリクス液晶ディスプレイを複数の領域に分割した場合の各領域におけるそれぞれの画像に関するものであってもよい。

10

【 0 0 5 3 】

前記データ解析工程において、前記アクティブマトリクス液晶ディスプレイの一部の領域における前記デジタル画像データが連続するフレームにおいて同じであると判定される場合、該アクティブマトリクス液晶ディスプレイの該一部の領域における前記ディスプレイモードが更新されることを防ぐフォーマット制御信号が出力されてもよい。

【 0 0 5 4 】

前記データ解析工程において、前記アクティブマトリクス液晶ディスプレイの一部の領域における前記デジタル画像データが連続するフレームにおいて同じであると判定される場合、該アクティブマトリクス液晶ディスプレイの該一部の領域におけるデジタル画像データが前記マルチフォーマットデジタルデータドライバに入力されることを防ぐフォーマット制御信号が、該マルチフォーマットデジタルデータドライバに前記デジタル画像データを出力するフレームストアに出力してもよい。

20

【 0 0 5 5 】

前記データ解析工程において、後続するフレームにおける前記デジタル画像データの画像が、先行する前記デジタル画像データの画像の平行移動、または実質的な平行移動を表す場合、該2つのフレームにおけるデジタル画像データ同士は実質的に同じであるとみなされてもよい。

【 0 0 5 6 】

30

前記データ解析工程が、第1フレームにおいて、前記アクティブマトリクス液晶ディスプレイの第1の領域の前記デジタル画像データにより第1のサブシグニチャを生成する工程と、該第1フレームにおいて、該第1の領域の各画素を平行移動させた場合に相当する第2の領域の該デジタル画像データにより第2のサブシグニチャを生成する工程と、該第1のフレームに連続する第2のフレームにおいて、該第1の領域の該デジタル画像データにより第3のサブシグニチャを生成する工程と、該第2のフレームにおいて、該第2の領域の該デジタル画像データにより第4のサブシグニチャを生成する工程と、該第1のフレームにおいて生成された該第1および第2のサブシグニチャを、該第2のフレームにおいて生成された該第3および第4のサブシグニチャとそれぞれ比較して、該第3または第4のサブシグニチャと、該第1または第2のサブシグニチャとが、一致するかを判定する工程とを包含してもよい。

40

以上

【 0 0 5 7 】

前記第1～第4の各サブシグニチャが、線形フィードバックレジスタを用いて生成されてもよい。

【 0 0 5 8 】

前記第1の領域および前記第2の領域が、少なくとも8個の画素によってそれぞれ形成されていてもよい。

【 0 0 5 9 】

前記第1の領域および前記第2の領域が、前記アクティブマトリクス液晶ディスプレイ

50

の端に隣接する任意の画素を含まなくてもよい。

【 0 0 6 0 】

前記マルチフォーマットデジタルデータドライバは、前記ディスプレイモードが更新される場合に、前記データラインを駆動するために印加される電圧の極性を、連続するフレームにおいて反転してもよい。

【 0 0 6 1 】

前記マルチフォーマットデジタルデータドライバは、前記ディスプレイモードが更新されない場合に、前記データラインを駆動するために印加される電圧の極性を、連続するフレームにおいて反転しなくてもよい。

【 0 0 6 3 】

【 発明の実施の形態 】

本発明の実施形態は、添付の図面を参照しながら、例示する目的のみで、説明される。

【 0 0 6 4 】

本発明の実施形態の簡略的なブロック図を、図 9 に示す。データ解析手段 2 6 は、プログラム可能マルチフォーマットデジタルデータドライバ 2 8 にフォーマット制御信号を生成するため、ディスプレイタイミング信号の制御の下、入力データで動作する。データ解析手段 2 6 は、ディスプレイドライバ 2 8 から遠隔的に、例えば、LC コントローラ（図示せず）内で、実現されてもよいし、データドライバ 2 8 自体の中で分散されてもよい。

【 0 0 6 5 】

図 1 0 に、データ解析手段 2 6 の機能的部品の概略的な図を示す。データ解析手段 2 6 は、2 つの主な機能的装置を備える。データ解析装置 3 0、およびフォーマット制御レジスタ 3 2 である。

【 0 0 6 6 】

データ解析装置 3 0 内に、データの各フレームの間に複数のデジタル画像データ入力で動作する解析ロジックブロック 3 4 のアレイがある。ロジックブロック 3 4 は、入力データストリーム内の特定のビットシーケンスまたはビットアクティビティを検出する単純な組合せのロジックであってもよいし、あるいは、加算器またはカウンタのような、より複雑な機能であってもよい。

【 0 0 6 7 】

ロジックブロック 3 4 からの出力は、テンポラリーレジスタ（図 1 0 において S R ブロックによって表されており、例えば、図 1 2 には、このようなテンポラリーレジスタが 3 つ示されている）のアレイにおいてラッチされる。テンポラリーレジスタは、例えば、Vsync 垂直同期パルスを用いて、データの各フレームの始めでリセットされる。各フレームは、N 本のラインによって構成され、垂直および水平同期パルスは、各フレームおよびラインのそれぞれの始めで生成する。

【 0 0 6 8 】

データのフレームの終わりで、そのフレームについての解析結果が、例えば、走査ドライバの最後の行からのゲートパルスを用いて、テンポラリーレジスタからクロックされ、フォーマット制御レジスタ 3 2 に格納される。フォーマット制御レジスタ 3 2 の出力は、データの次のフレームのフォーマット制御信号として用いられる。

【 0 0 6 9 】

データ解析手段 2 6 の概略的なタイミング図を、図 1 1 に示す。時刻 T_0 で、テンポラリー格納レジスタ 3 6 は、Vsync 信号によって「リセット」され、これはデータの新たなフレームの始めを示す。データは、データ解析手段 2 6 に入り、ディスプレイドライバ 2 8 に直接入力される。ディスプレイドライバ 2 8 は、前のフレームから得られるフォーマット制御信号に従って、前もって構成される。

【 0 0 7 0 】

データの新たなラインの各々は、データ解析手段 2 6 にクロックされるにつれて、ロジックブロック 3 4 のアレイは、ビット数、またはテキストデータがあるかどうかなど、特定のアクティビティまたはシグニチャパターンのデータをモニタリングする。特定のシグニ

10

20

30

40

50

チャパターンが検出される場合、関連するロジックブロックは、「ハイ」信号を出力し、対応するテンポラリー格納レジスタ36は「セット」される。時刻 T_1 で、行Nの走査ドライバパルスからのハイ信号 G_N は、データの最後の行がデータ解析手段26に読み込まれることを示し、テンポラリー格納レジスタ36からの結果は、フォーマット制御レジスタ32のアレイにクロックされる。

【0071】

T_1 と T_2 との間の時間に、フォーマット制御信号を用いて、データの次のフレームについて、マルチフォーマットデジタルデータドライバ28を、現在のフレームの間受け取ったデータと同じタイプのデータについて、最適、または電力が最も低い構成に再構成する。

【0072】

図12に、図6に示すフォーマット制御信号でマルチフォーマットデジタルデータドライバ28を駆動するのに適切なデータ解析手段26の実施形態を示す。この簡略的な実施形態において、2つのロジックブロック38および40、3つのテンポラリー格納レジスタ42、44、および46、ならびに、ドライバ28のビット解像度を制御する3つのフォーマット制御信号(NB、MB、SB)がある。データの各フレームの間、「OR」ゲート38および40は、MSB画像データ入力、LSB画像データ入力、またはテキストデータ入力のうちのいずれかの中にアクティビティがあるかどうかを検出する。アクティビティが検出される場合、対応する「SRラッチ」(42、44、46)は、「セット」され、アクティビティ信号 A_N 、 A_M および A_S は、フレームの終わりで、フォーマット制御レジスタ32に転送される。

【0073】

この実施形態のタイミング図を、様々なデータフォーマットについて、図13に示す。時刻 T_1 で、全てのアクティビティ信号は、フレーム同期パルス V_{sync} によって「ロー」にリセットされ、フォーマット制御信号MB、NB、およびSBは、前のフレームによって決定された値を維持する。MBは「ハイ」であり、NBおよびSBは「ロー」、すなわち、ドライバ28は、mビットモードに構成される。データの第1のフレームの間、時刻 T_2 で、MSBアクティビティ信号 A_M は、(矢印48によって示すように)ただちにハイになり、mビットデータが存在することを示す。時刻 T_3 で、データ解析手段26は、LSBデータ、およびMSBデータにおけるアクティビティを検出し、アクティビティ信号 A_N も、(矢印50によって示すように)ハイになる。フレームの終わりで、全てのアクティビティ信号が、時刻 T_4 でフォーマット制御レジスタ32に転送される。従って、また、ドライバ28は、次のフレームの始めで、(矢印52によって示すように) $n+m$ ビットモードに構成される。時刻 T_5 で、全ての解析信号が、再度リセットされる。時刻 T_6 で、テキスト解析信号 A_S も、(矢印54によって示すように)ハイになり、フレーム3について、(図5に示すように)ドライバが、(矢印56によって示すように)1ビットオーバーレイで $n+m$ ビットモードに構成される。

【0074】

図14は、データ解析手段26の実施形態を示す。データ解析手段26を用いて、静止画像データを検出し、フォーマット制御信号を出力する。フォーマット制御信号は、画素の漏れの考慮することによって必要とされる時刻まで、マルチフォーマットドライバ28によって用いられて液晶のリフレッシュをディセーブルする。この実施形態の基本的な動作は、以下の通りである。

【0075】

解析手段26の中心は、データの各フレームの始めでリセットされ、フレーム内の入力データの加算実行を行うチェックサム装置である。チェックサム装置58の出力は、現在のチェックサムを前のフレームからのチェックサムと比較するコンパレータ60に接続される。コンパレータ60は、現在のフレームのチェックサム n が前のフレーム $n-1$ のチェックサムと同じである場合、「ハイ」ロジックレベルを出力する。

【0076】

フレーム n の終わりで、コンパレータ60からの出力は、フォーマット制御レジスタ32

10

20

30

40

50

に転送され、フレーム n についてのチェックサムは、ラッチ 6 2 に転送され、データの次のフレームのチェックサムと比較される準備ができる。

【 0 0 7 7 】

所望の実施形態は、各フレームの後にデータドライバのディスプレイモードを更新するが、他の間隔も可能である。例えば、データ駆動ディスプレイモードは、入力データの各ラインが解析された後に更新され得る。

【 0 0 7 8 】

次に、本発明のさらなる局面に関する特定の例示的な実施形態を説明する。

【 0 0 7 9 】

ここで説明する実施形態において、図 1 7 および 1 8 を参照しながら以下でより詳細に説明される線形フィードバックシフトレジスタ (L F S R) によって、デジタルシグニチャが生成される。

10

【 0 0 8 0 】

図 1 5 に、画像データの各フレームについてシグニチャ (数値である) を作成し、連続的なフレームのシグニチャを比較して、フレームが変更したかどうかを確認するデータ解析構成 1 0 2 を示す。2 つの連続的なシグニチャが同一であると認められる場合、ディスプレイが静止画を示しているとおそらく見なされ、ディスプレイは、画像データの 1 つ以上の連続的なフレームを「無視」または「スキップ」(すなわち、更新しない) ように設定される。これによって、LCD の不必要なリフレッシュを避けることによって、LCD 上で情報が更新される頻度が、電力消費を最小限にするような状態で制御されることが可能になる。

20

【 0 0 8 1 】

2 つの連続的なフレームを比較する方法の 1 つは、画像のビット全ての単純なビットカウントを行うことである。しかし、同じビットカウントを有する 2 つの画像は、必ずしも同一ではなく、LFSR を用いることによって、連続的な画像を比較する、よりロバストな方法が提供される。

【 0 0 8 2 】

図 1 5 に、線形フィードバックシフトレジスタ (L F S R) 1 0 4、ラッチ 1 0 6、1 0 8、および 1 1 0、ならびにコンパレータ 1 1 2 を含むデータ解析構成 1 0 2 を示す。LFSR 1 0 4 は、データの各フレームのシグニチャを生成し、Vsync 信号によって、データの各フレームの始めでリセットされる。LFSR 1 0 4 の出力は、コンパレータ 1 1 2 に接続され、コンパレータ 1 1 2 は、現在のフレームのシグニチャを、ラッチ 1 0 8 によって格納されている前のフレームからのシグニチャと比較する。コンパレータ 1 1 2 は、現在のフレームのシグニチャ n が、前のフレームのシグニチャ n - 1 と同じである場合、「ハイ」ロジックレベルを出力する。

30

【 0 0 8 3 】

各フレームの終わりで、コンパレータ 1 1 2 からの出力は、ラッチ 1 1 0 に転送され、次のフレームについてフレームレート制御信号を提供するように用いられる。

【 0 0 8 4 】

図 1 6 に、データ解析構成 1 0 2 が、アクティブマトリクス液晶ディスプレイ 1 1 6 のデータドライバ 1 1 4 に制御信号をどのように提供するかを示す。アクティブマトリクスディスプレイ 1 1 6 には、走査ドライバ 1 1 8 も設けられている。データ解析構成 1 0 2 は、以下でより詳細に説明するように、フレームストア 1 2 0 から、画像データを受信し、フレームストア 1 2 0 に制御信号を供給し得る。

40

【 0 0 8 5 】

本明細書中で説明する実施形態において、画像データのフレームは、1 つ以上の部分に分割され、各部分について生成された別個のシグニチャを有する。例えば、ディスプレイ画面の上半分を占める第 1 の画像に対応する画像データは、第 1 のシグニチャ (「 1 u 」) を形成するように用いられる。画面の下半分に対応するデータは、第 1 のフレームについて、第 2 のシグニチャ (「 1 d 」) を形成するように用いられる。その後、これらのシグ

50

ニチャは、第2のフレームについて得られたシグニチャ(「2u」)および(「2d」)と比較され、その画面の半分は両方とも、これらの比較の結果に従って、更新される。例えば、静止アイコンのセットは、画面の上半分に現れ、動画グラフィックスが画面の下半分に現れる。この場合、1uおよび2uは同一であるが、1dおよび2dは異なる。画面の下半分は、フレーム1および2の両方において更新され得、画面の上半分の更新は、いくつかの数の連続的なフレームについてディセーブルされ得る。このプロセスが、ディスプレイ上の複数の領域に対応する複数のシグニチャを考慮して拡張され得ることが明らかである。フレーム対フレームの比較について選択された領域の配置、サイズおよび/または数は、時間が経つにつれて変動し得る。

【0086】

さらに、画素の輝度レベルを設定するために用いられるビットの全てが、画像のシグニチャの形成において用いられる必要があるわけではない。例として、8ビット画像を考える。ディスプレイの各RGBサブ画素は、 $2^8 - 1 (= 255)$ の輝度レベルのいずれかを示し得る。輝度レベルに対応する8ビットは、より上位部分およびより下位部分(最上位ビット(MSB)および最下位ビット(LSB))に分類され得る。例えば、最も上位のMSBにおける変化(例えば、2つの状態10000000および00000000)に対応する輝度状態の差は大きく、LSBの変化(00000001および00000000)の結果として発生する輝度の差は、非常に小さくてもよい。画像のシグニチャの形成において、各画素について、ビットのサブセットのみ(例えば、最も上位の7ビットのみ)を用いれば、充分である。すなわち、1つ以上のLSBのみにおいて、差が起きる場合、2つの画像が同一であるとして処理すれば(すなわち、2つの画像に同一のシグニチャを生じさせれば)、充分である。

【0087】

本明細書中で説明する実施形態において、2つのフレームのシグニチャが等しい場合、(電力を節約するため)、アクティブマトリクス液晶ディスプレイ116上の画素の更新を防ぐこと、また、フレームストア(または、フレームバッファ)120からデータのオリジナルの書き出しを防ぐことが所望される。

【0088】

図16にこの特徴を示す。ここで、データ解析構成102は、パネル上のタイミング(すなわち、フレームレート)と、(データインーブルライン122を介して)、データがフレームストア120(文献において「フレームバッファ」またはVRAMとも呼ばれる)によってまず書き出されたかどうかを制御する。

【0089】

図17に、4段LFSR104の一例を示す。レジスタは、4つのDQフリップフロップ124からなる。クロック信号ライン25の適切なクロック信号(例えば、立ち上がりエッジ)で、各フリップフロップ124のD入力に存在する入力電圧ビットは、次のクロック信号まで保持されるそれぞれのQ出力を通じてクロックされる。レジスタ出力(Q4)およびいわゆる「タップポイント」(ここでは、Q3)に存在する電圧は、XORロジックゲート126への入力を形成する。XORゲート126の出力は、レジスタの入力(D1)にフィードバックされる。

【0090】

このフィードバック構成の結果として、Q1~Q4での4つの電圧ビット(4ビットデジタルワードを構成するために共に用いられ得る)は、擬似ランダムシーケンス、すなわち、4ビットワードのシーケンスを通じて循環するようにされる。決定論的であるが、4ビットワードは、明らかな変化のパターンを示さない。例えば、最初に、Q1~Q4が、4ビットワード「1111」を保持する(典型的には、当業者にとって周知であるように、LFSR104にさらなる回路(図示せず)が設けられて、初期状態に予め設定されることが可能になる)場合、ワードの以下のシーケンスは、シフトレジスタを繰り返しクロックすることによって発生される。

【0091】

10

20

30

40

50

```

1 1 1 1
0 1 1 1
0 0 1 1
0 0 0 1
1 0 0 0
0 1 0 0
0 0 1 0
1 0 0 1
1 1 0 0
0 1 1 0
1 0 1 1
0 1 0 1
1 0 1 0
1 1 0 1
1 1 1 0

```

10

これらの15の状態になった後、レジスタは、状態「1111」に戻る。Q3でタップを有する4段LFSRは、状態の繰り返しの前の最大数の別個の状態を循環するという点で、最大の長さのLFSRである。所与の数の段を有する最大長LFSRは、複数のタップポイントが必要とし得る。最長LFSRのタップポイントは、文献において、表にされている。例えば、Q11でのタップポイントを有する18段LFSRは、擬似ランダムの様態で、262143個の別個の状態を循環する。最大循環長を生成するタップポイントを有するLFSR選択することが好適であり得るが、本発明はこのような選択に制限されず、他のタップポイントが選択され得る。

20

【0092】

図18において、さらなるロジックゲート（例えば、XORゲート28）が用いられて、LFSRによってデータセットのシグニチャが処理されることが可能になり得る。図18に、4段LFSR（概して、LFSRは、d入力よりも多い数の段を有し得る）への4ビットワードd（1:4）の入力の一例を示す。LFSRが初期的にワードQ1~Q4 = 「1111」を含み、常にd（1:4） = 「0000」である場合、レジスタは、上述の15ワードの循環を単に繰り返す。しかし、概して、ワードd（1:4）がクロックサイクルの間変更される場合、これは、LFSRの状態のシーケンスに影響を与える。例えば、2つの同一のLFSRは、同一の初期状態（例えば、Q1~Q4 = 「1111」）がロードされ、入力d（1:4）が2つのLFSRについて異なって変動するにも関わらず繰り返しくロックされて、概して、多くのクロックサイクルの後、異なるワードQ1~Q4を格納する。その後、ワードQ1~Q4は、入力（d1:4）のシーケンス、すなわち、概して異なるシグニチャQ1~Q4につながるd（1:4）入力の2つの異なるシーケンスの履歴の「シグニチャ」になる。

30

【0093】

この実施形態において、「d」入力データは、アクティブマトリクスLCD116に表示される画像に対応するデジタルデータである。デジタルシグニチャは、LFSR104への画像を含むデジタルワード（各画素の輝度レベルに対応する）を連続してクロックすることによって、画像について形成され、画像の画素データ全てが処理された後に画像のシグニチャが読み出される。

40

【0094】

例えば、6ビットディスプレイシステムにおいて、ディスプレイの赤、緑、および青（RGB）のサブ画素の各々は、6ビットワードによって設定された輝度を有する。同等に、各RGB画素トライアドの色は、18ビットワードによって設定される。画像データのフルフレームのシグニチャは、例えば18段を有するLFSRに、全ての18ビット画素ワードを連続的にクロックすることによって、形成され得る。画面が、例えば、307200画素（VGA解像度）を含む場合、LFSRは、全体で、18×307200ビット

50

のデータを受け取り、その後、 $2^{18} - 1$ の可能な状態のうちの1つ、その画像についてのシグニチャを構成する実際の状態に置かれる。

【0095】

LFSRの擬似ランダムな性質とは、もしデータの2つのフレームのたった1つのビットでも異なっていれば、これらのフレームのシグニチャが異なっている可能性が高いということである。これは、各画素ワード値の単なる数学的な加算と比較して、より信頼できる出力を提供する。なぜなら、1つの画像が、例えば、画面の一部分におけるカーソルアイコンを有し、第2の画像は、そのカーソルが移動している場合、2つの画像が異なる画像であるにも関わらず、同じ数学的チェックサムが求められるからである。

【0096】

ある状況において、2つの画像が同一であり、互いが、空間的に変換されたバージョンに過ぎない場合、2つの画像を同一と見なすことが有用であり得る。例えば、静止画は、細かいカメラのぶれを受けるデジタルカメラで見られ得る。画面の所与の要素は、ある瞬間において、ディスプレイの所与の画素に対応し得る。続くフレームにおいて、シーンの要素は、例えば、細かいカメラのぶれに起因して、隣接する画素に対応することが生じ得る。このような2つの連続的な画像を同一として処理することは有用であり得る。図5および6を参照することによって理解されるように、これは、画像データの各フレームについて、2つ以上のシグニチャを用いることによって達成され得る。

【0097】

図19に、 6×6 アレイの画素からなるLCD（実際には、高品質ディスプレイは、例えば、100,000個以上の画素を有し得る）上に表示される画像フレームを表す。図20に、データの後続のフレームを示す。この例において、画像は、画素1個分平行移動しているが、それ以外は同一であることが明らかである。これらの画像が同一のものであると意図される場合、平行移動は、例えば、画像ソースでのカメラの不注意なぶれの結果としてのみ起こり得る。2つのLFSR（または、1つの適切な時分割多重化LFSR）は、他には変化しない画像の平行移動を検出するために用いられ得る。

【0098】

第1のフレーム（図19に示す）におけるライン「A」の範囲内に完全に入る全ての画素についての、画素データのシグニチャ（または「サブシグニチャ」）「A1」の形成を考える。また、第2のシグニチャ「B1」は、第1のフレーム（図19）におけるライン「B」の範囲内に完全に入る全ての画素についての画素データについて形成される。このプロセスは、次のフレーム（図20）において繰り返されて、対応するシグニチャ「A2」および「B2」を形成する。その後、シグニチャA1およびB1は、A2およびB2と比較される。領域AおよびBの配置から、シグニチャA1およびB2が同一であることが明らかである。従って、

1. 画素1個分の距離、平行移動させ、2つのフレームの各々において、2つの領域の各々について、シグニチャを形成する工程と、
2. フレームnにおけるシグニチャを、フレームn+1におけるシグニチャと比較する工程と

によって、画像が、変化なしに、平行移動しただけの状況が識別され得る。

【0099】

図19および20において、LFSRシグニチャ解析の領域は、画素1個分の距離、右に移動する平行移動のみが検出されることを可能にする。例えば、8個の適切に配置された領域（A、B、C...）に対応する、1フレームにつき8個のシグニチャの生成は、上、下、左、右および4つの斜め方向のうちのいずれかの方向への、それ以外に変化のない画像の単純な平行移動の検出を可能にすることが明らかである。画素1個分の距離より大きい単純な平行移動は、適切な画素の領域に対応する適切な複数のシグニチャを同様に形成することによって、同様に検出され得る。

【0100】

図19および20において、画像の端の画素は、画像シグニチャの生成に含まれないこと

10

20

30

40

50

に留意されたい。これは、例えば、画像平行移動がカメラの振動の結果として起こる場合、例えば、カメラを動かして画面に新たな要素を入れるのに、有用であり得る。これによって、画像の残りにそれ以外の変化はないが、ディスプレイの端に沿ったそれらの画素に、新たなデータを受け取らせ得る。従って、この実施形態において、シグニチャを形成する場合、ディスプレイの端の1つ以上の画素の層に対応するデータを除外することが有用であり得る。

【0101】

液晶ディスプレイのDC平衡を取ることが周知である。動作中、液晶画素は、自身にわたって発生する電圧を有する。その電圧は、LCDの1つの基板上の画素電極と、他の基板上のカウンタ平面電極との間で規定される。一般的なLCDは、電圧極性の影響を受けないので、反対の極性は、画素の同一の輝度レベルにつながる。それにもかかわらず、画像性能を劣化させ得る、画素内のイオン不純物のドリフトのような問題点を避けるため、ある期間に液晶画素に印加される電圧の極性を変更することが有用であると理解される。

10

【0102】

簡略的な、例示的のDC平衡スキームにおいて、全ての画素が、2つの連続的なフレームについて、3Vデータ状態に対応する輝度を示す場合、全ての画素が、第1のフレームにおいて+3Vに切り替えられ、次のフレームにおいて-3Vに切り替えられ得る。

【0103】

データのフレームを更新しないという決定が、DC平衡を妨げることが理解される。多くの連続的フレームについて、同一であり続ける画像を考慮し、第3、第6、第9などのフレームがディスプレイ上で更新されない本発明の実施形態を考慮する。任意の1フレーム時間の間、画素全てが同じ極性（正または負のいずれか）のデータを受け取る簡略的なDC平衡スキームを考慮する。第1のフレームにおいて、全ての画素が正の電圧データを受け取ると考える。DC平衡を守るため、第2のフレームにおいて、全ての画素は、負の電圧データを受け取る。しかし、第3のフレームが更新されないので、画素が、第2のフレームおよび第3のフレームの全体について、負の電圧データを保持することになる。

20

【0104】

この実施形態において、システムは、フレームを更新しなかった後に、非更新フレームの間に使用される極性と同じ極性が後続のフレームに対して用いられ、ある期間にわたってDC平衡が保持されるように、構成される。

30

【0105】

従って、この例において、（第3のフレームが更新されず、負であるので）第4のフレームは、再度、負の電圧データで更新される。その後、DC平衡は、通常通り継続され、第5のフレームは、正のデータで更新される。第6のフレームは、更新されず、従って、全ての画素は、第5のフレームにおいて印加された正の電圧データを保持する。第6のフレームが更新されず、正であったなどの理由で、第7のフレームは、正の電圧データで更新される。

【0106】

この状態で、長時間にわたって、画素が、負の極性データと同じくらいの頻度で、正の極性データで駆動されるので、DC平衡がある期間にわたって保持されることが分かる。

40

【0107】

より複雑なDC平衡スキームが存在する。例えば、n番目のフレームにおける偶数の行全てが正の電圧データを受け取り、同じフレームの奇数の行全てが負の電圧データを受け取る、「行反転スキーム」がある。（n+1）番目のフレームにおいて、これらの極性は、反転される。この場合、上述の実施形態はなお適用可能である。記録（例えば、1ビットフラグ）は、前のフレームにおいて、偶数の行全てが正または負のデータを受け取るかどうか決定するために保持されることのみが必要である。行の極性のこの同じパターンは、その後、第1のフレームにおいて印加されて、画像が更新されない期間に続いて、更新される。

【0108】

50

本発明のアクティブマトリクス液晶ディスプレイ用の駆動装置は、(a)複数の異なるディスプレイモードで動作し、デジタル入力データを複数の異なるフォーマットで受け取り、液晶ディスプレイのデータラインを駆動するように構成され、入力データに対応する、ディスプレイによって画像が表示されるようにするマルチフォーマットデジタルデータドライバと、(b)デジタル入力データを受け取り、入力データのフォーマットを判定し、データドライバが、入力データのフォーマットに対応するディスプレイモードにおいて動作するように制御するように構成される、データ解析手段とを備える。

【0109】

画像のシーケンスを液晶ディスプレイに表示するために必要な電力を低減する方法も、提供される。この方法において、画像が解析され、連続する画像が同じ、または実質的に同じである場合、少なくとも後続の画像で、液晶ディスプレイは更新されない。

10

【0110】

【発明の効果】

本発明によれば、電力の消費を抑えながら、幅広い画像フォーマットを表示できるディスプレイが提供される。

【図面の簡単な説明】

【図1】図1は、アナログまたはデジタルドライバを有する典型的なアクティブマトリクスディスプレイを示す。

【図2】図2は、典型的なアクティブマトリクスディスプレイコントローラICを示す。

【図3】図3は、マルチフォーマット画像データの概念的なアプリケーションを示す。

20

【図4】図4は、マルチフォーマットドライバを示す。

【図5】図5は、マルチフォーマットディスプレイの電力消費対画質を示す。

【図6】図6は、フォーマット制御信号および選択されたディスプレイフォーマットの表を示す。

【図7】図7は、マルチフォーマットドライバのデータサンプリング回路の電力制御を示す。

【図8】図8は、可変解像度デジタル - アナログ変換を示す。

【図9】図9は、コンテンツ駆動ディスプレイフォーマット制御を達成する、本発明の一実施形態を示す。

【図10】図10は、図9のデータ解析手段の機能的部品を示す。

30

【図11】図11は、データ解析手段の概略的なタイミング図である。

【図12】図12は、ビット解像度制御信号を生成するように用いられるデータ解析手段の実施形態を示す。

【図13】図13は、図12のビット解像度制御の実施形態のタイミング図を示す。

【図14】図14は、静止画像を検出し、フレームレート制御信号を出力するように用いられるデータ解析手段の実施形態を示す。

【図15】図15は、液晶ディスプレイのデータドライバに供給される画像データを解析するデータ解析構成を示す。

【図16】図16は、データおよび走査ドライバ、ならびに図15のデータ解析構成が設けられているアクティブマトリクス液晶ディスプレイを示す。

40

【図17】図17は、図15のデータ解析構成における使用に適した4段線形フィードバックシフトレジスタ(LFSR)を示す。

【図18】図18は、LFSRがデータセットのシグニチャを生成することを可能にするように、さらなるロジックゲートが、図17の構成にどのように加えられるかを示す。

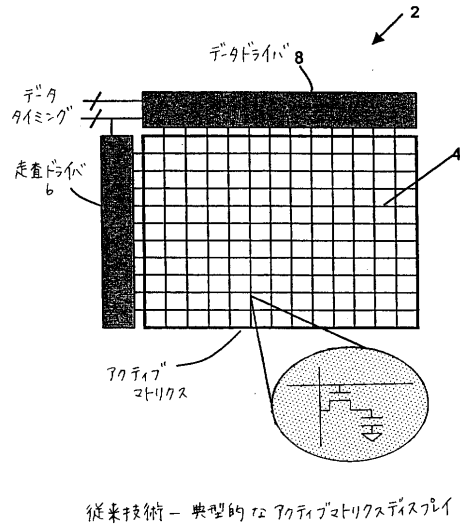
【図19】図19は、第1の画像についてのサブシグニチャの生成を示す。

【図20】図20は、画素1個分の距離の左への平行移動を表す、第2の画像についてのサブシグニチャの生成を示す。

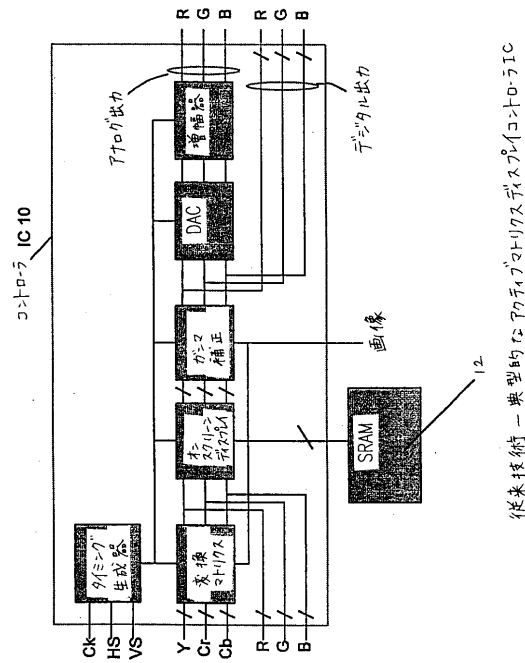
【符号の説明】

26 データ解析手段

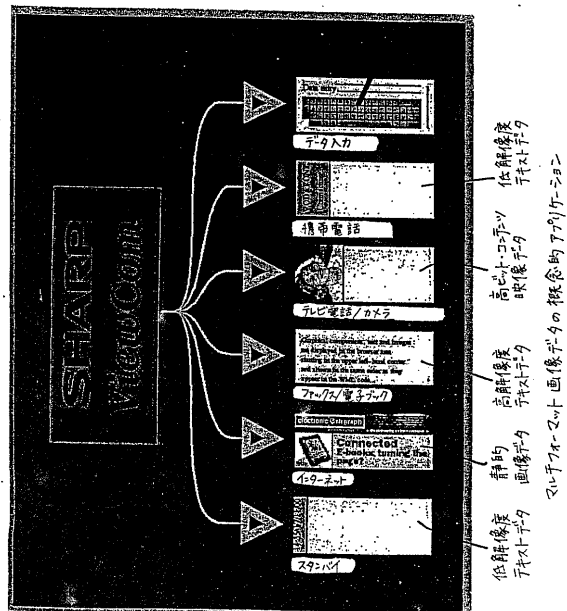
【 図 1 】



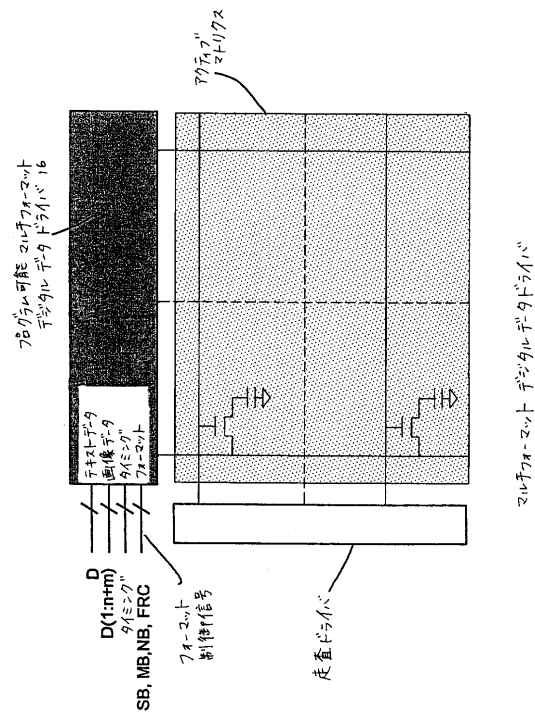
【 図 2 】



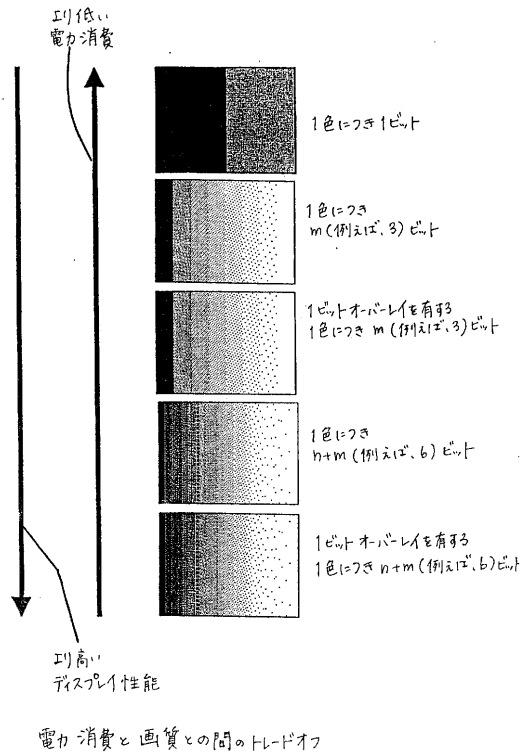
【 図 3 】



【 図 4 】



【図5】

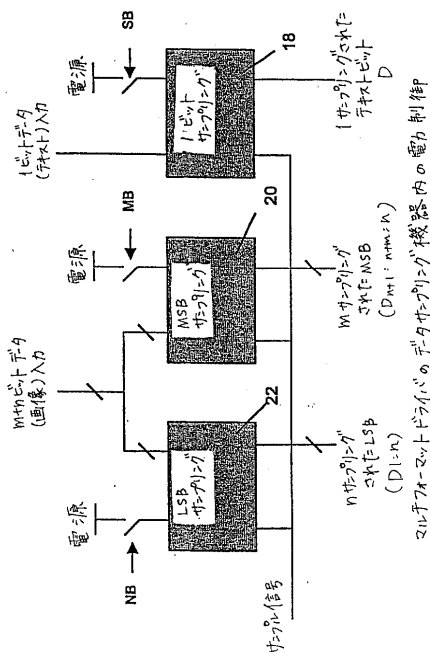


【図6】

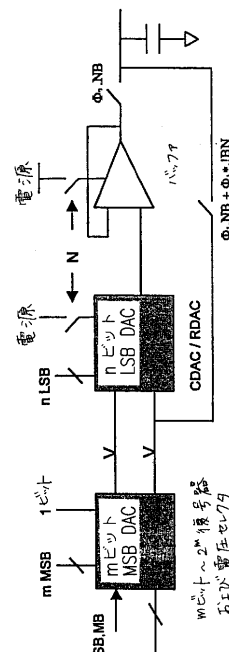
フォーマット制御P			
NB	MB	SB	ドライバフォーマット
0	0	1	1色につき1ビット
0	1	0	1色につきmビット
1	1	0	1色につきn+mビット
0	1	1	1ビットオーバーレイを有する 1色につきmビット
1	1	1	1ビットオーバーレイを有する 1色につきn+mビット

3つのフォーマット制御信号および選択されたフォーマットを示す表

【図7】

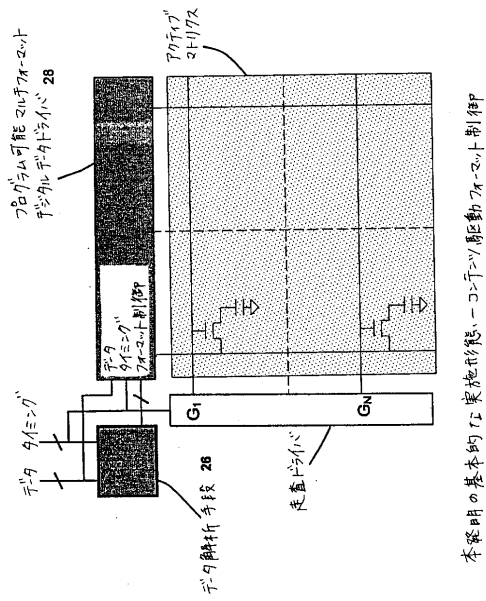


【図8】

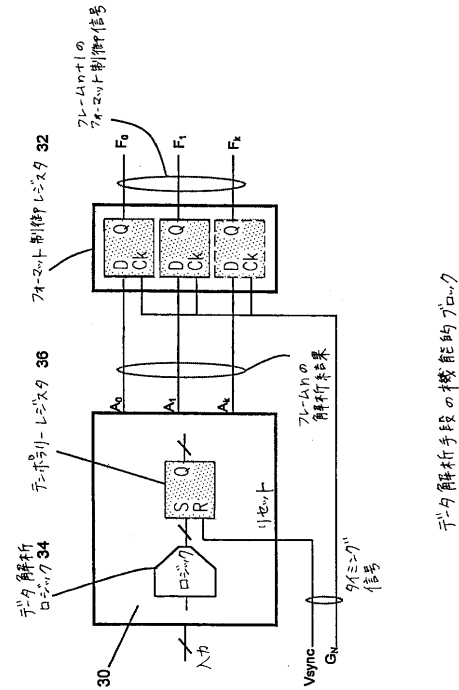


電力制御を有する可変解像度 DAC

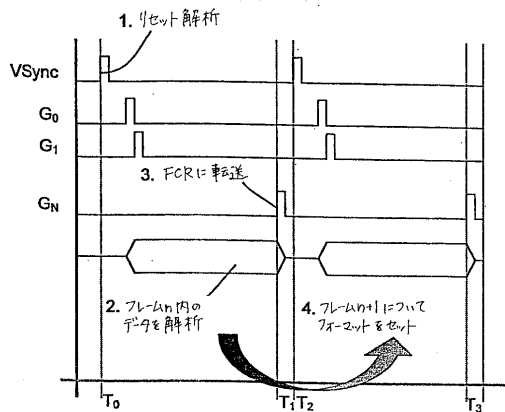
【 図 9 】



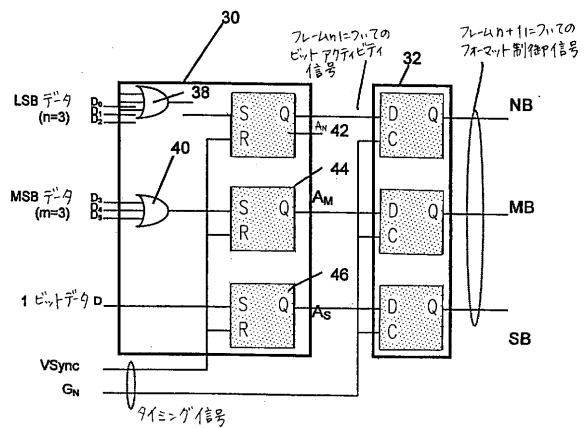
【 図 1 0 】



【 図 1 1 】



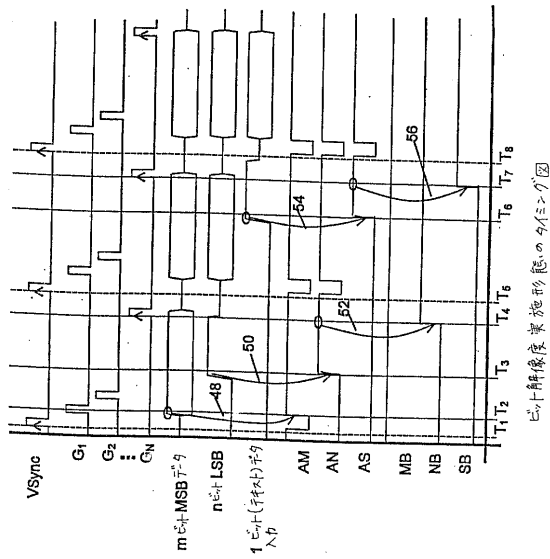
【 図 1 2 】



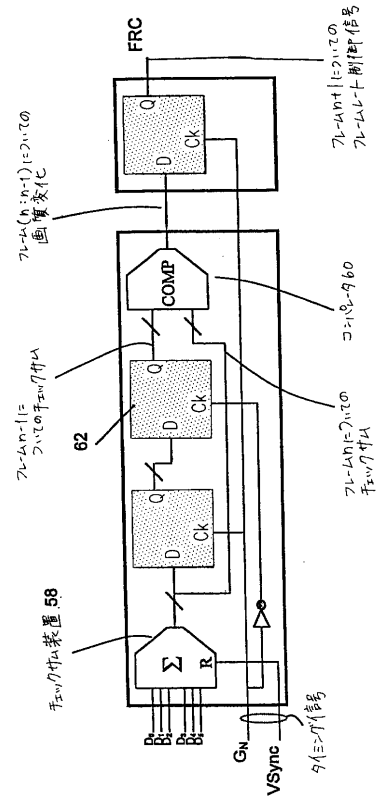
本発明の実施形態 - ビット解像度制御信号の生成

データ解析手段の概略的なタイミング図

【 図 1 3 】

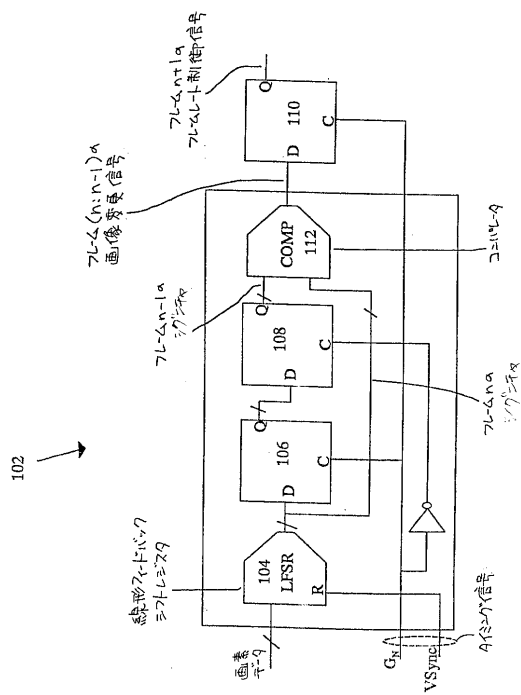


【 図 1 4 】

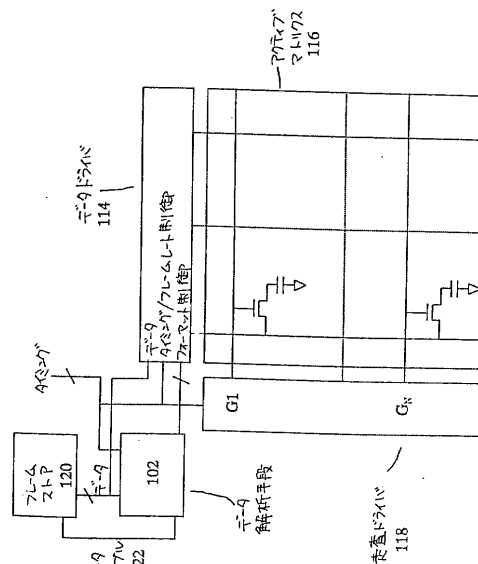


本發明の実施形態一静止画検出の解析手段

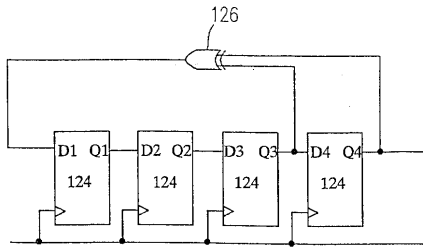
【 ㄨ 1 5 】



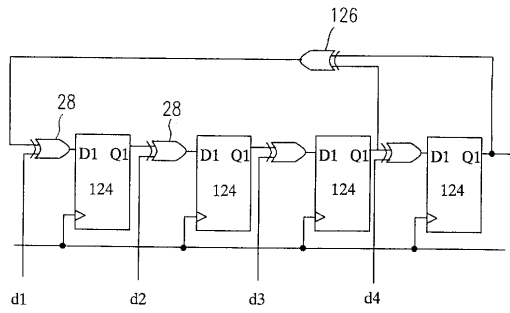
【 図 1 6 】



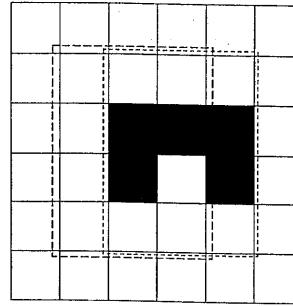
【図 17】



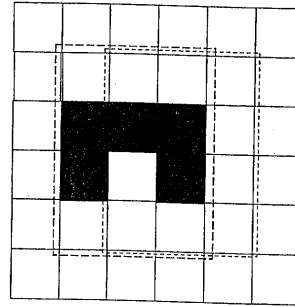
【図 18】



【図 19】



【図 20】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 5 0 B

(72)発明者 ハリー ガース ウォルトン
イギリス国 オーエックス4 3エヌイー オックスフォード, カウレー, ビューチャンプ
レーン, ビューチャンプ プレイス 4 5

(72)発明者 アンドリュー ケイ
イギリス国 オーエックス4 1エイチエイ オックスフォード, ハースト ストリート 9 9

審査官 一宮 誠

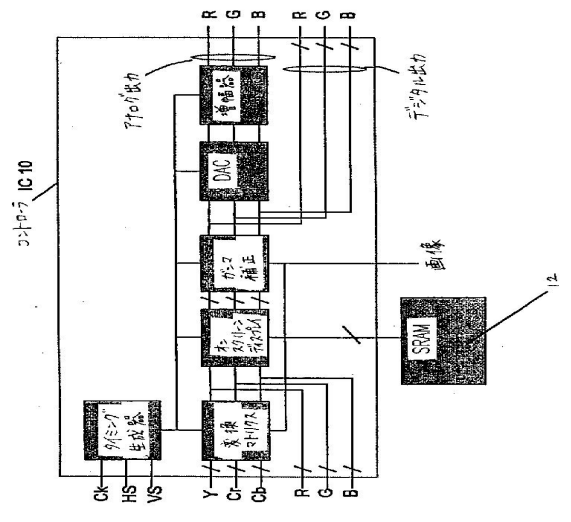
(56)参考文献 特開平08-313927(JP,A)
特開平11-237863(JP,A)
特開平09-034412(JP,A)
特開平11-133933(JP,A)
特開平11-231838(JP,A)
特開平09-050258(JP,A)
特開2000-163022(JP,A)
国際公開第97/032295(WO,A1)
特開平09-105912(JP,A)
特開平07-325557(JP,A)

(58)調査した分野(Int.Cl., DB名)
G09G 3/00 - 3/38
G02F 1/133

专利名称(译)	有源矩阵液晶显示器的驱动装置，有源矩阵液晶显示器，以及有源矩阵液晶显示器的驱动方法		
公开(公告)号	JP4148389B2	公开(公告)日	2008-09-10
申请号	JP2001263178	申请日	2001-08-31
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
当前申请(专利权)人(译)	夏普公司		
[标]发明人	マイケルジェームズブラウンロー グラハムアンドリューカーンズ ハリーガースウォルトン アンドリューケイ		
发明人	マイケル ジェームズ ブラウンロー グラハム アンドリュー カーンズ ハリー ガース ウォルトン アンドリュー ケイ		
IPC分类号	G09G3/36 G02F1/133 G02F1/1368 G09G3/20 G09G5/00		
CPC分类号	G09G3/3611 G09G3/2025 G09G3/3614 G09G3/3648 G09G3/3688 G09G5/005 G09G5/006 G09G2310/027 G09G2310/04 G09G2320/103 G09G2330/021 G09G2330/022 G09G2340/0428		
FI分类号	G09G3/36 G02F1/133.550 G02F1/1368 G09G3/20.611.A G09G3/20.650.A G09G3/20.650.B		
F-TERM分类号	2H092/GA59 2H092/GA60 2H092/JA24 2H092/KA04 2H092/KA05 2H092/NA01 2H092/NA26 2H093/NC13 2H093/NC16 2H093/NC34 2H093/ND39 2H192/AA24 2H192/FB13 2H192/FB23 2H192/GD61 2H193/ZA04 2H193/ZD37 5C006/AC11 5C006/AC24 5C006/AF23 5C006/AF45 5C006/AF51 5C006/AF53 5C006/AF54 5C006/AF83 5C006/BB16 5C006/BC12 5C006/BC16 5C006/FA04 5C006/FA47 5C080/AA10 5C080/BB05 5C080/DD21 5C080/DD26 5C080/EE26 5C080/FF11 5C080/GG02 5C080/JJ01 5C080/JJ02 5C080/JJ03 5C080/JJ04		
审查员(译)	一宮 誠		
优先权	2000021712 2000-09-05 GB		
其他公开文献	JP2002149139A		
外部链接	Espacenet		

摘要(译)

要解决的问题：在抑制功耗的同时显示宽图像格式。解决方案：用于有源矩阵液晶显示器的驱动装置包括 (a) 多格式数字数据驱动器，其以多种不同的显示模式操作;接收多种不同格式的数字输入数据;被配置为驱动液晶显示器的数据线;并且使图像显示在与输入数据相对应的显示器上，以及 (b) 接收数字输入数据的数据分析装置;决定输入数据的格式;并且被配置为控制数据驱动器以对应于输入数据的显示模式操作。还提供了一种用于降低在液晶显示器上显示图像序列所需的电力的方法。



従来の技術 一 典型的なビデオカメラのブロック図