

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4142672号
(P4142672)

(45) 発行日 平成20年9月3日(2008.9.3)

(24) 登録日 平成20年6月20日(2008.6.20)

(51) Int.Cl.		F I
GO2F	1/1368	(2006.01)
GO2F	1/1333	(2006.01)
GO2F	1/1339	(2006.01)
GO2F	1/1343	(2006.01)

GO2F	1/1368	
GO2F	1/1333	505
GO2F	1/1339	505
GO2F	1/1343	

請求項の数 30 (全 29 頁)

(21) 出願番号	特願2005-165266 (P2005-165266)	(73) 特許権者	501426046
(22) 出願日	平成17年6月6日(2005.6.6)		エルジー ディスプレイ カンパニー リ
(65) 公開番号	特開2005-346088 (P2005-346088A)		ミテッド
(43) 公開日	平成17年12月15日(2005.12.15)		大韓民国 ソウル, ヨンドゥンポーク, ヨ
審査請求日	平成17年6月8日(2005.6.8)		イドードン 20
(31) 優先権主張番号	2004-041139	(74) 代理人	100064447
(32) 優先日	平成16年6月5日(2004.6.5)		弁理士 岡部 正夫
(33) 優先権主張国	韓国 (KR)	(74) 代理人	100085176
			弁理士 加藤 伸晃
		(74) 代理人	100106703
			弁理士 産形 和央
		(74) 代理人	100094112
			弁理士 岡部 譲
		(74) 代理人	100096943
			弁理士 白井 伸一

最終頁に続く

(54) 【発明の名称】 液晶表示装置及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

第1及び第2基板と、
 前記第1基板上に、透明な第1導電層と不透明な第2導電層とを積層した二重構造のゲートラインと、
 前記ゲートライン上に形成された第1絶縁膜と、
 前記ゲートラインと交差して、透過領域と反射領域を持つ画素領域を定義するデータラインと、
 前記ゲートライン及びデータラインと接続された薄膜トランジスタと、
 前記画素領域に形成された前記第1導電層と、前記第1導電層の枠部に沿って積層された第2導電層とを持つ画素電極と、
 前記ゲートラインと前記第1絶縁膜を挟んで重畳されてストレージキャパシタを形成するストレージ上部電極と、
 前記薄膜トランジスタを覆う第2絶縁膜から前記画素電極の第2導電層まで貫通して、前記第1導電層を露出させる透過孔と、
 前記反射領域に形成され、前記透過孔のエッジ部を介して露出された前記ドレーン電極及び前記ストレージ上部電極を前記画素電極の前記第1及び第2導電層と接続させる反射電極と、
 前記ゲートラインから延長され、前記第2絶縁膜から前記第2導電層まで貫通する第1コンタクトホールを介して、前記第1導電層が露出されたゲートパッドと、

10

20

前記二重構造で形成され、データリンクを介して前記データラインと接続され、前記第2絶縁膜から前記第2導電層まで貫通する第2コンタクトホールを介して前記第1導電層が露出されるデータパッドと、

前記第1及び第2基板間の液晶層と、を備えることを特徴とする液晶表示装置。

【請求項2】

前記第2絶縁膜は有機物質で形成されたことを特徴とする請求項1に記載の液晶表示装置。

【請求項3】

前記薄膜トランジスタ及び第2絶縁膜間に第3絶縁膜をさらに備えることを特徴とする請求項1に記載の液晶表示装置。

10

【請求項4】

前記透過孔は前記第3絶縁膜を貫通することを特徴とする請求項3に記載の液晶表示装置。

【請求項5】

前記データリンクは、

前記二重構造で形成されて前記データラインの端部と重畳され、前記第2絶縁膜から前記データライン及び前記第1絶縁膜と前記データリンクの第2導電層を貫通して、前記データリンクの第1導電層を露出させる第1コンタクトホールと、

前記第1コンタクトホールを介して、前記データライン及び第2導電層とは側面接続され、前記データリンクの第1導電層とは面接続される第1コンタクト電極と、をさらに備えることを特徴とする請求項1に記載の液晶表示装置。

20

【請求項6】

前記第1コンタクト電極は、前記反射電極と同一の金属層で形成されたことを特徴とする請求項5に記載の液晶表示装置。

【請求項7】

前記データライン及びゲートラインの何れか一つと接続された静電気防止素子をさらに備えることを特徴とする請求項1に記載の液晶表示装置。

【請求項8】

前記静電気防止素子は、

前記データライン及びゲートラインの何れか一つと接続された第2薄膜トランジスタと

30

、
前記第2薄膜トランジスタのゲート電極及びソース電極間にダイオード型で接続された第3薄膜トランジスタと、

前記第2薄膜トランジスタのゲート電極及びドレイン電極間にダイオード型で接続された第4薄膜トランジスタと、

前記第3薄膜トランジスタのソース電極及びゲート電極を第2コンタクトホールを介して接続させる第2コンタクト電極と、

前記第3または第4薄膜トランジスタのドレイン電極及び前記第2薄膜トランジスタのゲート電極を第3コンタクトホールを介して接続させる第3コンタクト電極と、

前記第4薄膜トランジスタのソース電極及びゲート電極を第4コンタクトホールを介して接続させる第4コンタクト電極と、を備えることを特徴とする請求項7に記載の液晶表示装置。

40

【請求項9】

前記第2乃至第4薄膜トランジスタのゲート電極は、前記二重構造で形成されたことを特徴とする請求項8に記載の液晶表示装置。

【請求項10】

前記第2乃至第4コンタクト電極は、前記反射電極と同一の金属層で形成されたことを特徴とする請求項8に記載の液晶表示装置。

【請求項11】

前記第2乃至第4コンタクトホールは、前記第2絶縁膜から前記ソースまたはドレイン

50

電極、前記半導体パターン、前記第1絶縁膜、前記ゲート電極の第2導電層まで貫通して、前記ゲート電極の第1導電層を露出させることを特徴とする請求項8に記載の液晶表示装置。

【請求項12】

前記第1乃至第4コンタクト電極は、シール材により封止される領域に形成されたことを特徴とする請求項8に記載の液晶表示装置。

【請求項13】

前記第2絶縁膜はエンボス表面を持つことを特徴とする請求項1に記載の液晶表示装置。

【請求項14】

前記反射電極はエンボス表面を持つことを特徴とする請求項13に記載の液晶表示装置。

【請求項15】

第1マスクを用いて、基板上に、透明な第1導電層と不透明な第2導電層との二重構造を持つゲートライン及びゲート電極、画素電極を形成する段階と、

第2マスクを用いて、第1絶縁膜と、半導体パターンと、データラインとソース電極及びドレーン電極とストレージ上部電極を含むソース/ドレーンパターンとを形成する段階と、

第3マスクを用いて、前記ソース/ドレーンパターンを覆う第2絶縁膜を形成し、前記ゲートライン及びデータラインにより定義される画素領域のうちの透過領域において、前記有機膜から前記画素電極の第2導電層まで貫通する透過孔を形成する段階と、

第4マスクを用いて、前記透過孔を介して露出された前記ドレーン電極及びストレージ電極と前記画素電極の前記第1及び第2導電層とを接続させる反射電極を、前記画素領域のうちの反射領域に形成する段階と、を含むことを特徴とする液晶表示装置の製造方法。

【請求項16】

前記データラインは前記半導体パターンと重畳されたことを特徴とする請求項15に記載の液晶表示装置の製造方法。

【請求項17】

前記第2絶縁膜は有機物質で形成されたことを特徴とする請求項15に記載の液晶表示装置の製造方法。

【請求項18】

前記透過孔を形成する段階は、前記ソース/ドレーンパターンを覆う第3絶縁膜を形成する段階をさらに含むことを特徴とする請求項15に記載の液晶表示装置の製造方法。

【請求項19】

前記透過孔は、前記第3絶縁膜を貫通するように形成されたことを特徴とする請求項18に記載の液晶表示装置の製造方法。

【請求項20】

前記第1マスクを用いて、前記ゲートラインから延長されたゲートパッドと、前記データラインと接続されるデータパッドとを形成する段階と、

前記第3マスクを用いて、前記ゲートパッド及びデータパッドが形成されるパッド領域の前記第2絶縁膜から前記ゲートパッド及びデータパッドのそれぞれの第2導電層まで貫通する第1及び第2コンタクトホールを形成する段階と、をさらに含むことを特徴とする請求項15に記載の液晶表示装置の製造方法。

【請求項21】

前記ゲート及びデータパッドは、前記二重構造で形成されたことを特徴とする請求項20に記載の液晶表示装置の製造方法。

【請求項22】

前記透過孔と第1及び第2コンタクトホールを形成する段階は、

前記第2絶縁膜を形成して前記第3マスクを用いてパターンニングし、前記第2絶縁膜に前記透過孔と第1及び第2コンタクトホールを形成し、パターンニングされた前記第2絶縁

10

20

30

40

50

膜を焼成して前記反射領域で前記第2絶縁膜がエンボスの表面を持つようにする段階と、
前記焼成した有機膜をマスクとして用いて、前記透過孔と第1及び第2コンタクトホール
のそれぞれが前記画素電極とゲートパッド及びデータパッドのそれぞれの第2導電層ま
で貫通するようにする段階と、を含むことを特徴とする請求項20に記載の液晶表示装置
の製造方法。

【請求項23】

前記第3マスクは、ハーフトーンマスク及び回折露光マスクの何れか一つを含むことを
特徴とする請求項22に記載の液晶表示装置の製造方法。

【請求項24】

前記第1マスクを用いて、前記データパッドから延長され、前記データラインの端部と
重畳されるデータリンクを形成する段階と、

10

前記第3マスクを用いて、前記第2絶縁膜から前記データラインを經由して前記データ
リンクの第2導電層まで貫通して、前記データリンクの第1導電層を露出させる第1コン
タクトホールを形成する段階と、

前記第4マスクを用いて、前記第1コンタクトホールを介して露出された前記データ
ライン及びデータリンクを接続させる第1コンタクト電極を形成する段階と、を含むこと
を特徴とする請求項15に記載の液晶表示装置の製造方法。

【請求項25】

前記第1コンタクト電極は、シール材により封止される領域に形成されたことを特徴と
する請求項24に記載の液晶表示装置の製造方法。

20

【請求項26】

前記データライン及びゲートラインの何れか一つと接続された第2薄膜トランジスタと
、前記第2薄膜トランジスタのゲート電極及びソース電極間にダイオード型で接続された
第3薄膜トランジスタと、前記第2薄膜トランジスタのゲート電極及びドレイン電極間に
ダイオード型で接続された第4薄膜トランジスタとを備える静電気防止素子を形成する段
階をさらに含むことを特徴とする請求項15に記載の液晶表示装置の製造方法。

【請求項27】

前記静電気防止素子を形成する段階は、

前記第1マスクを用いて、前記二重構造を持つ前記第2乃至第4薄膜トランジスタのそ
れぞれのゲート電極を形成する段階と、

30

前記第2マスクを用いて、前記第1絶縁膜上に前記第2乃至第4薄膜トランジスタのそ
れぞれの半導体パターン、ソース電極、ドレイン電極を形成する段階と、

前記第3マスクを用いて、第2乃至第4コンタクトホールを形成する段階と、

前記第4マスクを用いて、第2乃至第4コンタクト電極を形成する段階と、を含むこと
を特徴とする請求項26に記載の液晶表示装置の製造方法。

【請求項28】

前記第2コンタクトホールは前記第3薄膜トランジスタのソース電極及びゲート電極の
重畳部に、前記第3コンタクトホールは前記第3または第4薄膜トランジスタのドレイン
電極及び前記第2薄膜トランジスタのゲート電極の重畳部に、前記第4コンタクトホール
は前記第4薄膜トランジスタのソース電極及びゲート電極の重畳部に形成されたことを特
徴とする請求項27に記載の液晶表示装置の製造方法。

40

【請求項29】

前記第2コンタクト電極は、前記第2コンタクトホールを介して露出された前記第3薄
膜トランジスタのソース電極及びゲート電極を接続させ、前記第3コンタクト電極は、前
記第3コンタクトホールを介して露出された前記第3または第4薄膜トランジスタのドレ
イン電極及び前記第2薄膜トランジスタのゲート電極を接続させ、前記第4コンタクト
電極は、前記第4コンタクトホールを介して露出された前記第4薄膜トランジスタのソー
ス電極及びゲート電極を接続させることを特徴とする請求項27に記載の液晶表示装置の製
造方法。

【請求項30】

50

前記第2乃至第4コンタクト電極は、シール材により封止される領域に形成されたことを特徴とする請求項27に記載の液晶表示装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は液晶表示装置に関し、特に、工程の単純化を可能とする半透過型の液晶表示装置の薄膜トランジスタ基板及びその製造方法に関する。

【背景技術】

【0002】

液晶表示装置は、大別すれば、バックライトユニットから入射される光を用いて画像を表示する透過型と、自然光のような外光を反射させて画像を表示する反射型とに分けられる。透過型はバックライトユニットの電力消費が大きく、反射型は外光に依存するため、暗い環境では画像を表示できないという問題点がある。

【0003】

前記問題点を解決するために、バックライトユニットを用いる透過モードと、外光を用いる反射モードとの両方の選択が可能な半透過型の液晶表示装置が台頭している。半透過型の液晶表示装置は、外光が、充分であれば反射モードに、充分でなければバックライトユニットを用いる透過モードに動作することで、透過型より消費電力の低減を図りながら、反射型と異なり外光の制約を受けない。

【0004】

一般に、半透過型の液晶パネルは、図1に示すように、液晶層(図示せず)を挟んで接合されたカラーフィルター基板と薄膜トランジスタ基板、及び薄膜トランジスタ基板の背後に設けられたバックライトユニット60を備える。このような半透過型の液晶パネルの各画素は、反射電極28が形成された反射領域と、反射電極28が形成されていない透過領域とに区分される。

【0005】

カラーフィルター基板は、上部基板52上に形成されたブラックマトリクス(図示せず)及びカラーフィルター54、これらの上に積層された共通電極56及び配向膜(図示せず)からなる。

【0006】

薄膜トランジスタ基板は、下部基板2上に形成されて各画素領域を定義するゲートライン4とデータライン(図示せず)、ゲートライン4とデータラインに接続された薄膜トランジスタ、画素領域に形成されて薄膜トランジスタと接続された画素電極32、及び各画素の反射領域に形成されて画素電極と重畳された反射電極28を備える。

【0007】

薄膜トランジスタは、ゲートライン4と接続されたゲート電極6、データラインと接続されたソース電極16、ソース電極16と向き合うドレーン電極18、ゲート電極6とゲート絶縁膜8を挟んで重畳されてソース及びドレーン電極16、18間のチャンネルを形成する活性層10、活性層10とソース及びドレーン電極16、18とのオーミック接触のためのオーミック接触層12を備える。このような薄膜トランジスタは、ゲートライン4のスキャン信号に応答して、データライン上のビデオ信号が画素電極32に充電されて保持される。

【0008】

反射電極28は、カラーフィルター基板を通して入射された外光をカラーフィルター基板の方に反射させる。このとき、反射電極28の下部に形成された有機膜24の表面がエンボス状を持つようになり、その上の反射電極28もエンボス状を持つようになることで、散乱効果による反射効率が増大する。

【0009】

画素電極32は、薄膜トランジスタを介して供給される画素信号によって共通電極56と電位差を発生させる。この電位差により誘電異方性を持つ液晶が回転して、反射領域と

10

20

30

40

50

透過領域の各々の液晶層を経由する光の透過率を調節することで、前記ビデオ信号によって輝度が変化する。

【 0 0 1 0 】

この場合、反射領域と透過領域における液晶層を経由する光経路の長さが同一になるように、透過領域で相対的に厚膜の有機膜 2 4 に透過孔 3 6 を形成する。結果として、反射領域に入射された周辺光即ち反射光 (R L) が、液晶層内で液晶層 反射電極 2 8 液晶層を経由する経路と、透過領域に入射されたバックライトユニット 6 0 の透過光 (T L) が、液晶層を経由する経路との長さが同一になることで、反射モードと透過モードの透過効率が同一になる。

【 0 0 1 1 】

そして、薄膜トランジスタ基板は、画素電極 3 2 に供給されたビデオ信号を安定的に保持させるために、画素電極 3 2 と接続されたストレージキャパシタをさらに備える。ストレージキャパシタは、画素電極 3 2 と接続されたストレージ上部電極 2 0 がゲートライン 4 とゲート絶縁膜 8 を挟んで重畳されることにより形成される。ストレージ上部電極 2 0 の下には、工程上、オーミック接触層 1 2 及び活性層 1 0 がさらに重畳される。

【 0 0 1 2 】

また、薄膜トランジスタ基板は、薄膜トランジスタと有機膜 2 4 との間の第 1 保護膜 2 2、有機膜 2 4 と反射電極 2 8 との間の第 2 保護膜 2 6、及び反射電極 2 8 と画素電極 3 2 との間の第 3 保護膜 3 0 をさらに備える。これにより、画素電極 3 2 は、第 1 乃至第 3 保護膜 2 2、2 6、3 0 と、有機膜 2 4 及び反射電極 2 8 とを貫通する第 1 及び第 2 コンタクトホール 3 4、3 8 の各々を介して、ドレーン電極 1 8 及びストレージ上部電極 2 0 と接続される。

【 0 0 1 3 】

このような半透過型の液晶パネルにおける薄膜トランジスタ基板は、半導体工程と共に多数のマスク工程を必要とするため、製造工程が複雑になって液晶パネル製造のコスト上昇の重要原因となっている。

【 0 0 1 4 】

以下、半透過型の薄膜トランジスタ基板の製造方法を、図 2A 乃至図 2F を参照して説明する。

【 0 0 1 5 】

図 2A を参照すれば、第 1 マスク工程を用いて、下部基板 2 上にゲートライン 4 及びゲート電極 6 を含むゲートパターンが形成される。

【 0 0 1 6 】

下部基板 2 上にスパッタ法などの蒸着方法によってゲート金属層を形成する。続いて、第 1 マスクを用いたフォトリソグラフィ工程とエッチング工程により、ゲート金属層がパターンニングされ、ゲートライン 4 及びゲート電極 6 を含むゲートパターンが形成される。ゲート金属層としては A l、M o、C r 等の金属の単一層または二重層の構造が用いられる。

【 0 0 1 7 】

図 2B を参照すれば、ゲートパターンの形成された下部基板 2 上にゲート絶縁膜 8 が形成され、その上に、第 2 マスク工程により活性層 1 0 及びオーミック接触層 1 2 を含む半導体パターンと、データライン、ソース電極 1 6、ドレーン電極 1 8 及びストレージ上部電極 2 0 を含むソース/ドレーンパターンとが積層される。

【 0 0 1 8 】

ゲートパターンの形成された下部基板 2 上に、P E C V D やスパッタ法などの蒸着方法により、ゲート絶縁膜 8、非晶質シリコン層、不純物がドーブされた非晶質シリコン層、及びソース/ドレーン金属層が順次形成される。ゲート絶縁膜 8 としては、酸化シリコン (S i O x) や窒化シリコン (S i N x) などのような無機絶縁物質が用いられ、ソース/ドレーン金属層としては、A l、M o、C r 等の金属の単一層または二重層の構造が用いられる。

10

20

30

40

50

【 0 0 1 9 】

そして、ソース/ドレーン金属層上に、第2マスクを用いたフォトリソグラフィ工程によりフォトレジストパターンを形成する。このとき、第2マスクとしては薄膜トランジスタのチャンネル部に回折露光部を持つ回折露光マスクを用いることにより、チャンネル部のフォトレジストパターンが他のソース/ドレーンパターン部より低い高さを持つようにする。

【 0 0 2 0 】

続いて、フォトレジストパターンを用いたウエットエッチング工程により、ソース/ドレーン金属層がパターニングされることで、データライン、ソース電極16、ソース電極16と一体化したドレーン電極18、及びストレージ電極20を含むソース/ドレーンパ

10

【 0 0 2 1 】

次に、同様のフォトレジストパターンを用いたドライエッチング工程により、不純物がドーパされた非晶質シリコン層と非晶質シリコン層とが同時にパターニングされることで、オーミック接触層12と活性層10が形成される。

【 0 0 2 2 】

そして、アッシング工程により、チャンネル部で相対的に高さの低いフォトレジストパターンが除去された後、ドライエッチング工程により、チャンネル部のソース/ドレーンパターン及びオーミック接触層12がエッチングされる。これにより、チャンネル部の活性層10が露出されて、ソース電極16とドレーン電極18が分離される。

20

【 0 0 2 3 】

続いて、ストリップ工程により、ソース/ドレーンパターン上に残存するフォトレジストパターンが除去される。

【 0 0 2 4 】

図2Cを参照すれば、ソース/ドレーンパターンの形成されたゲート絶縁膜8上に第1保護膜22が形成され、その上に、第3マスク工程により、第1及び第2開口部35、37と透過孔36を有し、エンボス表面を持つ有機膜24が形成される。

【 0 0 2 5 】

ソース/ドレーンパターンの形成されたゲート絶縁膜8上に第1保護膜22及び有機膜24が順次形成される。第1保護膜22としてはゲート絶縁膜8のような無機絶縁物質が用いられ、有機膜24としてはアクリルなどのような感光性有機物質が用いられる。

30

【 0 0 2 6 】

次に、第3マスクを用いたフォトリソグラフィ工程により、有機膜24をパターニングすることで、第3マスクの透過部に対応して有機膜24を貫通する第1及び第2開口部35、37と透過孔36が形成される。このとき、第3マスクは、透過部を除いた残り部分は遮断部と回折露光部が繰返される構造を有し、これに対応して残存する有機膜24は段差を持つ遮断領域(突出部)と回折露光領域(溝部)が繰返される構造でパターニングされる。続いて、突出部と溝部が繰返される有機膜24を焼成することにより、有機膜24の表面はエンボス状を持つ。

【 0 0 2 7 】

図2Dを参照すれば、エンボス状を持つ有機膜24上に第2保護膜26が形成され、その上に第4マスク工程により反射電極28が形成される。

40

【 0 0 2 8 】

エンボス表面を持つ有機膜24上に、第2保護膜26及び反射金属層がエンボス状を保持して積層される。第2保護膜26としては第1保護膜22のような無機絶縁物質が用いられ、反射金属層としてはAlNdなどのように高反射率の金属が用いられる。

【 0 0 2 9 】

続いて、第4マスクを用いたフォトリソグラフィ工程及びエッチング工程により、反射金属層がパターニングされることで、各画素毎に独立して、有機膜24の第1及び第2開口部35、37と透過孔36からオープンされた反射電極28が形成される。

50

【 0 0 3 0 】

図2Eを参照すれば、第5マスク工程により反射電極28を覆う第3保護膜30が形成され、第1乃至第3保護膜22、26、30を貫通する第1及び第2コンタクトホール34、38が形成される。

【 0 0 3 1 】

反射電極28を覆う第3保護膜30が形成され、第5マスクを用いたフォトリソグラフィ工程及びエッチング工程により、有機膜24の第1及び第2開口部35、37内で第1乃至第3保護膜22、26、30を貫通する第1及び第2コンタクトホール34、38が形成される。第1及び第2コンタクトホール34、38は、各々ドレーン電極18とストレージ上部電極20を露出させる。第3保護膜30としては第2保護膜26のように無機絶縁物質が用いられる。

10

【 0 0 3 2 】

図2Fを参照すれば、第5マスク工程を用いて、第3保護膜30上に画素電極32が形成される。

【 0 0 3 3 】

第3保護膜30上にスパッタ法などの蒸着方法により透明導電層が形成され、第6マスクを用いたフォトリソグラフィ工程とエッチング工程により、透明導電層がパターニングされることで、各画素領域に画素電極32が形成される。画素電極32は、第1及び第2コンタクトホール34、38を介してドレーン電極18及びストレージ上部電極20と接続される。透明導電層としてはITO(Indium Tin Oxide)などが用いられる。

20

【 0 0 3 4 】

このように、関連の半透過型の薄膜トランジスタ基板は、6マスク工程により形成されるので、製造工程が複雑であるという問題点がある。また、関連の半透過型の薄膜トランジスタ基板では、画素電極32と、ドレーン電極18及びストレージ上部電極20の各々との接続のために、第1及び第2コンタクトホール34、38のマージンを十分確保しなければならないので、透過領域の開口率が減少するという問題点もある。

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 3 5 】

従って、本発明の目的は、工程の単純化、且つ、透過領域の開口率の増大を可能とする半透過型の液晶表示装置及びその製造方法を提供することにある。

30

【 課題を解決するための手段 】

【 0 0 3 6 】

前記目的を達成するために、本発明に係る液晶表示装置は、基板上に、透明な第1導電層と不透明な第2導電層とを積層した二重構造のゲートラインと、ゲート絶縁膜を挟んで前記ゲートラインと交差構造で形成されて、透過領域と反射領域を持つ画素領域を定義するデータラインと、前記ゲートライン及びデータラインと接続された薄膜トランジスタと、前記画素領域に形成された前記第1導電層と、前記第1導電層の枠部に沿って積層された第2導電層とを持つ画素電極と、前記ゲートラインと前記第1絶縁膜を挟んで重畳されてストレージキャパシタを形成するストレージ上部電極と、前記薄膜トランジスタを覆う第2絶縁膜から前記画素電極の第2導電層まで貫通して、前記第1導電層を露出させる透過孔と、前記反射領域に形成され、前記透過孔のエッジ部を介して露出された前記ドレーン電極及び前記ストレージ上部電極を前記画素電極と接続させる反射電極と、前記ゲートラインから延長され、前記第2絶縁膜から前記第2導電層まで貫通する第1コンタクトホールを介して、前記第1導電層が露出されたゲートパッドと、前記二重構造で形成され、データリンクを介して前記データラインと接続され、前記第2絶縁膜から前記第2導電層まで貫通する第2コンタクトホールを介して前記第1導電層が露出されたデータパッドとを備える。

40

【 0 0 3 7 】

50

また、本発明に係る液晶表示装置の製造方法は、第1マスクを用いて、透明な第1導電層と不透明な第2導電層との二重構造を持つゲートライン及びゲート電極、画素電極を基板上に形成する段階と、第2マスクを用いて、前記第1絶縁膜と、半導体パターンと、データラインとソース電極及びドレーン電極とストレージ上部電極を含むソース/ドレーンパターンとを形成する段階と、第3マスクを用いて、前記ソース/ドレーンパターンを覆う第2絶縁膜を形成し、前記ゲートライン及びデータラインにより定義される画素領域のうちの透過領域において、前記有機膜から前記画素電極の第2導電層まで貫通する透過孔を形成する段階と、第4マスクを用いて、前記透過孔を介して露出された前記ドレーン電極及びストレージ電極と前記画素電極とを接続させる反射電極を、前記画素領域のうちの反射領域に形成する段階と含む。

10

【発明の効果】

【0038】

本発明に係る半透過型の液晶表示装置の薄膜トランジスタ基板及びその製造方法は、画素電極及びパッドをゲートパターンのように透明導電層を含む二重構造で形成し、有機膜のパターニングの際に、ハーフトーンマスクを用いてその透明導電層を露出させる。そして、反射電極によりドレーン電極及びストレージ上部電極を画素電極と接続させる。これにより、工程を4マスク工程に単純化することができ、且つ、ドレーン電極及びストレージ上部電極を画素電極と接続させるための別途のコンタクトホールが不要になるので、透過領域の開口率も増大する。

【0039】

20

また、本発明に係る半透過型の液晶表示装置の薄膜トランジスタ基板及びその製造方法は、反射電極と同一の金属のコンタクト電極により互いに異なる層に形成されたデータリンク及びデータラインを接続させ、静電気防止素子の薄膜トランジスタを相互接続させる。これにより、4マスク工程に工程の単純化が可能である。

【0040】

合わせて、本発明に係る半透過型の液晶表示装置の薄膜トランジスタ基板及びその製造方法は、反射電極(A1Nd)が画素電極の第2導電層(Mo)を経由して第1導電層(ITO)と接続されるので、反射電極と画素電極とのコンタクト抵抗を低減することができる。

【発明を実施するための最良の形態】

30

【0041】

以下、添付図面に基づき、本発明の望ましい実施例を詳細に説明する。

【実施例】

【0042】

図3は本発明の実施例に係る半透過型の薄膜トランジスタ基板を示す平面図、図4は図3に示す半透過型の薄膜トランジスタ基板のII-II'、III-III'、IV-IV'線に沿う断面図である。

【0043】

図3及び図4に示すように、半透過型の薄膜トランジスタ基板は、下部基板142上に、ゲート絶縁膜144を挟んで交差して画素領域を定義するゲートライン102とデータライン104、ゲートライン102とデータライン104に接続された薄膜トランジスタ106、各画素の反射領域に形成された反射電極152、及び各画素領域に形成され、反射電極152により薄膜トランジスタ106と接続された画素電極118を備える。そして、半透過型の薄膜トランジスタ基板は、反射電極152により画素電極118に接続されたストレージ上部電極122と前段ゲートライン102との重畳により形成されたストレージキャパシタ120、ゲートライン102と接続されたゲートパッド128、データライン104と接続されたデータパッド138を備える。このような半透過型の薄膜トランジスタ基板において、各画素領域は、反射電極152が形成された反射領域と、反射電極152が形成されていない透過領域とに区分される。

40

【0044】

50

薄膜トランジスタ106は、ゲートライン102と接続されたゲート電極108、データライン104と接続されたソース電極110、ソース電極110と向き合って画素電極118と接続されたドレーン電極112、ゲート絶縁膜144を挟んでゲート電極108と重畳されて、ソース電極110とドレーン電極112との間にチャンネルを形成する活性層114、ソース電極110及びドレーン電極112とのオーミック接触のために、チャンネル部を除いた活性層114上に形成されたオーミック接触層116を備える。このような薄膜トランジスタ106は、ゲートライン102のスキャン信号に応答して、データライン104上のビデオ信号が画素電極118に充電されて保持される。

【0045】

ここで、ゲートライン102及びゲート電極108は、透明導電層からなる第1導電層101と、その上に金属層からなる第2導電層103とが積層された二重構造を持つ。

10

【0046】

そして、活性層114及びオーミック接触層116を含む半導体パターン115は、データライン104とも重畳されるように形成される。

【0047】

反射電極152は各画素の反射領域に形成されて外光を反射させる。このような反射電極152は、その下の有機膜148の形状によってエンボス状を持つため、散乱効果による反射効率を増大させる。

【0048】

画素電極118は、各画素領域に形成され、透過孔154のエッジ部を経由する反射電極152によりドレーン電極112と接続される。画素電極118は、ゲートライン102のように第1及び第2導電層101、103が積層された二重構造を有し、第2導電層103は透過孔154を介してオープンされて、透明導電層である第1導電層101が透過領域に露出される。画素電極118は、薄膜トランジスタを介して供給された画素信号によりカラーフィルター基板(図示せず)の共通電極と電位差を発生させる。この電位差により、誘電異方性を持つ液晶が回転して、反射領域と透過領域の各々の液晶層を経由する光の透過率を調節するので、前記ビデオ信号によって輝度が変化する。

20

【0049】

透過孔154は、透過領域において、画素電極118上のゲート絶縁膜144、薄膜トランジスタ106上の保護膜146、及び有機膜148を貫通して形成される。これにより、反射領域と透過領域で液晶層を経由する光経路の長さが同一になるので、反射モードと透過モードの透過効率が同一になる。

30

【0050】

ストレージキャパシタ120は、画素電極118と接続されたストレージ上部電極122が、ゲート絶縁膜144を挟んで前段ゲートライン102と重畳されることにより形成される。ストレージ上部電極122は、透過孔154のエッジ部を経由する反射電極152を介して画素電極118と接続され、ストレージ上部電極122の下には半導体パターン115がさらに重畳される。

【0051】

ゲートライン102は、ゲートパッド128を介してゲートドライバ(図示せず)と接続される。ゲートパッド128は、ゲートライン102の第1及び第2導電層101、103が延長されて形成され、第1導電層101は、有機膜148から第2導電層103まで貫通する第1コンタクトホール130を介して露出される。

40

【0052】

データライン104は、データパッド138を介してデータドライバ(図示せず)と接続される。データパッド138は、ゲートパッド128のように第1及び第2導電層101、103が積層された二重構造を有し、第1導電層101は、有機膜148から第2導電層103まで貫通する第2コンタクトホール140を介して露出される。このようなデータパッド138は、別途のコンタクト電極(図示せず)を介してデータライン104と接続される。

50

【 0 0 5 3 】

このように、本発明の実施例に係る半透過型の薄膜トランジスタ基板では、透過孔 1 5 4 のエッジ部を経由する反射電極 1 5 2 を介して、画素電極 1 1 8 がドレーン電極 1 1 2 及びストレージ上部電極 1 2 2 と接続される。これにより、画素電極 1 1 8 とドレーン電極 1 1 2 及びストレージ上部電極 1 2 2 との接続のための別途のコンタクトホールが不要になるので、透過領域の開口率を増大させることができる。

【 0 0 5 4 】

そして、反射電極 1 5 2 は、画素電極 1 1 8 の第 1 導電層 1 0 1 と第 2 導電層 1 0 3 とともに接続される。これにより、反射電極 1 5 2 として A l N d、画素電極 1 1 8 の第 1 導電層 1 0 1 として I T O、第 2 導電層 1 0 3 として M o を用いる場合、A l N d と I T O は M o を介して接続されるので、A l₂O₃ 生成による A l N d と I T O とのコンタクト抵抗を減少させることができる。

【 0 0 5 5 】

こうした構成を持つ本発明の実施例に係る薄膜トランジスタ基板は、次のような 4 マスク工程により形成される。

【 0 0 5 6 】

図 5A 及び図 5B は、本発明の実施例に係る半透過型の薄膜トランジスタ基板の製造方法のうち、第 1 マスク工程を説明するための平面図及び断面図である。

【 0 0 5 7 】

第 1 マスク工程により、下部基板 1 4 2 上に、ゲートライン 1 0 2、ゲートライン 1 0 2 と接続されたゲート電極 1 0 8 及びゲートパッド 1 2 8、データパッド 1 3 8、画素電極 1 1 8 を含むゲートパターンが形成される。このようなゲートパターンは、第 1 及び第 2 導電層 1 0 1、1 0 3 が積層された二重構造で形成される。

【 0 0 5 8 】

具体的に、下部基板 1 4 2 上にスパッタ法などの蒸着方法により第 1 及び第 2 導電層 1 0 1、1 0 3 が積層される。積層された第 1 及び第 2 導電層 1 0 1、1 0 3 は、第 1 マスクを用いたフォトリソグラフィ工程及びエッチング工程によりパターンニングされることで、ゲートライン 1 0 2、ゲート電極 1 0 8 とゲートパッド 1 2 8、データパッド 1 3 8、及び画素電極 1 1 8 を含むゲートパターンが形成される。第 1 導電層 1 0 1 としては I T O、T O、I Z O 等のような透明導電物質が用いられ、第 2 導電層 1 0 3 としては M o、C u、A l (N d)、C r、T i 等のような金属物質が用いられる。

【 0 0 5 9 】

図 6A 及び図 6B は、本発明の実施例に係る薄膜トランジスタ基板の製造方法のうち、第 2 マスク工程を説明するための平面図及び断面図、図 7A 乃至図 7E は、第 2 マスク工程を具体的に説明するための断面図である。

【 0 0 6 0 】

ゲートパターンの形成された下部基板 1 4 2 上にゲート絶縁膜 1 4 4 が形成され、その上に、第 2 マスク工程により、データライン 1 0 4、ソース電極 1 1 0、ドレーン電極 1 1 2 及びストレージ上部電極 1 2 2 を含むソース/ドレーンパターンと、ソース/ドレーンパターンの背面に沿って重畳された活性層 1 1 4 及びオーミック接触層 1 1 6 を含む半導体パターン 1 1 5 とが形成される。このような半導体パターン 1 1 5 とソース/ドレーンパターンは、回折露光マスクを用いた 1 マスク工程により形成される。

【 0 0 6 1 】

具体的に、図 7A のように、ゲートパターンが形成された下部基板 1 4 2 上に、ゲート絶縁膜 1 4 4、非晶質シリコン層 1 0 5、不純物 (n+ または p+) がドーブされた非晶質シリコン層 1 0 7 及びソース/ドレーン金属層 1 0 9 が順次形成される。例えば、ゲート絶縁膜 1 4 4、非晶質シリコン層 1 0 5 及び不純物がドーブされた非晶質シリコン層 1 0 7 は P E C V D 法により形成され、ソース/ドレーン金属層 1 0 9 はスパッタ法により形成される。ゲート絶縁膜 1 4 4 としては酸化シリコン (S i O x) や窒化シリコン (S i N x) などのような無機絶縁物質が用いられ、ソース/ドレーン金属層 1 0 9 としては C r、M o

10

20

30

40

50

、MoW、Al/Cr、Cu、Al(Nd)、Al/Mo、Al(Nd)/Al、Al(Nd)/Cr、Mo/Al(Nd)/Mo、Cu/Mo、Ti/Al(Nd)/Tiなどが用いられ、二重層例えばAl/Crの場合、まずCrを形成後にAlを形成するものを言う。

【0062】

そして、ソース/ドレーン金属層109上にフォトレジスト219を塗布した後、回折露光マスク210を用いたフォトリソグラフィ工程により、フォトレジスト219を露光及び現像することで、図7Bに示すように、段差を持つフォトレジストパターン220が形成される。

【0063】

回折露光マスク210は、透明な石英基板212、その上にCr、CrO_x等のような金属層で形成された遮断層214及び回折露光用スリット216を備える。遮断層214は、半導体パターン及びソース/ドレーンパターンが形成される領域に位置して紫外線を遮断させることで、現像後に第1フォトレジストパターン220Aを残す。回折露光用スリット216は、薄膜トランジスタのチャンネルが形成される領域に位置して紫外線を回折させることで、現像後に第1フォトレジストパターン220Aより薄膜の第2フォトレジストパターン220Bを残す。

【0064】

続いて、段差を持つフォトレジストパターン220を用いたエッチング工程により、ソース/ドレーン金属層109がパターニングされることで、図7Cに示すように、ソース/ドレーンパターンと、その下の半導体パターン115とが形成される。この場合、ソース/ドレーンパターンのうちのソース電極110とドレーン電極112は一体化した構造を持つ。

【0065】

次に、酸素(O₂)プラズマを用いたアッシング工程により、フォトレジストパターン220をアッシングすることで、図7Dに示すように、第1フォトレジストパターン220Aは薄くなり、第2フォトレジストパターン220Bは除去される。そして、アッシングされた第1フォトレジストパターン220Aを用いたエッチング工程により、第2フォトレジストパターン220Bの除去により露出されたソース/ドレーンパターンと、その下のオーミック接触層116とが除去されることで、ソース電極110とドレーン電極112は分離されて活性層114が露出される。これにより、ソース電極110とドレーン電極112との間には活性層114からなるチャンネルが形成される。このとき、アッシングされた第1フォトレジストパターン220Aに沿ってソース/ドレーンパターンの両側部が再度エッチングされることで、ソース/ドレーンパターンと半導体パターン115は階段形で一定の段差を持つ。

【0066】

そして、ストリップ工程により、ソース/ドレーンパターン上に残存した第1フォトレジストパターン220Aが、図7Eのように除去される。

【0067】

図8A及び図8Bは、本発明の実施例に係る薄膜トランジスタ基板の製造方法のうち、第3マスク工程を説明するための平面図及び断面図、図9A乃至図9Dは、第3マスク工程を段階的に説明するための断面図である。

【0068】

第3マスク工程により、ソース/ドレーンパターンが形成されたゲート絶縁膜144上に、透過領域で透過孔154を有し、パッド領域で第1及び第2コンタクトホール130、140を有する保護膜146及び有機膜148が形成される。ここで、保護膜146は薄膜トランジスタ106を保護するためのものであるが、省略することもできる。

【0069】

図9Aを参照すれば、ソース/ドレーンパターンが形成されたゲート絶縁膜144上に、PECVDなどの蒸着方法により保護膜146が形成され、スピンコート法などにより有機膜148が形成される。保護膜146としてはゲート絶縁膜144のような無機絶縁物

10

20

30

40

50

質が用いられ、有機膜 148 としてはアクリルなどのような感光性有機物質が用いられる。次に、第 3 マスクであるハーフトーンマスク 260 または回折露光マスクを用いて、有機膜 148 を露光及び現像する。

【0070】

例えば、ハーフトーンマスク 260 は、透明な石英 (SiO_2 ; Quartz) 基板 266 と、その上に MoSi_x など形成された部分透過層 264 と、部分透過層 264 上に Cr、 CrO_x などのような金属で形成された遮断層 262 とを備える。このようなハーフトーンマスク 260 において、部分透過層 264 及び遮断層 262 が重畳された遮断部は、紫外線の遮断により、図 9B に示す第 1 領域 (A) のように有機膜 148 が相対的に厚く維持される。遮断層 262 なしに部分透過層 264 が存在するハーフトーンマスク 260 の部分透過部は、紫外線の部分透過により、図 9B に示す第 2 領域 (B) のように有機膜 148 が相対的に薄く維持される。そして、遮断層 262 及び部分透過層 264 が存在していないハーフトーンマスク 260 の透過部は、紫外線を全面透過させて図 9B のように有機膜 148 を貫通する透過孔 154 と第 1 及び第 2 コンタクトホール 130、140 が形成される。ここで、有機膜 148 の透過孔 154 は画素電極 118 と重畳された透過領域に、第 1 及び第 2 コンタクトホール 130、140 はパッド領域でゲートパッド 128 及びデータパッド 138 の各々と重畳されて形成される。有機膜 148 の第 1 及び第 2 領域 (148A、148B) は反射領域で繰返され、第 1 及び第 2 コンタクトホール 130、140 が形成されたパッド領域には第 2 領域 (148B) が存在する。

10

【0071】

このような構造を持つ有機膜 148 を焼成することで、図 9C のように反射領域で有機膜 148 の表面はエンボス状を有し、パッド領域で有機膜 148 は残留する。

20

【0072】

続いて、有機膜 148 をマスクとして用いたドライエッチングにより、透過孔 154 と第 1 及び第 2 コンタクトホール 130、140 が、保護膜 146 及びゲート絶縁膜 144 を経由して、画素電極 118 とゲートパッド及びデータパッド 128、138 の第 2 導電層 103 まで貫通する。このとき、透過孔 154 を介して露出されたドレーン電極 112 及びストレージ上部電極 122 とその下の半導体パターン 115 もエッチングされ、エッチング速度の差により、ドレーン電極 112 及びストレージ上部電極 122 とその下の半導体パターン 115 よりもゲート絶縁膜 144 のエッジ部がほぼ突出された構造を持つ。このような透過孔 154 を介して、画素電極 118 の第 1 導電層 101 が露出され、第 2 導電層 103 の側面が露出される。また、第 1 及び第 2 コンタクトホール 130、140 を介して、ゲートパッド 128 及びデータパッド 138 の第 1 導電層 101 が露出され、第 2 導電層 103 の側面が露出される。

30

【0073】

図 10A 及び図 10B は、本発明の実施例に係る薄膜トランジスタ基板の製造方法のうち、第 4 マスク工程を説明するための平面図及び断面図である。

【0074】

第 4 マスク工程により、各画素の反射領域に反射電極 152 が形成される。

【0075】

具体的に、反射領域でエンボス表面を持つ有機膜 148 上に反射金属層がエンボス状を保持して形成される。反射金属層としては AlNd などのように高反射率の金属が用いられる。次に、第 5 マスクを用いたフォトリソグラフィ工程及びエッチング工程により、反射金属層がパターンングされることで、各画素の反射領域毎に反射電極 152 が形成される。このような反射電極 152 は、透過孔 154 のエッジ部を経由してドレーン電極 112 と画素電極 118 を接続させ、ストレージ上部電極 122 と画素電極 118 を接続させる。これにより、画素電極 118 とドレーン電極 112 及びストレージ上部電極 122 との接続のための別途のコンタクトホールが不要になるので、透過領域の開口率が増大する。また、反射電極 152 は、画素電極 118 の第 1 導電層 101 と接続されながら、透過孔 154 のエッジ部を介して露出された第 2 導電層 103 (Mo) のエッジ部とも接続され

40

50

るので、反射電極152(A1Nd)と第1導電層101(ITO)とのコンタクト抵抗を減少させることができる。

【0076】

図11は、本発明の実施例に係る半透過型の薄膜トランジスタ基板の周辺部を概略的に示す図である。

【0077】

図11に示す半透過型の薄膜トランジスタ基板100は、ゲートパッド128と同層に形成されたデータパッド138を、データライン104と接続させるためのコンタクト電極160を備える。換言すれば、コンタクト電極160は、データパッド138から延長されたデータリンク136とデータライン104を接続させる。ここで、コンタクト電極160は、アクティブ領域182に形成される反射電極152と同一の金属層(A1Nd、A1Nd/Mo)で形成する。このようなコンタクト電極160は、外部に露出される場合、酸化作用による腐食の問題点があるため、シール材180により封止される領域、即ち、シール材180とアクティブ領域182との間に位置して腐食を防止できる。

10

【0078】

また、薄膜トランジスタ基板100は、アクティブ領域182に流入する静電気の遮断のための静電気防止素子190を備える。静電気防止素子190は、データライン104またはゲートライン102と接続され、相互接続関係を持つ多数個の薄膜トランジスタ300、310、320からなる。静電気防止素子190は、静電気などによる高電圧領域では、低いインピーダンスを持って過電流が放電されることで、静電気の流入を遮断し、正常な駆動環境では、高いインピーダンスを持ってデータライン104またはゲートライン102を介して供給される駆動信号には影響を与えない。このような静電気防止素子190は、薄膜トランジスタ300、310、320を相互接続させるために多数のコンタクト電極を必要とする。このような多数のコンタクト電極も、反射電極152と同一の金属層(A1Nd、A1Nd/Mo)で形成する。これにより、静電気防止素子190も、シール材180により封止される領域、即ちシール材180とアクティブ領域182との間に形成される。

20

【0079】

図12は、図11に示すデータライン104と接続されたコンタクト電極160及び静電気防止素子190を具体的に示す平面図、図13は、図12に示す薄膜トランジスタ基板のV-V'、VI-VI'線に沿う断面図である。

30

【0080】

図12及び図13に示すデータリンク136は、データパッド138から延長されてシール材180で封止される領域に位置するデータライン104の端部と重畳される。データリンク136は、データパッド138のように第1及び第2導電層101、103が積層された二重構造を持つ。

【0081】

第1コンタクト電極160は、データリンク136とデータライン104との重畳部に形成された第1コンタクトホール162に渡って形成され、データライン104及びデータリンク136を接続させる。第1コンタクトホール162は、有機膜148から保護膜146、データライン104、半導体パターン115、ゲート絶縁膜144、第2導電層103まで貫通して、データリンク136の第1導電層101を露出させる。これにより、第1コンタクト電極160は、第1コンタクトホール162を介して露出されたデータライン104及び第2導電層103とは側面接続され、データリンク136の第1導電層101とは面接続される。

40

【0082】

データライン104と接続された静電気防止素子は、第2乃至第4薄膜トランジスタ300、310、320を備える。

【0083】

第2薄膜トランジスタ300は、データライン104と接続された第2ソース電極30

50

4、第2ソース電極304と対向する第2ドレーン電極306、第2ソース及びドレーン電極304、306と半導体パターン115及びゲート絶縁膜144を挟んで重畳された第2ゲート電極302を備える。ここで、第2ゲート電極302は、第1及び第2導電層101、103の二重構造を持つ。

【0084】

第3薄膜トランジスタ310は、第2薄膜トランジスタの第2ソース電極304と第2ゲート電極302との間にダイオード型で接続される。このために、第3薄膜トランジスタ310は、第2ソース電極304と接続された第3ソース電極314、第3ソース電極314と対向する第3ドレーン電極316、第3ソース及びドレーン電極314、316と半導体パターン115及びゲート絶縁膜144を挟んで重畳された第3ゲート電極312を備える。ここで、第3ゲート電極312は、第1及び第2導電層101、103の二重構造を持つ。そして、第3ゲート電極312は、第2コンタクトホール340に渡って形成された第2コンタクト電極332を介して、第3ソース電極314と接続される。第2コンタクトホール340は、有機膜148、保護膜146、第3ソース電極314、半導体パターン115、ゲート絶縁膜144及び第3ゲート電極312の第2導電層103を貫通して、第3ゲート電極312の第1導電層101を露出させる。

10

【0085】

第4薄膜トランジスタ320は、第2薄膜トランジスタの第2ドレーン電極306と第2ゲート電極302との間にダイオード型で接続される。このために、第4薄膜トランジスタ320は、第2ドレーン電極306と接続された第4ソース電極324、第4ソース電極324と対向する第4ドレーン電極326、第4ソース及びドレーン電極324、326と半導体パターン115及びゲート絶縁膜144を挟んで重畳された第4ゲート電極322を備える。ここで、第4ゲート電極322は第1及び第2導電層101、103の二重構造を持つ。第4ドレーン電極326は、第3ドレーン電極316と接続され、第3コンタクトホール344に渡って形成された第3コンタクト電極334を介して、第2ゲート電極302と接続される。また、第4ゲート電極322は、第4コンタクトホール348に渡って形成された第4コンタクト電極336を介して、第4ソース電極324と接続される。第3コンタクトホール344は、有機膜148、保護膜146、第4ドレーン電極326、半導体パターン115、ゲート絶縁膜144及び第2ゲート電極302の第1導電層101を貫通して形成され、第4コンタクトホール348は、有機膜148、保護膜146、第4ソース電極324、半導体パターン115、ゲート絶縁膜144及び第4ゲート電極322の第1導電層101を貫通して形成される。

20

30

【0086】

ここで、第1乃至第4コンタクト電極160、332、334、336は、上述したように、反射電極152と同様に、第1及び第2反射金属層151、153が積層された二重構造を持つ。これにより、第1乃至第4コンタクト電極160、332、334、336の第1反射金属層151が透明導電層である第1導電層101と接続するので、コンタクト抵抗を減少させることができる。

【0087】

このような構造を持つ半透過型の薄膜トランジスタ基板は、上述したように、5マスク工程により形成する。これを図14A乃至図17Bを参照して説明する。

40

【0088】

図14A及び図14Bを参照すれば、第1マスク工程により、下部基板142上にデータパッド138と共にデータリンク136及び第2乃至第4ゲート電極302、312、322を含むゲートパターンが形成される。ゲートパターンは、第1及び第2導電層101、103が積層された二重構造を持つ。このような第1マスク工程は、図5A及び図5Bでの説明と同様である。

【0089】

図15A及び図15Bを参照すれば、第2マスク工程により、ゲート絶縁膜144、活性層114及びオーミック接触層116を含む半導体パターン115と、データライン104

50

、第2乃至第4ソース電極304、314、324、第2乃至第4ドレーン電極306、316、326を含むソース/ドレーンパターンとが形成される。このような第2マスク工程は、図6A乃至図7Eでの説明と同様である。

【0090】

図16A及び図16Bを参照すれば、第3マスク工程により、保護膜146及び有機膜148が形成され、有機膜148からデータリンク136と第2乃至第3ゲート電極のそれぞれの第2導電層103まで貫通する第1乃至第4コンタクトホール162、340、344、348が形成される。このような第3マスク工程は、図8A乃至図9Dでの説明と同様である。

【0091】

図17A及び図17Bを参照すれば、第4マスク工程により、反射電極152と同一の金属で第1乃至第4コンタクト電極160、332、334、336が形成される。このような第4マスク工程は、図10A及び図10Bでの説明と同様である。

【0092】

以上で説明した内容により、当業者であれば、本発明の技術思想から逸脱しない範囲内で多様に変更・修正が可能であることが分かる。従って、本発明の技術範囲は、明細書の詳細な説明に記載された内容に限定されるものではなく、特許請求の範囲により定められなければならない。

【図面の簡単な説明】

【0093】

【図1】関連の半透過型の液晶パネルの一部分を示す断面図である。

【図2A】図1に示す半透過型の薄膜トランジスタ基板の製造方法を具体的に説明するための断面図である。

【図2B】図1に示す半透過型の薄膜トランジスタ基板の製造方法を具体的に説明するための断面図である。

【図2C】図1に示す半透過型の薄膜トランジスタ基板の製造方法を具体的に説明するための断面図である。

【図2D】図1に示す半透過型の薄膜トランジスタ基板の製造方法を具体的に説明するための断面図である。

【図2E】図1に示す半透過型の薄膜トランジスタ基板の製造方法を具体的に説明するための断面図である。

【図2F】図1に示す半透過型の薄膜トランジスタ基板の製造方法を具体的に説明するための断面図である。

【図3】本発明の実施例に係る半透過型の薄膜トランジスタ基板を部分的に示す平面図である。

【図4】図3に示す半透過型の薄膜トランジスタ基板のII-II'、III-III'、IV-IV'線に沿う断面図である。

【図5A】本発明の実施例に係る半透過型の薄膜トランジスタ基板の第1マスク工程を説明するための平面図である。

【図5B】本発明の実施例に係る半透過型の薄膜トランジスタ基板の第1マスク工程を説明するための断面図である。

【図6A】本発明の実施例に係る半透過型の薄膜トランジスタ基板の第2マスク工程を説明するための平面図である。

【図6B】本発明の実施例に係る半透過型の薄膜トランジスタ基板の第2マスク工程を説明するための断面図である。

【図7A】本発明の第2マスク工程を具体的に説明するための断面図である。

【図7B】本発明の第2マスク工程を具体的に説明するための断面図である。

【図7C】本発明の第2マスク工程を具体的に説明するための断面図である。

【図7D】本発明の第2マスク工程を具体的に説明するための断面図である。

【図7E】本発明の第2マスク工程を具体的に説明するための断面図である。

10

20

30

40

50

【図 8 A】本発明の実施例に係る半透過型の薄膜トランジスタ基板の第 3 マスク工程を説明するための平面図及び断面図である。

【図 8 B】本発明の実施例に係る半透過型の薄膜トランジスタ基板の第 3 マスク工程を説明するための平面図及び断面図である。

【図 9 A】本発明の第 3 マスク工程を具体的に説明するための断面図である。

【図 9 B】本発明の第 3 マスク工程を具体的に説明するための断面図である。

【図 9 C】本発明の第 3 マスク工程を具体的に説明するための断面図である。

【図 9 D】本発明の第 3 マスク工程を具体的に説明するための断面図である。

【図 10 A】本発明の実施例に係る半透過型の薄膜トランジスタ基板の第 4 マスク工程を説明するための平面図である。

10

【図 10 B】本発明の実施例に係る半透過型の薄膜トランジスタ基板の第 4 マスク工程を説明するための断面図である。

【図 11】本発明の実施例に係る半透過型の薄膜トランジスタ基板を周辺部中心として概略的に示す平面図である。

【図 12】図 11 に示すデータライン及びデータリンクのコンタクト領域と静電気防止素子領域を具体的に示す平面図である。

【図 13】図 12 に示す半透過型の薄膜トランジスタ基板の V - V'、VI - VI' 線に沿う断面図である。

【図 14 A】図 13 に示す半透過型の薄膜トランジスタ基板の第 1 マスク工程を説明するための平面図である。

20

【図 14 B】図 13 に示す半透過型の薄膜トランジスタ基板の第 1 マスク工程を説明するための断面図である。

【図 15 A】図 13 に示す半透過型の薄膜トランジスタ基板の第 2 マスク工程を説明するための平面図である。

【図 15 B】図 13 に示す半透過型の薄膜トランジスタ基板の第 2 マスク工程を説明するための断面図である。

【図 16 A】図 13 に示す半透過型の薄膜トランジスタ基板の第 3 マスク工程を説明するための平面図である。

【図 16 B】図 13 に示す半透過型の薄膜トランジスタ基板の第 3 マスク工程を説明するための断面図である。

30

【図 17 A】図 13 に示す半透過型の薄膜トランジスタ基板の第 4 マスク工程を説明するための平面図である。

【図 17 B】図 13 に示す半透過型の薄膜トランジスタ基板の第 4 マスク工程を説明するための断面図である。

【符号の説明】

【0094】

2、142 下部基板

4、102 ゲートライン

6、108、302、312、322 ゲート電極

8、144 ゲート絶縁膜

40

10、114 活性層

12、116 オーミック接触層

16、110、304、314、324 ソース電極

18、112、306、316、326 ドレイン電極

20、122 ストレージ上部電極

22、26、30、146 保護膜

24、148 有機膜

28、152 反射電極

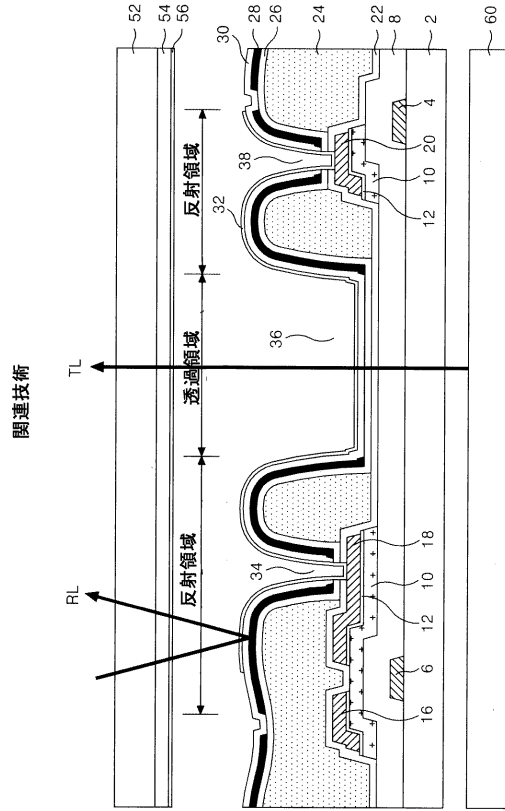
32、118 画素電極

34、38、162、340、344、348 コンタクトホール

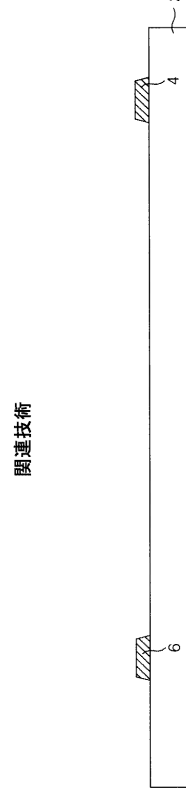
50

3 5、3 7	開口部	
3 6、1 5 4	透過孔	
5 2	上部基板	
5 4	カラーフィルター	
5 6	共通電極	
1 0 0	薄膜トランジスタ基板	
1 0 1	第1導電層	
1 0 3	第2導電層	
1 0 5	非晶質シリコン層	
1 0 6、3 0 0、3 1 0、3 2 0	薄膜トランジスタ	10
1 0 7	不純物がドーピングされた非晶質シリコン層	
1 0 9	ソース/ドレイン金属層	
1 1 5	半導体パターン	
1 2 8	ゲートパッド	
1 3 6	データリンク	
1 3 8	データパッド	
1 6 0、3 3 2、3 3 4、3 3 6	コンタクト電極	
1 8 0	シール材	
1 8 2	アクティブ領域	
1 9 0	静電気防止素子	20
2 1 0	回折露光マスク	
2 1 2、2 6 6	石英基板	
2 1 4、2 6 2	遮断層	
2 1 6	スリット	
2 1 9	フォトレジスト	
2 2 0	フォトレジストパターン	
2 2 0 A	第1フォトレジストパターン	
2 2 0 B	第2フォトレジストパターン	
2 6 0	ハーフトーンマスク	
2 6 4	部分透過層	30

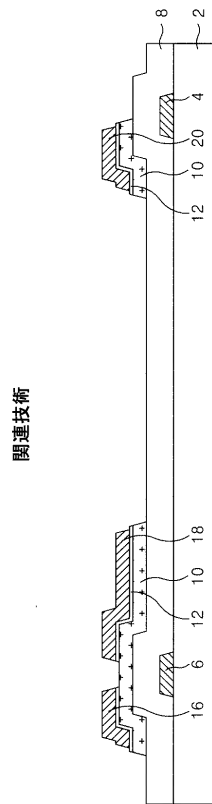
【図 1】



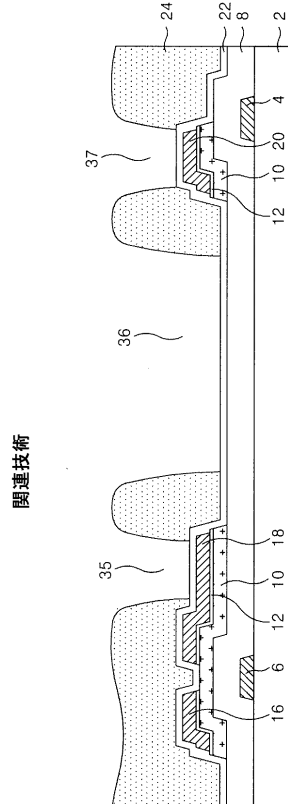
【図 2 A】



【図 2 B】

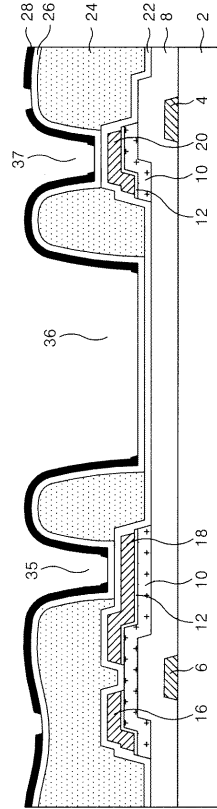


【図 2 C】



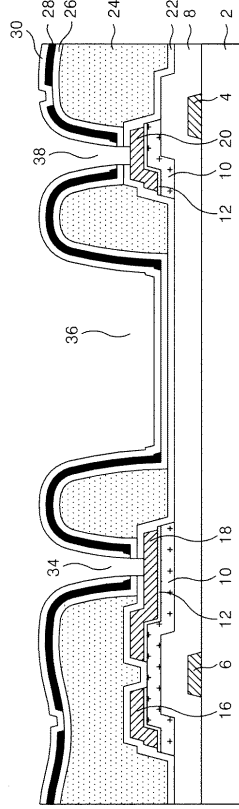
【図 2 D】

関連技術



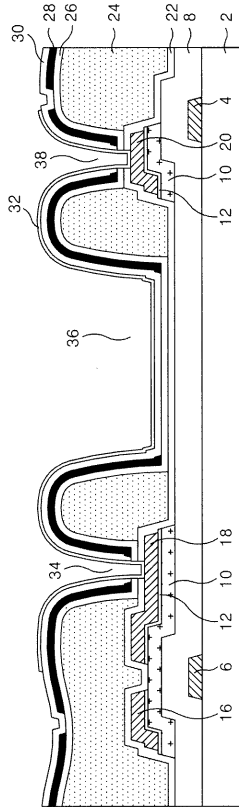
【図 2 E】

関連技術

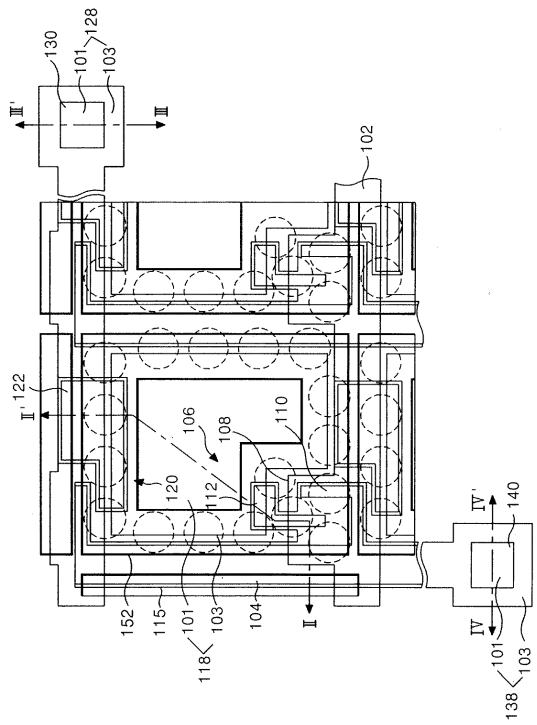


【図 2 F】

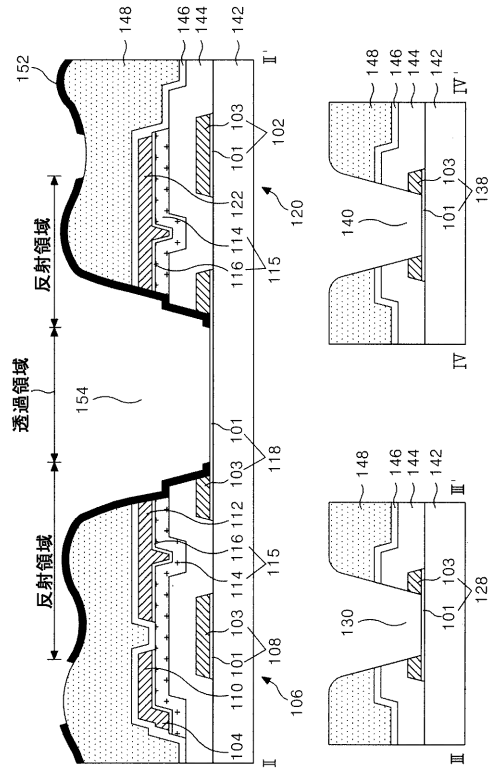
関連技術



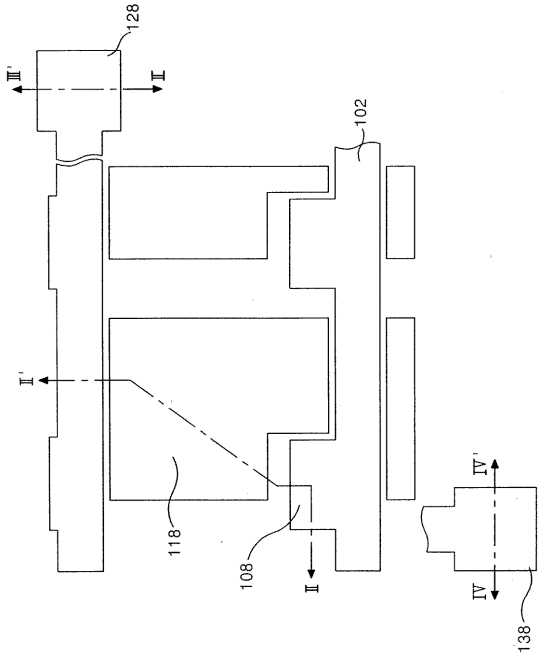
【図 3】



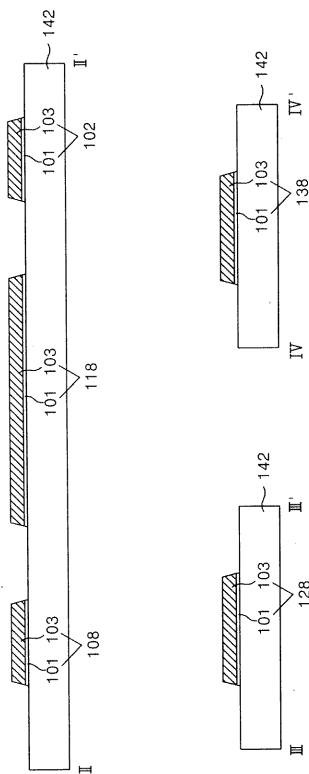
【 図 4 】



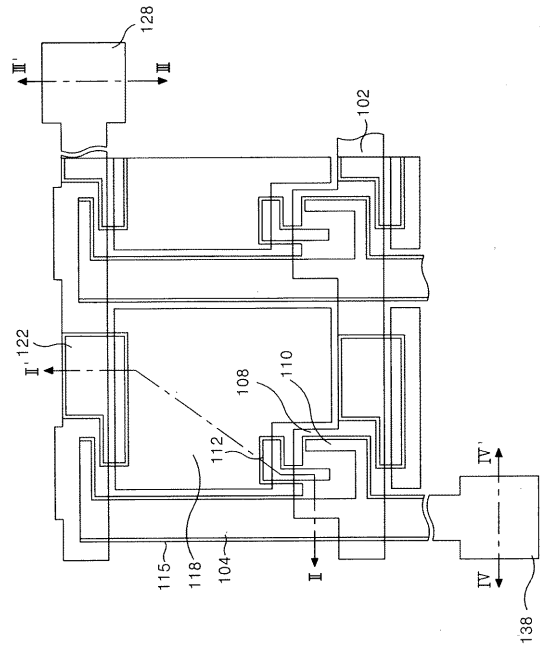
【 図 5 A 】



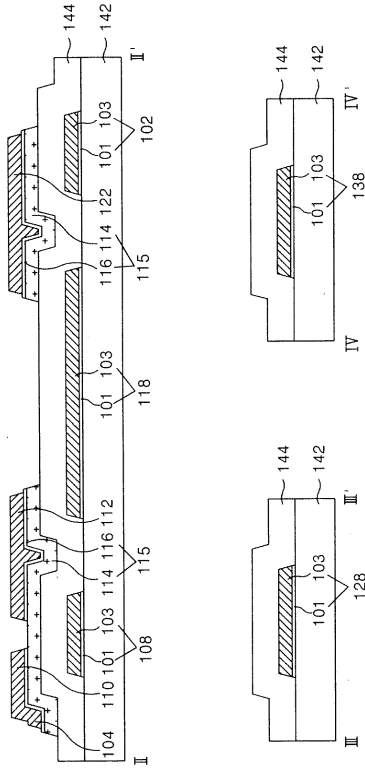
【 図 5 B 】



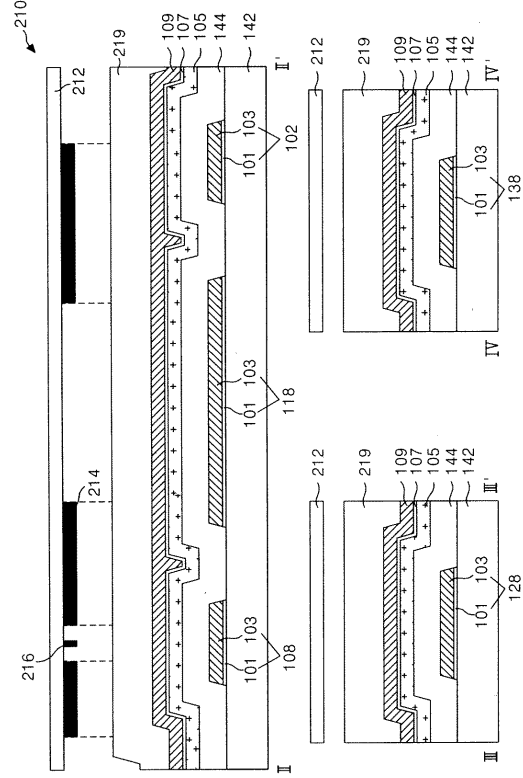
【 図 6 A 】



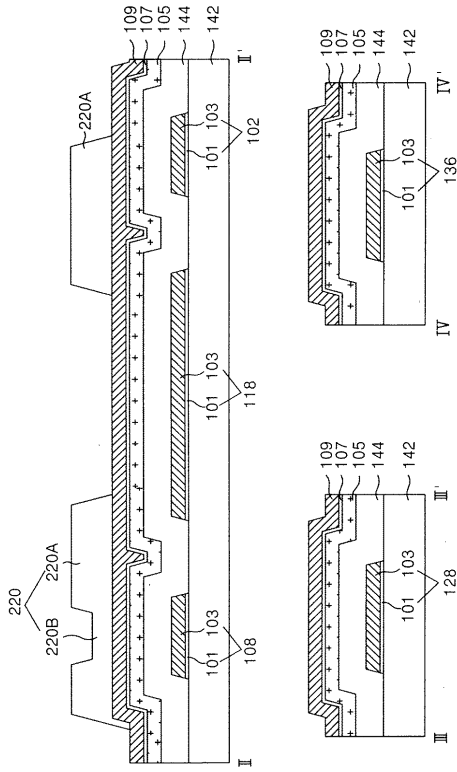
【図 6 B】



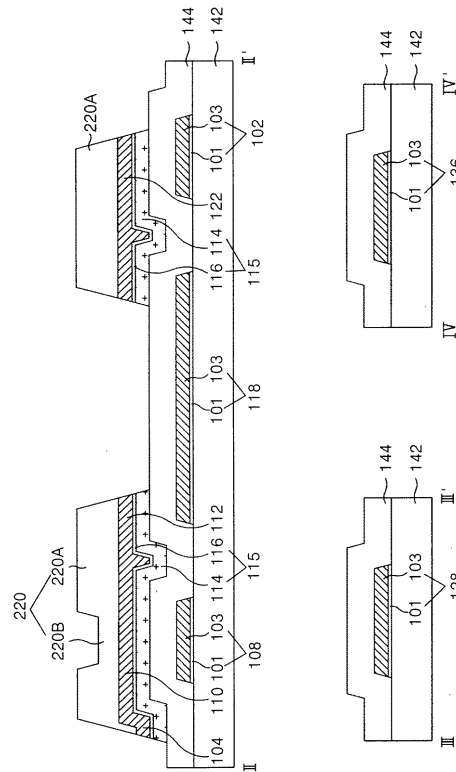
【図 7 A】



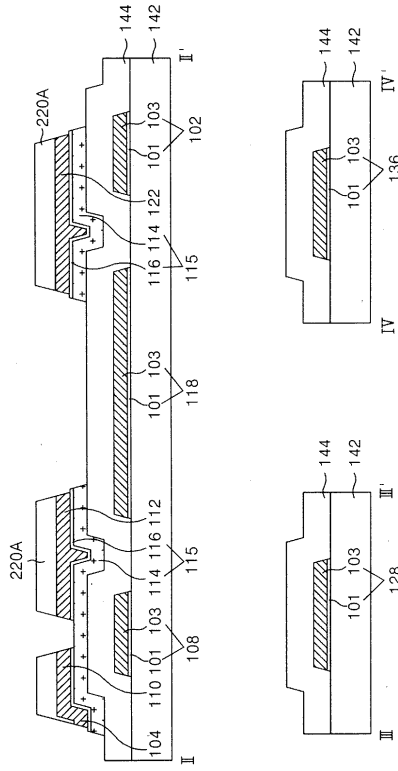
【図 7 B】



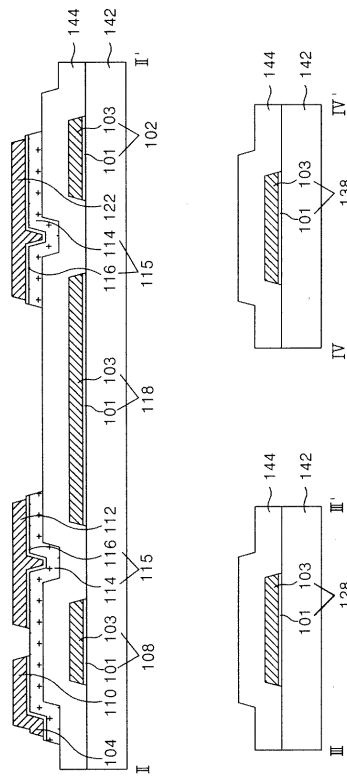
【図 7 C】



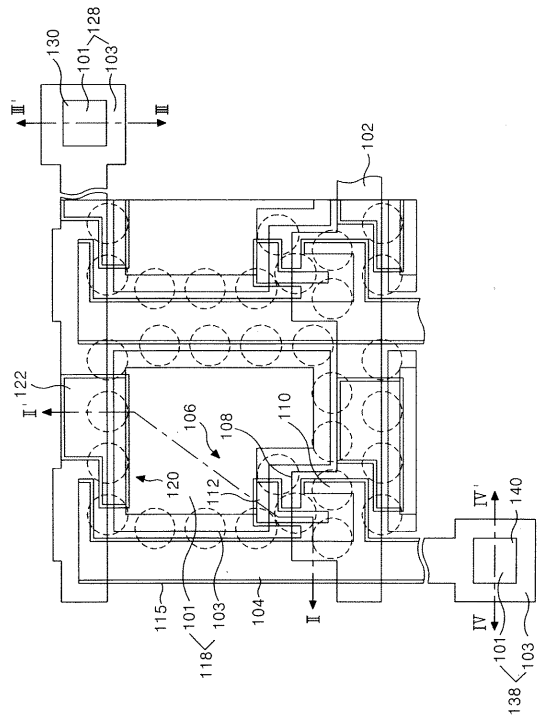
【図 7 D】



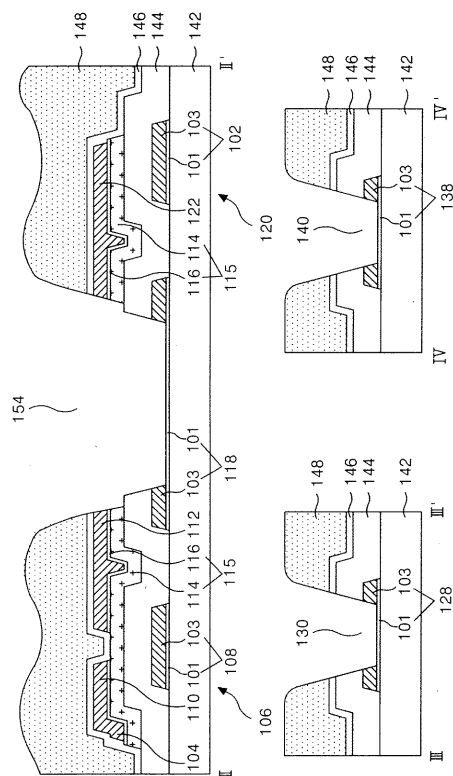
【図 7 E】



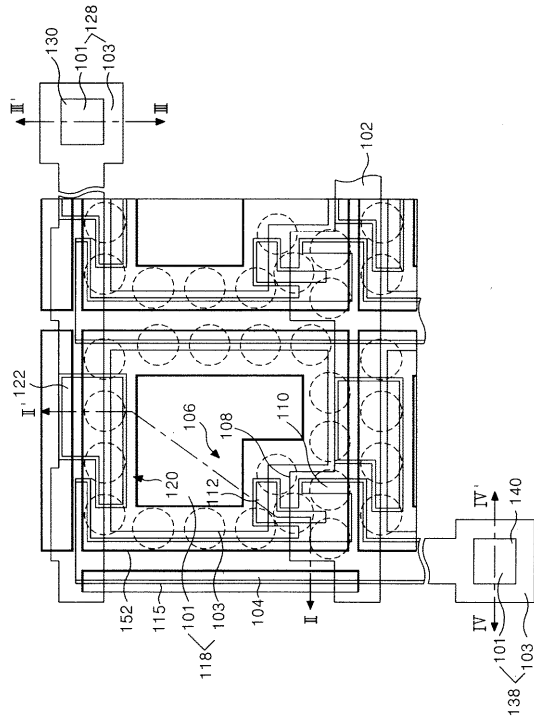
【図 8 A】



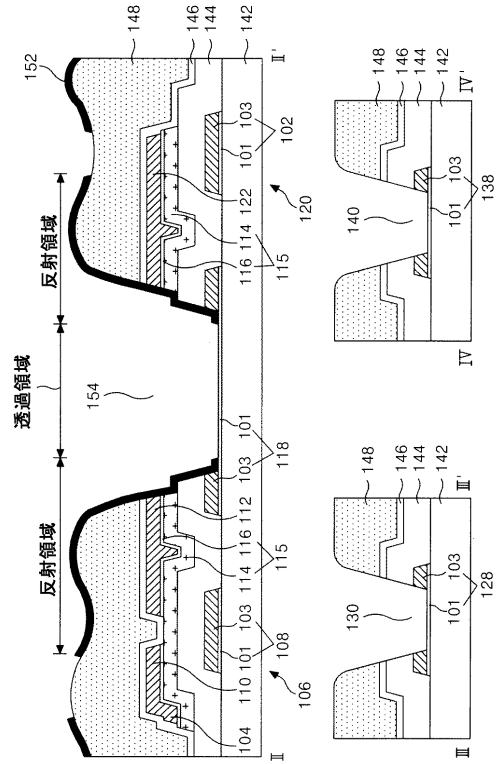
【図 8 B】



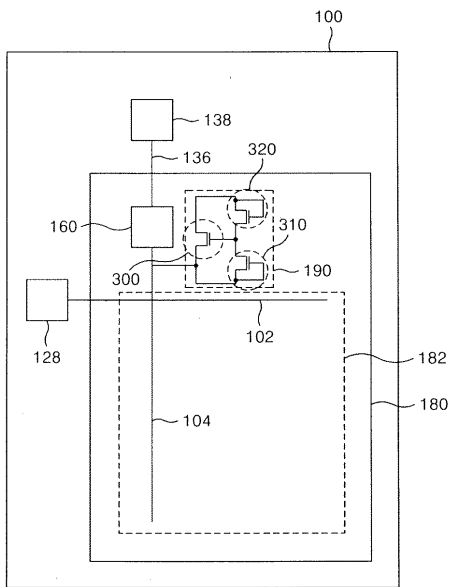
【図10A】



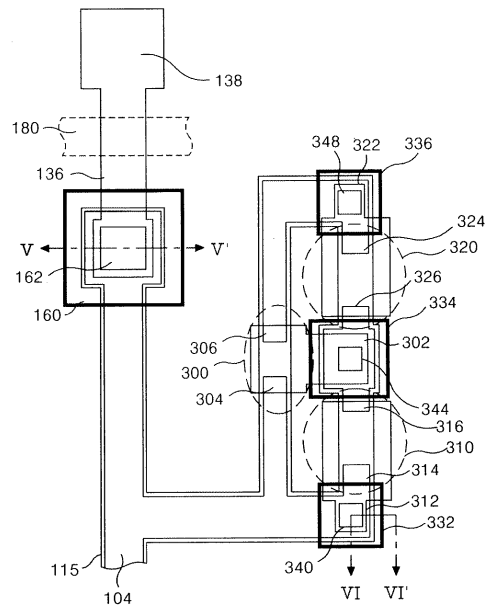
【図10B】



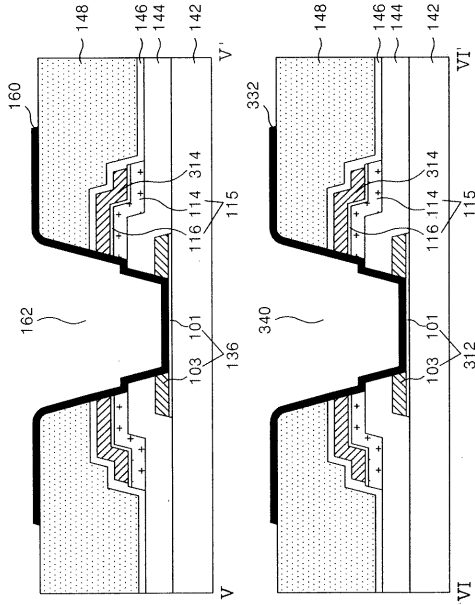
【図11】



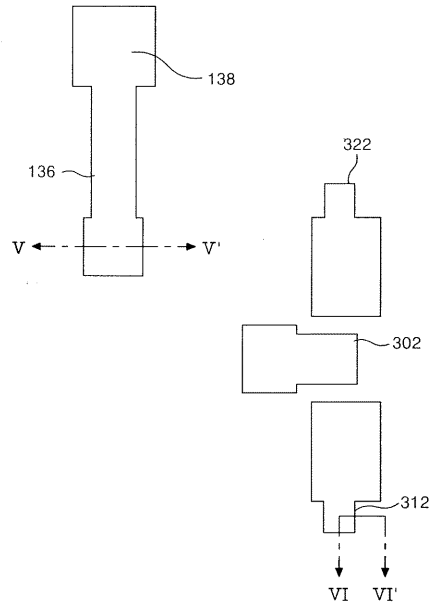
【図12】



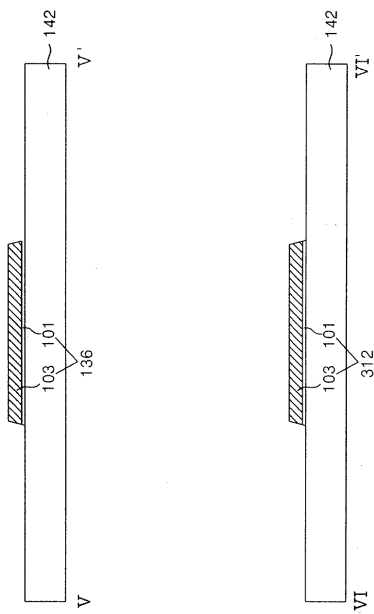
【図 13】



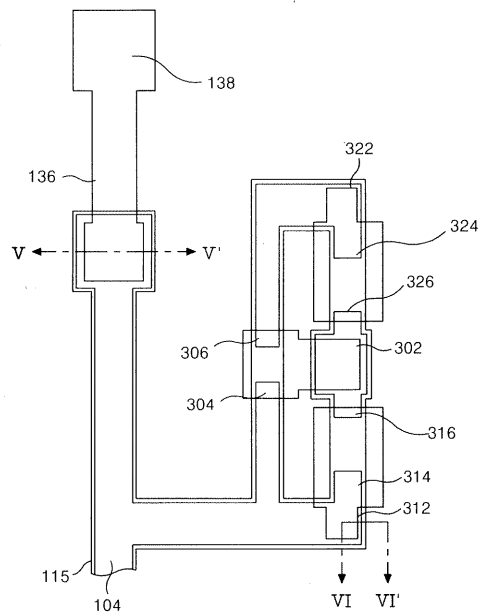
【図 14 A】



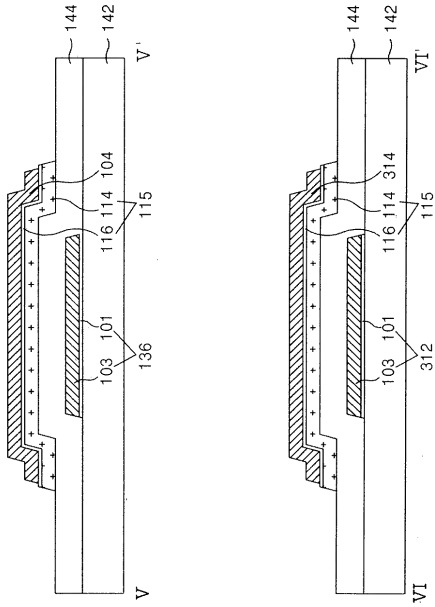
【図 14 B】



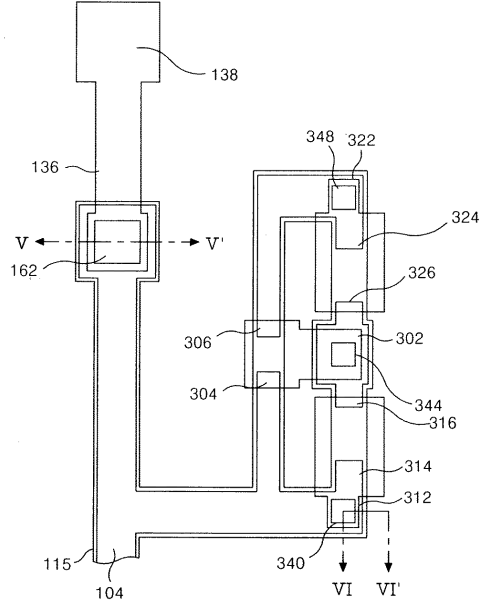
【図 15 A】



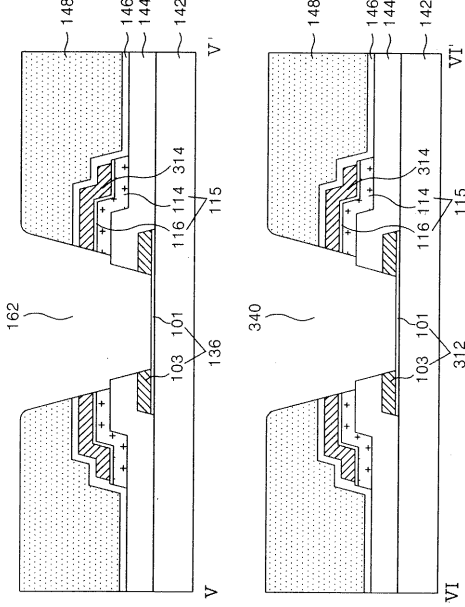
【図15B】



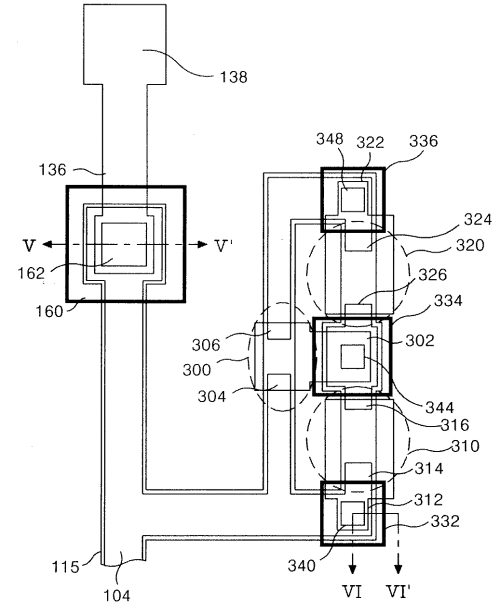
【図16A】




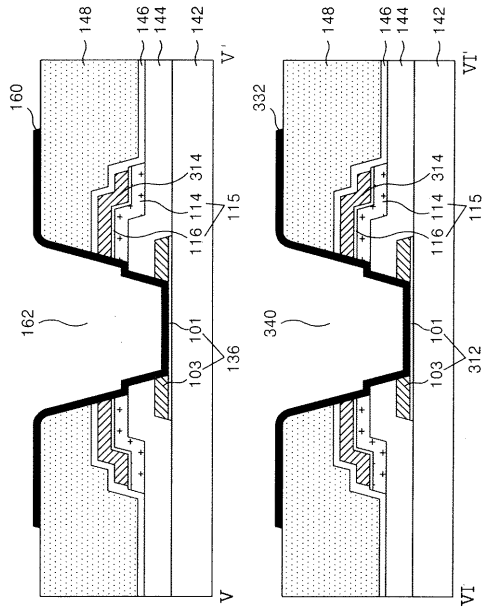
【図16B】



【図17A】



【 17B】



フロントページの続き

- (74)代理人 100101498
弁理士 越智 隆夫
- (74)代理人 100096688
弁理士 本宮 照久
- (74)代理人 100104352
弁理士 朝日 伸光
- (74)代理人 100128657
弁理士 三山 勝巳
- (72)発明者 安 炳 哲
大韓民国 京畿道 安養市 東安區 坪村洞 899-2番地 ヒャンチョン アパート 203
- 903号
- (72)発明者 朴 鍾 佑
大韓民国 大邱廣域市 北區 太田洞 テベク 2-チャ アパート 102-205号

審査官 福田 知喜

- (56)参考文献 特開2004-070355(JP,A)
特開2003-167237(JP,A)
特開2001-350158(JP,A)
特開2000-284272(JP,A)
特開平08-136951(JP,A)
特開平02-019840(JP,A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1368
G02F 1/1333
G02F 1/1339
G02F 1/1343

专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	JP4142672B2	公开(公告)日	2008-09-03
申请号	JP2005165266	申请日	2005-06-06
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji.菲利普斯杜天公司, 有限公司		
当前申请(专利权)人(译)	Eruji显示有限公司		
[标]发明人	安炳哲 朴鍾佑		
发明人	安炳哲 朴鍾佑		
IPC分类号	G02F1/1368 G02F1/1333 G02F1/1339 G02F1/1343 G02F1/1335 G02F1/136 G02F1/1362		
CPC分类号	G02F1/13458 G02F1/133555 G02F1/13624 G02F2001/136231 G02F2001/136236 G02F2001/13629		
FI分类号	G02F1/1368 G02F1/1333.505 G02F1/1339.505 G02F1/1343 G02F1/1335.520		
F-TERM分类号	2H089/MA04Y 2H089/NA12 2H089/PA15 2H089/QA02 2H089/QA10 2H089/RA05 2H089/TA02 2H089/TA09 2H089/TA17 2H090/HA02 2H090/HA06 2H090/HB03X 2H090/HC03 2H090/HD03 2H090/HD05 2H090/HD07 2H090/KA05 2H090/LA01 2H090/LA04 2H092/GA17 2H092/GA64 2H092/HA04 2H092/HA05 2H092/JA26 2H092/JA40 2H092/JA44 2H092/JA46 2H092/JB08 2H092/JB24 2H092/JB33 2H092/JB58 2H092/JB69 2H092/JB79 2H092/NA07 2H092/PA04 2H092/PA12 2H092/QA07 2H190/HA02 2H190/HA06 2H190/HB03 2H190/HC03 2H190/HD03 2H190/HD05 2H190/HD07 2H190/KA05 2H190/LA01 2H190/LA04 2H191/FA31 2H191/FA31Y 2H191/FC10 2H191/GA19 2H191/LA13 2H191/LA21 2H191/NA13 2H191/NA32 2H191/NA34 2H191/NA37 2H192/AA24 2H192/BC64 2H192/BC72 2H192/BC82 2H192/CB05 2H192/CB46 2H192/CC32 2H192/DA02 2H192/DA42 2H192/EA43 2H192/EA68 2H192/FA35 2H192/GA31 2H192/HA44 2H291/FA31Y 2H291/FC10 2H291/GA19 2H291/LA13 2H291/LA21 2H291/NA13 2H291/NA32 2H291/NA34 2H291/NA37		
代理人(译)	白井伸一 朝日 伸光		
审查员(译)	福田 知喜		
优先权	1020040041139 2004-06-05 KR		
其他公开文献	JP2005346088A JP2005346088A5		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种半透射型薄膜晶体管基板，其中可以简化制造工艺并且可以增加透射区域中的数值孔径，并提供其制造方法。解决方案：制造方法包括形成栅极线的步骤，该栅极线具有第一透明导电层和第二不透明导电层的双重结构，基板上的栅电极和像素电极，形成第一绝缘膜的步骤，半导体图案和源/漏图案，包括数据线，源电极，漏电极和存储上电极；形成覆盖源极/漏极图案的第二绝缘膜并形成在由栅极线和数据线限定的像素区域的透射区域中从有机膜穿透到像素电极的第二导电层的透射孔的步骤；以及形成连接漏电极和存储电极的反射电极的步骤，经由透射孔暴露到像素区域的反射区域中的像素电极。 Z

图 1

