

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4102925号
(P4102925)

(45) 発行日 平成20年6月18日(2008.6.18)

(24) 登録日 平成20年4月4日(2008.4.4)

(51) Int.Cl.

F I

G O 2 F 1/1368 (2006.01)

G O 2 F 1/1368

請求項の数 6 (全 13 頁)

(21) 出願番号	特願2003-137232 (P2003-137232)	(73) 特許権者	000001443
(22) 出願日	平成15年5月15日(2003.5.15)		カシオ計算機株式会社
(65) 公開番号	特開2004-341185 (P2004-341185A)		東京都渋谷区本町1丁目6番2号
(43) 公開日	平成16年12月2日(2004.12.2)	(72) 発明者	石井 裕満
審査請求日	平成17年3月17日(2005.3.17)		東京都八王子市石川町2951番地の5
前置審査			カシオ計算機株式 会社八王子研究所内
		(72) 発明者	中村 やよい
			東京都八王子市石川町2951番地の5
			カシオ計算機株式 会社八王子研究所内
		(72) 発明者	下牧 伸一
			東京都八王子市石川町2951番地の5
			カシオ計算機株式 会社八王子研究所内
			最終頁に続く

(54) 【発明の名称】 アクティブマトリックス型液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

マトリックス状に設けられた走査ラインおよびデータラインと、前記両ラインの各交点近傍に前記両ラインに接続されて設けられたスイッチング素子と、前記スイッチング素子に接続されて設けられた画素電極と、前記画素電極間に設けられ、隣接する両側の前記画素電極と重ね合わされて設けられ、前記画素電極と重ね合わされた部分により補助容量部を形成する補助容量ラインとを備えたアクティブマトリックス型液晶表示装置において、前記補助容量ラインは、前記画素電極と前記データラインとの間にそれぞれ絶縁膜を介して設けられ、且つ、その一部は前記データラインと重ね合わされて平行に形成され、前記データラインよりも幅広であり、前記画素電極の間隔よりも幅広の遮光部と、前記遮光部より幅広の透過性補助容量ラインが重ね合わされて設けられており、前記スイッチング素子上が前記透過性補助容量ラインで覆われていることを特徴とするアクティブマトリックス型液晶表示装置。

【請求項2】

請求項1に記載の発明において、前記画素電極はその前段の前記走査ラインと重ね合わされていることを特徴とするアクティブマトリックス型液晶表示装置。

【請求項3】

請求項1に記載の発明において、前記補助容量ラインから前記画素電極と前記走査ラインとの間の隙間と重ね合わされる延出部が延出されていることを特徴とするアクティブマトリックス型液晶表示装置。

【請求項 4】

請求項 1 に記載の発明において、互いに隣接する前記補助容量ライン間に連結部が設けられ、全体として格子状となっていることを特徴とするアクティブマトリックス型液晶表示装置。

【請求項 5】

請求項 4 に記載の発明において、前記連結部は前記画素電極と前記走査ラインとの間の隙間および前記走査ラインとその後段の前記画素電極との間の隙間と重ね合わされていることを特徴とするアクティブマトリックス型液晶表示装置。

【請求項 6】

請求項 4 に記載の発明において、前記連結部は前記薄膜トランジスタと重ね合わされていることを特徴とするアクティブマトリックス型液晶表示装置。

10

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明はアクティブマトリックス型液晶表示装置に関する。

【0002】

【従来の技術】

従来のアクティブマトリックス型液晶表示装置には、ガラス基板上に走査ラインおよびデータラインがマトリックス状に設けられ、その各交点近傍にスイッチング素子としての薄膜トランジスタが両ラインに接続されて設けられ、それらの上に絶縁膜が設けられ、その上に画素電極が絶縁膜に設けられたコンタクトホールを介して薄膜トランジスタに接続されて設けられたものがある（例えば、特許文献 1 参照）。この場合、高開口率化を図るために、画素電極の縁部は両ラインと重ね合わされている。

20

【0003】

【特許文献 1】

特開平 1 - 1 5 6 7 2 5 号公報（第 1 図、第 4 図）

【0004】

【発明が解決しようとする課題】

しかしながら、上記構成の液晶表示装置では、画素電極の縁部をデータラインに重ね合わせているので、この重合部分に結合容量が発生し、この結合容量に起因して垂直クロストークが発生し、表示特性が劣化してしまうという問題があった。すなわち、例えば、図 10（A）に示すように、1 画素 41 の背景が灰色でその中に正方形の黒表示 42 を行うとき、上記結合容量に起因して、画素の電位がドレイン電圧に引きずられるため、図 10（B）において符号 43 で示すように、黒表示 42 の上下の背景の色がやや濃くなり、黒表示 42 が上下方向に尾引き、表示特性が劣化してしまう。

30

そこで、この発明は、垂直クロストークが発生しないようにすることができるアクティブマトリックス型液晶表示装置を提供することを目的とする。

【0005】

【課題を解決するための手段】

請求項 1 に記載の発明は、マトリックス状に設けられた走査ラインおよびデータラインと、前記両ラインの各交点近傍に前記両ラインに接続されて設けられたスイッチング素子と、前記スイッチング素子に接続されて設けられた画素電極と、前記画素電極間に設けられ、隣接する両側の前記画素電極と重ね合わされて設けられ、前記画素電極と重ね合わされた部分により補助容量部を形成する補助容量ラインとを備えたアクティブマトリックス型液晶表示装置において、前記補助容量ラインは、前記画素電極と前記データラインとの間にそれぞれ絶縁膜を介して設けられ、且つ、その一部は前記データラインと重ね合わされて平行に形成され、前記データラインよりも幅広であり、前記画素電極の間隔よりも幅広の遮光部と、前記遮光部より幅広の透過性補助容量ラインが重ね合わされて設けられており、前記スイッチング素子上が前記透過性補助容量ラインで覆われていることを特徴とするものである。

40

50

請求項 2 に記載の発明は、請求項 1 に記載の発明において、前記画素電極はその前段の前記走査ラインと重ね合わされていることを特徴とするものである。

請求項 3 に記載の発明は、請求項 1 に記載の発明において、前記補助容量ラインから前記画素電極と前記走査ラインとの間の隙間と重ね合わされる延出部が延出されていることを特徴とするものである。

請求項 4 に記載の発明は、請求項 1 に記載の発明において、互いに隣接する前記補助容量ライン間に連結部が設けられ、全体として格子状となっていることを特徴とするものである。

請求項 5 に記載の発明は、請求項 4 に記載の発明において、前記連結部は前記画素電極と前記走査ラインとの間の隙間および前記走査ラインとその後段の前記画素電極との間の隙間と重ね合わされていることを特徴とするものである。

請求項 6 に記載の発明は、請求項 4 に記載の発明において、前記連結部は前記薄膜トランジスタと重ね合わされていることを特徴とするものである。

【 0 0 0 6 】

【発明の実施の形態】

(第 1 参考実施形態)

図1はこの発明の第 1 参考実施形態としてのアクティブマトリックス型液晶表示装置における薄膜トランジスタパネルの要部の透過平面図を示す。この薄膜トランジスタパネルはガラス基板 1 を備えている。ガラス基板 1 の上面側には走査ライン 2 およびデータライン 3 がマトリックス状に設けられ、その各交点近傍には薄膜トランジスタ 4 および画素電極 5 が設けられ、さらに補助容量ライン 6 がデータライン 3 と平行して設けられている。ここで、図1を明確にする目的で、各画素電極 5 の縁部に斜めの短い実線のハッチングが記入されている（以下の実施形態でも同様）。

【 0 0 0 7 】

この場合、画素電極 5 の左右辺部は、その左右両側に配置された補助容量ライン 6 と重ね合わされている。これにより、画素電極 5 のうち、その左右両側の補助容量ライン 6 形成領域および薄膜トランジスタ 4 形成領域を除く領域が実質的な画素領域となっている。ただし、薄膜トランジスタパネル上に対向配置される対向パネル（図示せず）には、薄膜トランジスタ 4 への外光の入射を防止するために、少なくとも薄膜トランジスタ 4 に対応する部分にブラックマスクが設けられている。

【 0 0 0 8 】

補助容量ライン 6 はデータライン 3 と重ね合わされている。また、後で説明するが、補助容量ライン 6 は、厚さ方向において、すなわち、図 1 における紙面垂直方向において、データライン 3 と画素電極 5 との間にそれぞれ絶縁膜を介して設けられている。そして、補助容量ライン 6 の幅（走査ライン 2 と平行な方向の長さ）はデータライン 3 の幅よりもある程度大きくなってなり、これにより、走査ライン 2 と平行方向の位置ずれがあっても、データライン 3 が直接画素電極 5 と対向しないようにデータライン 3 を確実に覆っている。

【 0 0 0 9 】

また、補助容量ライン 6 はデータライン 3 の配置領域のほぼ全域に亘って配置されており、これにより、補助容量ライン 6 は、画素電極 5 に対し、走査ライン 2 と直交する方向の位置ずれがあっても、画素電極 5 と確実に重なり、位置合わせずれによる補助容量の変動を確実に防止している。

【 0 0 1 0 】

次に、この薄膜トランジスタパネルの具体的な構造について説明する。図 2 は図 1 の II - II 線に沿う断面図を示す。ガラス基板 1 の上面の所定の箇所にはクロムやモリブデンなどからなるゲート電極 11 を含む走査ライン 2（図 1 参照）が設けられている。ゲート電極 11 および走査ライン 2 を含むガラス基板 1 の上面には窒化シリコンからなるゲート絶縁膜 12 が設けられている。

【 0 0 1 1 】

ゲート電極 1 1 上におけるゲート絶縁膜 1 2 の上面の所定の箇所には真性アモルファスシリコンからなる半導体薄膜 1 3 が設けられている。ゲート電極 1 1 上における半導体薄膜 1 3 の上面の所定の箇所には窒化シリコンからなるチャネル保護膜 1 4 が設けられている。

【 0 0 1 2 】

チャネル保護膜 1 4 の上面両側およびその両側における半導体薄膜 1 3 の上面には n 型アモルファスシリコンからなるオーミックコンタクト層 1 5、1 6 が設けられている。オーミックコンタクト層 1 5、1 6 の上面にはクロムやモリブデンなどからなるソース電極 1 7 およびドレイン電極 1 8 が設けられている。

【 0 0 1 3 】

そして、ゲート電極 1 1、ゲート絶縁膜 1 2、半導体薄膜 1 3、チャネル保護膜 1 4、オーミックコンタクト層 1 5、1 6、ソース電極 1 7 およびドレイン電極 1 8 により、薄膜トランジスタ 4 が構成されている。

【 0 0 1 4 】

ゲート絶縁膜 1 2 の上面の所定の箇所にはデータライン 3 が設けられている。この場合、データライン 3 は、下から順に、真性アモルファスシリコン層 3 a、n 型アモルファスシリコン層 3 b、クロムやモリブデンなどからなる金属層 3 c の 3 層構造となっている。そして、真性アモルファスシリコン層 3 a、n 型アモルファスシリコン層 3 b および金属層 3 c は、ドレイン電極 1 8 形成領域における半導体薄膜 1 3、オーミックコンタクト層 1 6 およびドレイン電極 1 8 に接続されている。

【 0 0 1 5 】

薄膜トランジスタ 4 およびデータライン 3 を含むゲート絶縁膜 1 2 の上面には窒化シリコンからなる層間絶縁膜 1 9 が設けられている。データライン 3 上における層間絶縁膜 1 9 の上面の所定の箇所にはクロムやモリブデンなどからなる補助容量ライン 6 が設けられている。

【 0 0 1 6 】

補助容量ライン 6 を含む層間絶縁膜 1 9 の上面には窒化シリコンからなるオーバーコート膜 2 0 が設けられている。ソース電極 1 7 上における層間絶縁膜 1 9 およびオーバーコート膜 2 0 にはコンタクトホール 2 1 が設けられている。オーバーコート膜 2 0 の上面の所定の箇所には ITO や ZnO などの透明導電材料からなる画素電極 5 がコンタクトホール 2 1 を介してソース電極 1 7 に接続されて設けられている。

【 0 0 1 7 】

そして、上記構成の薄膜トランジスタパネルを備えたアクティブマトリックス型液晶表示装置では、データライン 3 と画素電極 5 との間に、データライン 3 の幅よりも広い形状を有する補助容量ライン 6 を設けているので、この補助容量ライン 6 により、データライン 3 と画素電極 5 との間に結合容量が発生するのを防止することができ、したがって垂直クロストークが発生しないようにすることができ、表示特性を向上することができる。

【 0 0 1 8 】

また、図 1 に示すように、走査ライン 2 とデータライン 3 との交差部分の近傍を補助容量ライン 6 で遮光することができるため、当該近傍を、対向パネルに設けられた、相対的に加工精度の悪いブラックマスクで遮光する場合と比較して、開口率を大きくすることができる。

【 0 0 1 9 】

さらに、図 1 に示すように、画素電極 5 の左右辺部のみを、その左右両側に配置された補助容量ライン 6 と重ね合わせているため、補助容量ラインを走査ライン 2 に平行に配置して、この補助容量ラインから画素電極 5 の左右辺部に沿って延出された 2 つの延出部とその根元部間の補助容量ラインとからなるほぼコ字状部を画素電極 5 の 3 つの辺部に重ね合わせる場合と比較して、開口率を大きくすることができる。

【 0 0 2 0 】

(第 2 参考実施形態)

10

20

30

40

50

図 3 はこの発明の第 2 参考実施形態としての薄膜トランジスタパネルの図 1 同様の透過平面図を示す。この図 3 において、図 1 に示す場合と異なる点は、画素電極 5 の上辺部を延長させて前段の走査ライン 2 と重ね合わせた点である。この場合、画素電極 5 の上辺部が前段の走査ライン 2 を乗り越えて前段の薄膜トランジスタ（図示せず）と干渉するのを確実に防止するために、走査ライン 3 の幅は図 1 に示す場合よりもある程度大きくしている。

【 0 0 2 1 】

このように、この第 2 実施形態では、画素電極 5 の上辺部を延長させて前段の走査ライン 2 と重ね合わせているため、図 1 に示す場合に存在した、画素電極 5 と前段の走査ライン 2 との間の隙間（光漏れ部）を無くすることができる。したがって、当該隙間を、対向パネルに設けられるブラックマスクで遮光する必要はなく、ブラックマスクで遮光する場合と比較して、開口率を大きくすることができる。

【 0 0 2 2 】

また、画素電極 5 の上辺部を延長させて前段の走査ライン 2 と重ね合わせているため、画素電極 5 の上辺部と前段の走査ライン 2 との間の電界がより一層強くなる。この結果、画素電極 5 の上辺部と対向パネルとの間に介在された液晶が前段の走査ライン 2 のオフ電位で強く規制されることになり、図 1 に示す場合と比較して、ディスクリネーションが小さくなる。したがって、ディスクリネーションを隠すために、対向パネルに設けられるブラックマスクをある程度小さくすることができ、ひいては開口率を大きくすることができる。

【 0 0 2 3 】

（第 3 参考実施形態）

図 4 はこの発明の第 3 参考実施形態としての薄膜トランジスタパネルの図 3 同様の透過平面図を示す。この図 4 において、図 3 に示す場合と異なる点は、画素電極 5 の左側の補助容量ライン 6 の所定の箇所から右側に第 1 の延出部 6 a を走査ライン 2 に平行な方向に延出させ、この第 1 の延出部 6 a を薄膜トランジスタ 4 のゲート電極 1 1 の上側において画素電極 5 の下辺部左側と重ね合わせ、また、画素電極 5 の右側の補助容量ライン 6 の所定の箇所から左側に第 2 の延出部 6 b を走査ライン 2 に平行な方向に延出させ、この第 2 の延出部 6 b を画素電極 5 の下辺部右側、走査ライン 2 および後段の画素電極 5 A の上辺部右側と重ね合わせた点である。この場合、薄膜トランジスタ 4 のソース電極 1 7 の画素電極 5 との接続部分（つまり、図 2 のコンタクトホール 2 1 の部分）は、第 2 の延出部 6 b を避ける位置に設けられている。

【 0 0 2 4 】

このように、この第 3 実施形態では、左側の補助容量ライン 6 から延出された第 1 の延出部 6 a を薄膜トランジスタ 4 のゲート電極 1 1 と画素電極 5 の下辺部左側との間に配置し、また右側の補助容量ライン 6 から延出された第 2 の延出部 6 b を画素電極 5 の下辺部右側と走査ライン 2 との間に配置しているため、画素電極 5 と薄膜トランジスタ 4 のゲート電極 1 1 および走査ライン 2 との間の結合容量（ C_{gs} ）を減少させることができる。これは、交流駆動においてゲート電位の変化に引きずられる画素電位の変化（飛び込み電圧 ΔV ）を少ない補助容量で抑制することができることを意味し、表示品位に悪影響を与えるフリッカおよび信頼性に悪影響を与える焼き付けを改善することができることになる。

【 0 0 2 5 】

また、第 2 の延出部 6 b で画素電極 5 の下辺部右側と走査ライン 2 との間の隙間を覆うことができるため、当該隙間からの光漏れを無くすることができる。したがって、当該隙間を、対向パネルに設けられるブラックマスクで遮光する必要はなく、ブラックマスクで遮光する場合と比較して、開口率を大きくすることができる。

【 0 0 2 6 】

（第 4 参考実施形態）

図 5 はこの発明の第 4 参考実施形態としての薄膜トランジスタパネルの図 1 同様の透過平面図を示す。この図 5 において、図 1 に示す場合と異なる点は、画素電極 5 の左右両側

10

20

30

40

50

の2つの補助容量ライン6の各所定の箇所を連結部6cで連結し、この連結部6cを画素電極5の下辺部および後段の画素電極5Aの上辺部と重ね合わせた点である。この場合、薄膜トランジスタ4のソース電極17の画素電極5との接続部分（つまり、図2のコンタクトホール21の部分）は、連結部6cを避ける位置に設けられている。

【0027】

このように、この第4実施形態では、連結部6cを画素電極5の下辺部および後段の画素電極5Aの上辺部と重ね合わせているため、連結部6cを含む補助容量ライン6で画素電極5の中央部（透過画素）以外の全ての領域を覆うことができる。したがって、対向パネルに光漏れ防止用のブラックマスクを設ける必要はなく、開口率をかなり大きくすることができる。

10

【0028】

また、真性アモルファスシリコンからなる半導体薄膜13（図2参照）を備えた薄膜トランジスタ4の場合には、光リークが発生しやすいが、この薄膜トランジスタ4（ソース電極17の一部を除く）を連結部6cで完全に覆うことができるため、光リーク抑制性能をかなり向上することができる。

【0029】

また、画素電極5の左右両側の2つの補助容量ライン6の各所定の箇所を連結部6cで連結しているため、連結部6cを含む補助容量ライン6は格子状となる。したがって、連結部6cを含む補助容量ライン6のどこかに断線が発生しても、電流経路を確保することができ、ひいては断線不良発生の危険度を極めて小さくすることができる。

20

【0030】

さらに、連結部6cを含む補助容量ライン6が格子状であると、例えば図1に示すように、補助容量ライン6がストライプ状である場合と比較して、時定数を小さくすることができる。すなわち、補助容量ライン6を対向パネルに設けられた対向電極（図示せず）に接続しておくと、補助容量ライン6は対向電極と同期して駆動される。そして、交流駆動における飛び込み電圧 ΔV 補正のため、対向電極は1H信号または1V信号に同期して駆動されるので、抵抗値を低くして時定数を小さくする方が立上りが俊敏となる。

【0031】

（第5参考実施形態）

図6はこの発明の第5参考実施形態としての薄膜トランジスタパネルの図5同様の透過平面図を示す。この図6において、図5に示す場合と異なる点は、走査ライン2の幅をある程度大きくし、後段の画素電極5Aの上辺部を走査ライン2と重ね合わせ、この重合領域およびその上側の領域（つまり、多数の点からなるハッチングが記入された領域）を除く領域における走査ライン2に連結部6cを重ね合わせた点である。すなわち、多数の点からなるハッチングが記入された領域においては、連結部6cは走査ライン2と重ね合わされていない。

30

【0032】

このように、この第5実施形態では、多数の点からなるハッチングが記入された領域において、連結部6cを走査ライン2と重ね合わせず、且つ、後段の画素電極5Aの上辺部を走査ライン2と重ね合わせているため、画素電極5の上辺部と前段の走査ライン2Aとの間の電界がより一層強くなる。この結果、画素電極5の上辺部と対向パネルとの間に介在された液晶が前段の走査ライン2Aのオフ電位で強く規制されることになり、ディスクリネーションが小さくなる。したがって、上記第2実施形態の場合と同様に、ディスクリネーションを隠すために、対向パネルに設けられるブラックマスクをある程度小さくすることができ、ひいては開口率を大きくすることができる。

40

【0033】

（第1実施形態）

図7はこの発明の第1実施形態としての薄膜トランジスタパネルの図6同様の透過平面図を示す。この図7において、図6に示す場合と異なる点は、連結部6cを含む補助容量ライン6下における層間絶縁膜19（図2参照）の上面にITOやZnOなどの透明導電

50

材料からなる透過性補助容量ライン 6 A を設けた点である。

【 0 0 3 4 】

この場合、透過性補助容量ライン 6 A は、画素電極 5 の左右辺部および下辺部に対応する領域において、連結部 6 c を含む補助容量ライン 6 のやや内側の位置まで設けられている。また、透過性補助容量ライン 6 A は、薄膜トランジスタ 4 のソース電極 1 7 の画素電極 5 との接続部分（つまり、図 2 のコンタクトホール 2 1 の部分）およびその近傍に対応する領域には設けられていない。さらに、連結部 6 c を含む補助容量ライン 6 は、ITO や ZnO などの透明導電材料からなる透過性補助容量ライン 6 A と直接電氣的にコンタクト可能なクロムやモリブデンなどからなる遮光性金属によって形成されている。

【 0 0 3 5 】

このように、この第 6 実施形態では、透過性補助容量ライン 6 A を、画素電極 5 の左右辺部および下辺部に対応する領域において、連結部 6 c を含む補助容量ライン 6 のやや内側の位置まで設けているため、当該やや内側の位置に位置する透過性補助容量ライン 6 A と画素電極 5 との重合部分によっても補助容量部が形成される。しかも、当該やや内側の位置に位置する透過性補助容量ライン 6 A は ITO や ZnO などの透明導電材料によって形成されているため、開口率に影響を与えることはない。したがって、当該やや内側の位置に位置する透過性補助容量ライン 6 A の大きさや形状を適宜に選定することにより、開口率に影響を与えることなく、補助容量の大きさを調整することができる。

【 0 0 3 6 】

なお、透過性補助容量ライン 6 A は、図 2 を参照して説明すると、補助容量ライン 6 を含む層間絶縁膜 1 9 の上面に設けるようにしてもよく、また、補助容量ライン 6 を含む層間絶縁膜 1 9 の上面に設けられた上層層間絶縁膜（図示せず）の上面に該上層層間絶縁膜に設けられたコンタクトホールを介して補助容量ライン 6 に接続させて設けるようにしてもよい。また、上層層間絶縁膜下に透過性補助容量ライン 6 A を設け、上層層間絶縁膜上に補助容量ライン 6 を該上層層間絶縁膜に設けられたコンタクトホールを介して透過性補助容量ライン 6 A に接続させて設けるようにしてもよい。

【 0 0 3 7 】

（第 2 実施形態）

なお、上記各実施形態では、薄膜トランジスタ 4 がアモルファスシリコン薄膜トランジスタである場合について説明したが、この発明はポリシリコン薄膜トランジスタにも適用することができる。そこで、次に、図 2 同様の断面図である図 8 を参照して、この発明の第 2 実施形態としてのポリシリコン薄膜トランジスタを備えた薄膜トランジスタパネルについて説明する。

【 0 0 3 8 】

図 8 に示すように、ガラス基板 1 の上面には酸化シリコンからなる第 1 の下地絶縁膜 3 1 および窒化シリコンからなる第 2 の下地絶縁膜 3 2 が設けられている。第 2 の下地絶縁膜 3 2 の上面の所定の箇所にはポリシリコンからなる半導体薄膜 3 3 が設けられている。この場合、半導体薄膜 3 3 の中央部は真性領域からなるチャネル領域 3 3 a とされ、その両側は n 型不純物注入領域からなるソース領域 3 3 b およびドレイン領域 3 3 c とされている。

【 0 0 3 9 】

半導体薄膜 3 3 を含む第 2 の下地絶縁膜 3 2 の上面には窒化シリコンからなるゲート絶縁膜 1 2 が設けられている。チャネル領域 3 3 a 上におけるゲート絶縁膜 1 2 の上面の所定の箇所にはクロムやモリブデンなどからなるゲート電極 1 1 が設けられている。また、ゲート絶縁膜 1 2 の上面の所定の箇所にはクロムやモリブデンなどからなる走査ライン（図示せず）がゲート電極 1 1 に接続されて設けられている。

【 0 0 4 0 】

ゲート電極 1 1 などを含むゲート絶縁膜 1 2 の上面には窒化シリコンからなる第 1 の層間絶縁膜 3 4 が設けられている。ソース領域 3 3 b およびドレイン領域 3 3 c 上におけるゲート絶縁膜 1 2 および第 1 の層間絶縁膜 3 4 にはコンタクトホール 3 5、3 6 が設けられ

10

20

30

40

50

ている。コンタクトホール 35、36 内およびその各近傍の第 1 の第 1 の層間絶縁膜 34 の上面の各所定の箇所にはクロムやモリブデンなどからなるソース電極 17 およびドレイン電極 18 が設けられている。また、第 1 の第 1 の層間絶縁膜 34 の上面の所定の箇所にはクロムやモリブデンなどからなるデータライン 3 がドレイン電極 18 に接続されて設けられている。

【0041】

そして、半導体薄膜 33、ゲート絶縁膜 12、ゲート電極 11、第 1 の層間絶縁膜 34、コンタクトホール 35、36、ソース電極 17 およびドレイン電極 18 により、薄膜トランジスタ 4 が構成されている。

【0042】

ソース電極 17、ドレイン電極 18 およびデータライン 3 を含む第 1 の層間絶縁膜 34 の上面には窒化シリコンからなる第 2 の層間絶縁膜 37 が設けられている。データライン 3 上における第 2 の層間絶縁膜 37 の上面の所定の箇所にはクロムやモリブデンなどからなる補助容量ライン 6 が設けられている。補助容量ライン 6 の幅はデータライン 3 の幅よりも大きくなっている。

【0043】

補助容量ライン 6 を含む第 2 の層間絶縁膜 37 の上面には窒化シリコンからなるオーバーコート膜 20 が設けられている。ソース電極 17 上における第 2 の層間絶縁膜 37 およびオーバーコート膜 20 にはコンタクトホール 21 が設けられている。オーバーコート膜 20 の上面の所定の箇所にはITOやZnOなどの透明導電材料からなる画素電極 5 がコンタクトホール 21 を介してソース電極 17 に接続されて設けられている。

【0044】

そして、上記構成の薄膜トランジスタパネルを備えたアクティブマトリックス型液晶表示装置でも、データライン 3 と画素電極 5 との間に、データライン 3 の幅よりも広い形状を有する補助容量ライン 6 を設けているので、この補助容量ライン 6 により、データライン 3 と画素電極 5 との間に結合容量が発生するのを防止することができ、したがって垂直クロストークが発生しないようにすることができ、表示特性を向上することができる。

【0045】

(第3実施形態)

ところで、ポリシリコン薄膜トランジスタ 4 では、耐光性が高いため、この薄膜トランジスタ 4 を遮光しないようにしてもよい。そこで、次に、図 7 同様の透過平面図である図 9 を参照して、この発明の第 3 実施形態としてのポリシリコン薄膜トランジスタ 4 を備えた薄膜トランジスタパネルについて説明する。

【0046】

図 9 において、図 7 に示す場合と異なる点は、画素電極 5 および透過性補助容量ライン 6A で薄膜トランジスタ 4 を覆った点である。このようにした場合には、薄膜トランジスタ 4 の周囲における光漏れ領域に配置された画素電極 5 を透過画素の一部とすることができるため、開口率を大きくすることができる。なお、薄膜トランジスタ 4 上は透過性補助容量ライン 6A でシールドされているため、トランジスタ特性は画素電極 5 の影響を受けることはない。

【0047】

(その他の実施形態)

図 5、図 6、図 7 および図 9 にそれぞれ示す場合において、液晶表示装置を反射型として使用するとき、補助容量ライン 6 をアルミニウム系金属や銀系金属などの高反射率材料によって形成し、この補助容量ライン 6 の画素電極 5 との重合部分を外光を反射するための反射面として利用するようにしてもよい。

【0048】

なお、上述の実施形態では、画素電極 5 が列方向に直線状に配列されたストライプ配列とし、データライン 3 および補助容量ライン 6 をこの画素電極 5 間において列方向に直線状に形成した場合で説明したが、画素電極 5 を 1 行毎に半ピッチずつずらした、所謂、デル

10

20

30

40

50

タ配列となしたもののにも適用することが可能であり、その場合には、データライン 3 および補助容量ライン 6 は、画素電極 5 の各行間において、走査ライン 2 と平行に画素電極 5 の半ピッチ分延出されたジグザグ形状に形成される。また、スイッチング素子として薄膜トランジスタを用いているが、ダイオード等、他のスイッチング素子を適用することができる。

【 0 0 4 9 】

【発明の効果】

以上説明したように、この発明によれば、補助容量ラインを画素電極とデータラインとの間にそれぞれ絶縁膜を介して設けているので、この補助容量ラインにより、画素電極とデータラインとの間に結合容量が発生するのを防止することができ、したがって垂直クロストークが発生しないようにすることができ、表示特性を向上することができる。また、画素電極の間隔よりも幅広の遮光部と、該遮光部より幅広の透過性補助容量ラインが重ね合わされて設けられているので、開口率を低減を抑制することができ、さらに、スイッチング素子上を透過性補助容量ラインが覆うので透過性補助容量ラインがシールドとなって、スイッチング素子（薄膜トランジスタ）の特性を保護する、という効果を奏する。

【図面の簡単な説明】

【図 1】この発明の第 1 参考実施形態としてのアクティブマトリックス型液晶表示装置における薄膜トランジスタパネルの要部の透過平面図。

【図 2】図 1 の I I - I I 線に沿う断面図。

【図 3】この発明の第 2 参考実施形態としての薄膜トランジスタパネルの図 1 同様の透過平面図。

【図 4】この発明の第 3 参考実施形態としての薄膜トランジスタパネルの図 3 同様の透過平面図。

【図 5】この発明の第 4 参考実施形態としての薄膜トランジスタパネルの図 1 同様の透過平面図。

【図 6】この発明の第 5 参考実施形態としての薄膜トランジスタパネルの図 5 同様の透過平面図。

【図 7】この発明の第 1 実施形態としての薄膜トランジスタパネルの図 6 同様の透過平面図。

【図 8】この発明の第 2 実施形態としての薄膜トランジスタパネルの図 2 同様の断面図。

【図 9】この発明の第 3 実施形態としての薄膜トランジスタパネルの図 7 同様の透過平面図。

【図 10】(A) および (B) は従来のアクティブマトリックス型液晶表示装置の問題点を説明するために示す図。

【符号の説明】

- 1 ガラス基板
- 2 走査ライン
- 3 データライン
- 4 薄膜トランジスタ
- 5 画素電極
- 6 補助容量ライン
- 6 A 透過性補助容量ライン

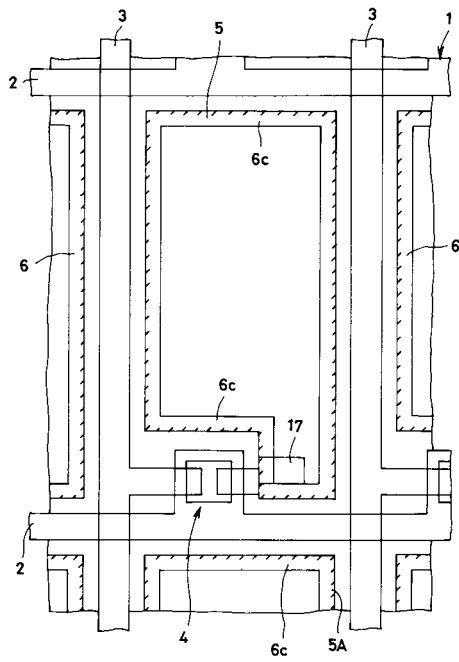
10

20

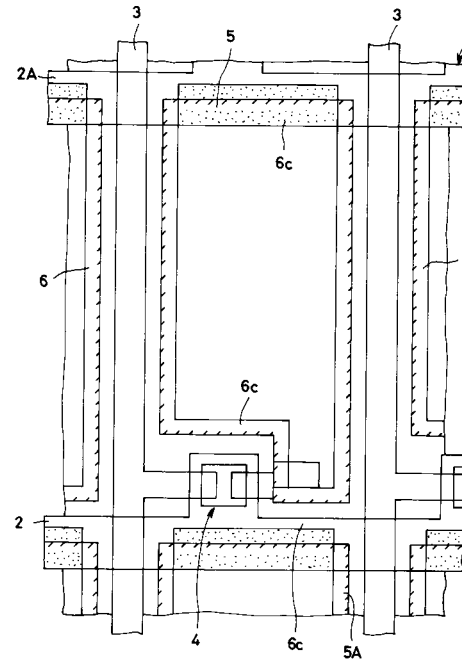
30

40

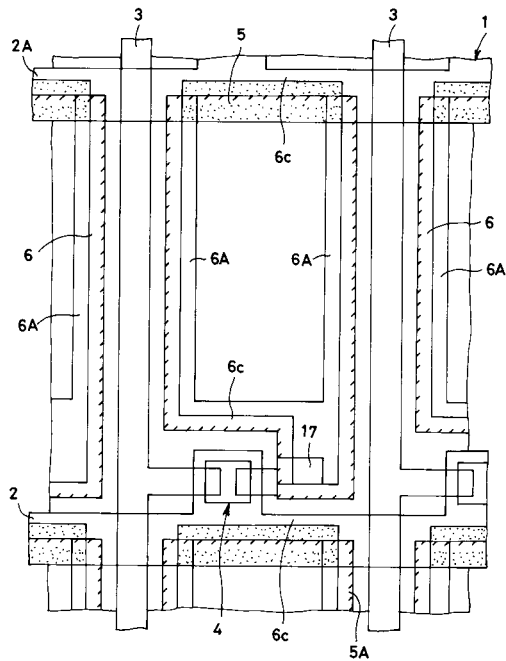
【図 5】



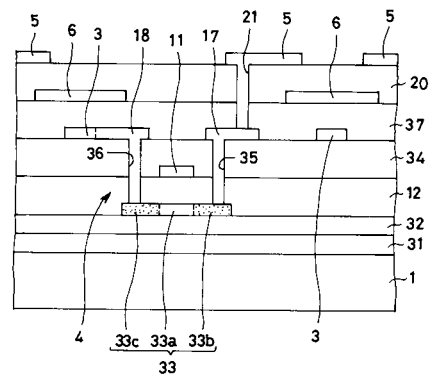
【図 6】



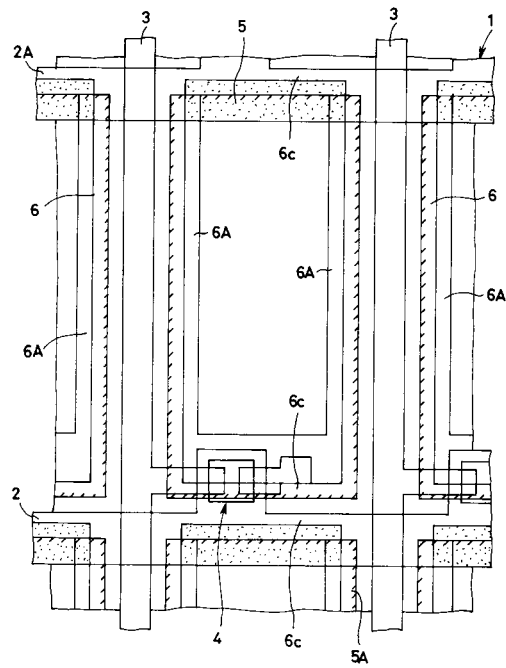
【図 7】



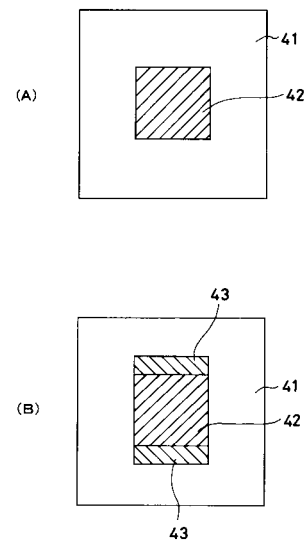
【図 8】



【図 9】



【図 10】



フロントページの続き

(72)発明者 渡辺 仁

東京都八王子市石川町2 9 5 1 番地の5
研究所内

カシオ計算機株式会社八王子研

審査官 奥田 雄介

(56)参考文献 特開平0 5 - 1 7 3 1 8 3 (J P , A)
特開平0 5 - 1 2 7 1 9 5 (J P , A)
特開平0 9 - 1 5 2 6 2 5 (J P , A)
特開平0 3 - 1 7 5 4 3 0 (J P , A)
特開2 0 0 0 - 1 7 1 8 2 5 (J P , A)
特開平0 7 - 1 2 8 6 8 5 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G02F 1/1368

专利名称(译)	有源矩阵型液晶显示装置		
公开(公告)号	JP4102925B2	公开(公告)日	2008-06-18
申请号	JP2003137232	申请日	2003-05-15
[标]申请(专利权)人(译)	卡西欧计算机株式会社		
申请(专利权)人(译)	卡西欧计算机有限公司		
当前申请(专利权)人(译)	卡西欧计算机有限公司		
[标]发明人	石井裕満 中村やよい 下牧伸一 渡辺仁		
发明人	石井 裕満 中村 やよい 下牧 伸一 渡辺 仁		
IPC分类号	G02F1/1368		
FI分类号	G02F1/1368		
F-TERM分类号	2H092/JA26 2H092/JA46 2H092/JB06 2H092/JB33 2H092/JB34 2H092/JB35 2H092/JB56 2H092/JB58 2H092/JB62 2H092/KA04 2H092/NA01 2H192/AA24 2H192/BC31 2H192/BC63 2H192/BC74 2H192/CB02 2H192/CB05 2H192/CB46 2H192/CB71 2H192/DA02 2H192/DA15 2H192/DA23 2H192/DA24 2H192/DA65 2H192/DA73 2H192/DA74 2H192/EA04 2H192/EA22 2H192/GA03		
其他公开文献	JP2004341185A		
外部链接	Espacenet		

摘要(译)

有源矩阵液晶显示装置防止在像素电极和数据线之间产生耦合电容。存储电容器线6在垂直于纸面的方向上设置在像素电极5和数据线3之间，从而防止在像素电极5和数据线3之间产生耦合电容。。在这种情况下，存储电容器线6与数据线3平行布置并且基本上在数据线3的整个布置区域上。[选图]图1

