

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2010-151860
(P2010-151860A)

(43) 公開日 平成22年7月8日(2010.7.8)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G09G 3/20 (2006.01)	G09G 3/20 611D	2H193
G09F 9/30 (2006.01)	G09G 3/20 611E	5C006
G02F 1/133 (2006.01)	G09G 3/20 611H	5C080
	G09G 3/20 621B	5C094
審査請求 有 請求項の数 12 O L (全 21 頁) 最終頁に続く		

(21) 出願番号 特願2008-326807 (P2008-326807)	(71) 出願人 000001443 カシオ計算機株式会社 東京都渋谷区本町 1 丁目 6 番 2 号
(22) 出願日 平成20年12月24日 (2008.12.24)	(72) 発明者 平山 隆一 東京都八王子市石川町 2 9 5 1 番地の 5 カシオ計算機株式会社八王子技術センター 内
F ターム (参考) 2H093 NA16 NA45 NC03 NC10 NC12 NC18 NC23 NC29 NC34 NC35 ND05 ND09 ND60 NH18 2H193 ZA04 ZC26 ZD32 ZD34 ZF03 ZF22 ZF36 ZF59	
最終頁に続く	

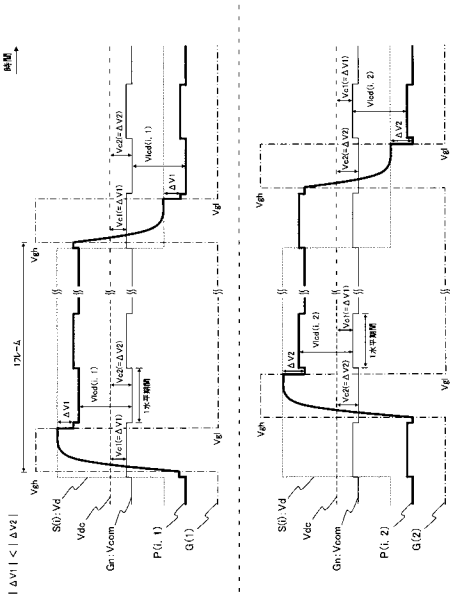
(54) 【発明の名称】 液晶表示装置及びその駆動方法

(57) 【要約】

【課題】 走査ラインの延伸方向に対して垂直な方向成分に画素電極の位置ズレが発生した場合であっても画質が低下することを防止できる液晶表示装置を提供する。

【解決手段】 所定方向に隣接する第一画素P (i , 1) と第二画素P (i , 2) が 1 本のデータラインS (i) を共用し、第一画素P (i , 1) が第一走査ラインG (1) に接続され、第二画素P (i , 2) が第二走査ラインG (2) に接続され、第一画素P (i , 1) に第二画素P (i , 2) とは異なるタイミングで表示信号電圧Vdを書き込むとともに、表示信号電圧Vdが所定の階調レベルに対して2つの異なる電圧レベルを有する液晶表示装置であって、当該画素へ表示信号電圧Vdを書き込む際に、第一画素P (i , 1) と第二画素P (i , 2) との間に、前記2つの電圧レベルの中心電圧Vdcとの電圧差Vc1、Vc2が異なるように、共通電極Gnにコモン信号Vcomを供給する。

【選択図】 図 1 3



【特許請求の範囲】

【請求項 1】

各画素間で等しい電圧に設定される共通電極または補助容量電極を備え、
所定方向に隣接する第一画素と第二画素が 1 本のデータラインを共用し、
前記第一画素が第一走査ラインに第一スイッチング素子を介して接続され、
前記第二画素が第二走査ラインに第二スイッチング素子を介して接続され、
前記第一画素と前記第二画素とが、前記第一走査ラインと前記第二走査ラインとの間に
配置され、

前記第一画素に前記第二画素とは異なるタイミングで表示信号電圧を書き込むとともに、
前記表示信号電圧が所定の階調レベルに対して 2 つの異なる電圧レベルを有する液晶表
示装置であって、

当該画素へ前記表示信号電圧を書き込む際に、前記第一画素と前記第二画素との間で、
前記 2 つの電圧レベルの中心電圧との電圧差が異なるように、前記共通電極または前記補
助容量電極にコモン信号を供給する駆動手段を備えたことを特徴とする液晶表示装置。

【請求項 2】

前記第一画素と前記第一走査ラインとの間の寄生容量が、前記第二画素と前記第二走査
ラインとの間の寄生容量よりも大きく形成され、

前記駆動手段は、当該画素へ前記表示信号電圧を書き込む際の前記電圧差が前記第一画
素よりも前記第二画素の方が小さくなるように、前記共通電極または前記補助容量電極に
前記コモン信号を供給することを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

前記第一画素と前記第一走査ラインとの間の寄生容量が、前記第二画素と前記第二走査
ラインとの間の寄生容量よりも小さく形成され、

前記駆動手段は、当該画素へ前記表示信号電圧を書き込む際の前記電圧差が前記第一画
素よりも前記第二画素の方が大きくなるように、前記共通電極または前記補助容量電極に
前記コモン信号を供給することを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 4】

前記第一画素と前記第一走査ラインとの間隔が、前記第二画素と前記第二走査ラインと
の間隔よりも短く形成され、

前記駆動手段は、当該画素へ前記表示信号電圧を書き込む際の前記電圧差が前記第一画
素よりも前記第二画素の方が小さくなるように、前記共通電極または前記補助容量電極に
前記コモン信号を供給することを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 5】

前記第一画素と前記第一走査ラインとの間隔が、前記第二画素と前記第二走査ラインと
の間隔よりも広く形成され、

前記駆動手段は、当該画素へ前記表示信号電圧を書き込む際の前記電圧差が前記第一画
素よりも前記第二画素の方が大きくなるように、前記共通電極または前記補助容量電極に
前記コモン信号を供給することを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 6】

当該画素へ前記表示信号電圧を書き込む際の前記電圧差が、当該画素への前記表示信号
電圧の書き込み終了時に発生する引き込み電圧と等しい値に設定されていることを特徴と
する請求項 1 から 5 の何れかに記載の液晶表示装置。

【請求項 7】

前記第一画素と前記第二画素は、前記第一走査ラインまたは前記第二走査ラインの延伸
方向に隣接していることを特徴とする請求項 1 から 6 の何れかに記載の液晶表示装置。

【請求項 8】

前記第一画素と前記第二画素は、前記データラインを挟むように隣接配置されているこ
とを特徴とする請求項 1 から 7 の何れかに記載の液晶表示装置。

【請求項 9】

各画素間で等しい電圧に設定される共通電極または補助容量電極を備え、

10

20

30

40

50

所定方向に隣接する第一画素と第二画素が1本のデータラインを共用し、
前記第一画素が第一走査ラインに第一スイッチング素子を介して接続され、
前記第二画素が第二走査ラインに第二スイッチング素子を介して接続され、
前記第一画素と前記第二画素とが、前記第一走査ラインと前記第二走査ラインとの間に配置され、

前記第一画素に前記第二画素とは異なるタイミングで表示信号電圧を書き込むとともに、前記表示信号電圧が所定の階調レベルに対して2つの異なる電圧レベルを有する液晶表示装置であって、

当該画素へ前記表示信号電圧の一方の電圧レベルを書き込む際に、前記第一画素と前記第二画素との間で、前記2つの電圧レベルの中心電圧との電圧差が異なるように、前記共通電極または前記補助容量電極にコモン信号を供給する駆動手段を備えたことを特徴とする液晶表示装置。

【請求項10】

前記駆動手段は、当該画素へ前記表示信号電圧の他方の電圧レベルを書き込む際に、前記第一画素と前記第二画素との間で、前記2つの電圧レベルの中心電圧との電圧差が異なるように、前記共通電極または前記補助容量電極にコモン信号を供給することを特徴とする請求項9に記載の液晶表示装置。

【請求項11】

各画素間で等しい電圧に設定される共通電極または補助容量電極を備え、
所定方向に隣接する第一画素と第二画素が1本のデータラインを共用し、
前記第一画素が第一走査ラインに第一スイッチング素子を介して接続され、
前記第二画素が第二走査ラインに第二スイッチング素子を介して接続され、
前記第一画素と前記第二画素とが、前記第一走査ラインと前記第二走査ラインとの間に配置され、

前記第一画素に前記第二画素とは異なるタイミングで表示信号電圧を書き込むとともに、前記表示信号電圧が所定の階調レベルに対して2つの異なる電圧レベルを有する液晶表示装置の駆動方法であって、

前記第一画素と前記第二画素との間で、当該画素へ表示信号電圧を書き込む際の表示すべき所定の階調レベルに対する表示信号電圧との電圧差が異なるように、前記共通電極または前記補助容量電極にコモン信号を供給することを特徴とする液晶表示装置の駆動方法。

【請求項12】

当該画素へ前記表示信号電圧を書き込む際の前記電圧差が、当該画素への前記表示信号電圧の書き込み終了時に発生する引き込み電圧と等しい値に設定されていることを特徴とする請求項11に記載の液晶表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、所定方向に隣接する第一画素と第二画素とが1本のデータラインを共用し、前記第一画素が第一走査ラインに第一スイッチング素子を介して接続され、前記第二画素が第二走査ラインに第二スイッチング素子を介して接続され、前記第一画素と前記第二画素とが、前記第一走査ラインと前記第二走査ラインとの間に配置されている液晶表示装置及びその駆動方法に関する。

【背景技術】

【0002】

近年、スイッチング素子として薄膜トランジスタ（TFT）を用いたアクティブマトリクス型の液晶表示装置が開発されている。

【0003】

アクティブマトリクス型の液晶表示装置は、その表示領域に、マトリクス状に配置された複数の画素と、各画素を行毎に順次走査するための複数の走査ライン、各画素に書込む

10

20

30

40

50

データを供給するための複数のデータラインとが形成されている。各画素は、ゲート電極が前記走査ラインに接続されドレイン電極がデータラインに接続されたスイッチング素子としてのTFTと、TFTのソース電極に接続された画素電極と、各画素で共通の電位に設定される共通電極と、画素電極と共通電極との電位差を所定の電位差に保つための電荷を蓄積する補助容量と、を備えている。ここで、画素電極と共通電極との間には、例えば、画素電極と共通電極との間の電位差に応じてその配向状態が変化する液晶が配されている。

【0004】

表示領域の周囲には、各走査ラインに接続され、この各走査ラインを介して各TFTを走査するための（オン・オフ制御するための）ゲートドライバや、各データラインに接続され、この各データラインを介して各画素（各補助容量や液晶）に所定のデータ電圧を出力するデータドライバが形成されている。

10

【0005】

ところで、アクティブマトリクス型の液晶表示装置は、携帯電話やデジタルカメラ等の小型携帯機器のモニター部として組み込まれることがある。このようなときには、表示領域の外周部としての額縁を狭額縁化できることが好ましく、比較的その占有面積が広がってしまうゲートドライバやソースドライバを額縁の何れか一辺側に集約配置している。また、ゲートドライバやソースドライバを集約配置することによりこれらの実装工程を簡略化することもできるようになっている。しかし、このようなときには、ゲートドライバやソースドライバの配置位置に応じて、走査ラインまたはデータラインが表示領域の周囲（額縁）を長い距離に亘って引き回されることになるが、この引き回し領域を更に少なくするために、走査ラインの数を2倍にする代わりに、データラインの数を半分にした画素結線の構成が考えられている。（例えば、特許文献1の図5）

20

【0006】

図18は、そのような狭額縁化を達成するための一手法として考えられた表示画面内における画素結線例の概略図である。これは、1本のデータライン $S(i)$ を隣接する2つの画素 $P(i, j)$ で共用するものである。この場合、それら2つの画素 $P(i, j)$ に対応するTFTは、それぞれ異なる走査ライン $G(j)$ に接続されている。

【0007】

例えば、図18において、左上の画素 $P(1, 1)$ に対応するTFTは、走査ライン $G(1)$ とデータライン $S(1)$ に接続され、その右隣の画素 $P(1, 2)$ に対応するTFTは、走査ライン $G(2)$ とデータライン $S(1)$ に接続されている。そして、画素 $P(1, 1)$ と画素 $P(1, 2)$ は、走査ライン $G(1)$ と走査ライン $G(2)$ との間に配置されている。

30

【0008】

図19は、このようなアクティブマトリクス型の液晶表示装置における各画素 $P(i, j)$ に映像信号 $Vsig$ を書き込むときの走査ライン $G(j)$ の走査方向（各走査信号波形）と、データライン $S(i)$ を共用した隣接画素 $P(i, j)$ 間での書き込み順位を示している。例えば、データライン $S(1)$ に接続された各画素 $P(1, j)$ は、画素 $P(1, 1)$ 、画素 $P(1, 2)$ 、画素 $P(1, 3)$ 、画素 $P(1, 4)$ の順に書き込まれていく。

40

【特許文献1】特開2004-185006号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

上述したようなデータラインの数を半分にするための画素結線において、各行の画素は、行方向に隣接する画素間で、画素に対して異なる方向に配置された走査ラインに接続されている。このため、製造過程において、例えば図20に示すように、走査ラインの延伸方向に対して垂直な方向成分に画素電極の位置ズレが発生すると、画素電極と走査ラインとの間に発生する寄生容量 C_{gs1} 、 C_{gs2} が、走査ラインの延伸方向に隣接する画素

50

間で異なる値になる。このような場合には、走査ラインの延伸方向に隣接する画素のそれぞれに、たとえ同電位の表示信号電圧を書き込む場合であっても、走査ラインの延伸方向に隣接する画素間では、図 2 1 に示すように、表示信号電圧取込終了時のレベルシフト電圧 $\Delta V 1$ 、 $\Delta V 2$ が異なり画質が低下することが問題となっていた。なお、図 2 1 には、図 2 0 における画素 P (1 , 1) と画素 P (1 , 2) での電位変動を示している。

【 0 0 1 0 】

本発明は、かかる従来の課題に鑑みてなされたものであり、例えば走査ラインの延伸方向に対して垂直な方向成分に画素電極の位置ズレが発生した場合であっても画質の低下を防止可能な液晶表示装置及びその駆動方法を提供することを目的とする。

【課題を解決するための手段】

【 0 0 1 1 】

上述の目的を達成するため、請求項 1 に記載の発明は、各画素間で等しい電圧に設定される共通電極または補助容量電極を備え、所定方向に隣接する第一画素と第二画素が 1 本のデータラインを共用し、前記第一画素が第一走査ラインに第一スイッチング素子を介して接続され、前記第二画素が第二走査ラインに第二スイッチング素子を介して接続され、前記第一画素と前記第二画素とが、前記第一走査ラインと前記第二走査ラインとの間に配置され、前記第一画素に前記第二画素とは異なるタイミングで表示信号電圧を書き込むとともに、前記表示信号電圧が所定の階調レベルに対して 2 つの異なる電圧レベルを有する液晶表示装置であって、当該画素へ前記表示信号電圧を書き込む際に、前記第一画素と前記第二画素との間で、前記 2 つの電圧レベルの中心電圧との電圧差が異なるように、前記共通電極または前記補助容量電極にコモン信号を供給する駆動手段を備えたことを特徴とする。

【 0 0 1 2 】

また、請求項 2 に記載の発明は、請求項 1 に記載の液晶表示装置において、前記第一画素と前記第一走査ラインとの間の寄生容量が、前記第二画素と前記第二走査ラインとの間の寄生容量よりも大きく形成され、前記駆動手段は、当該画素へ前記表示信号電圧を書き込む際の前記電圧差が前記第一画素よりも前記第二画素の方が小さくなるように、前記共通電極または前記補助容量電極に前記コモン信号を供給することを特徴とする。

【 0 0 1 3 】

また、請求項 3 に記載の発明は、請求項 1 に記載の液晶表示装置において、前記第一画素と前記第一走査ラインとの間の寄生容量が、前記第二画素と前記第二走査ラインとの間の寄生容量よりも小さく形成され、前記駆動手段は、当該画素へ前記表示信号電圧を書き込む際の前記電圧差が前記第一画素よりも前記第二画素の方が大きくなるように、前記共通電極または前記補助容量電極に前記コモン信号を供給することを特徴とする。

【 0 0 1 4 】

また、請求項 4 に記載の発明は、請求項 1 に記載の液晶表示装置において、前記第一画素と前記第一走査ラインとの間隔が、前記第二画素と前記第二走査ラインとの間隔よりも短く形成され、前記駆動手段は、当該画素へ前記表示信号電圧を書き込む際の前記電圧差が前記第一画素よりも前記第二画素の方が小さくなるように、前記共通電極または前記補助容量電極に前記コモン信号を供給することを特徴とする。

【 0 0 1 5 】

また、請求項 5 に記載の発明は、請求項 1 に記載の液晶表示装置において、前記第一画素と前記第一走査ラインとの間隔が、前記第二画素と前記第二走査ラインとの間隔よりも広く形成され、前記駆動手段は、当該画素へ前記表示信号電圧を書き込む際の前記電圧差が前記第一画素よりも前記第二画素の方が大きくなるように、前記共通電極または前記補助容量電極に前記コモン信号を供給することを特徴とする。

【 0 0 1 6 】

また、請求項 6 に記載の発明は、請求項 1 から 5 の何れかに記載の液晶表示装置において、当該画素へ前記表示信号電圧を書き込む際の前記電圧差が、当該画素への前記表示信号電圧の書き込み終了時に発生する引き込み電圧と等しい値に設定されていることを特徴

とする。

【0017】

また、請求項7に記載の発明は、請求項1から6の何れかに記載の液晶表示装置において、前記第一画素と前記第二画素は、前記第一走査ラインまたは前記第二走査ラインの延伸方向に隣接していることを特徴とする。

【0018】

また、請求項8に記載の発明は、請求項1から7の何れかに記載の液晶表示装置において、前記第一画素と前記第二画素は、前記データラインを挟むように隣接配置されていることを特徴とする。

【0019】

また、請求項9に記載の発明は、各画素間で等しい電圧に設定される共通電極または補助容量電極を備え、所定方向に隣接する第一画素と第二画素が1本のデータラインを共用し、前記第一画素が第一走査ラインに第一スイッチング素子を介して接続され、前記第二画素が第二走査ラインに第二スイッチング素子を介して接続され、前記第一画素と前記第二画素とが、前記第一走査ラインと前記第二走査ラインとの間に配置され、前記第一画素に前記第二画素とは異なるタイミングで表示信号電圧を書き込むとともに、前記表示信号電圧が所定の階調レベルに対して2つの異なる電圧レベルを有する液晶表示装置であって、当該画素へ前記表示信号電圧の一方の電圧レベルを書き込む際に、前記第一画素と前記第二画素との間で、前記2つの電圧レベルの中心電圧との電圧差が異なるように、前記共通電極または前記補助容量電極にコモン信号を供給する駆動手段を備えたことを特徴とする。

【0020】

また、請求項10に記載の発明は、請求項9に記載の液晶表示装置において、前記駆動手段は、当該画素へ前記表示信号電圧の他方の電圧レベルを書き込む際に、前記第一画素と前記第二画素との間で、前記2つの電圧レベルの中心電圧との電圧差が異なるように、前記共通電極または前記補助容量電極にコモン信号を供給することを特徴とする。

【0021】

また、請求項11に記載の発明は、各画素間で等しい電圧に設定される共通電極または補助容量電極を備え、所定方向に隣接する第一画素と第二画素が1本のデータラインを共用し、前記第一画素が第一走査ラインに第一スイッチング素子を介して接続され、前記第二画素が第二走査ラインに第二スイッチング素子を介して接続され、前記第一画素と前記第二画素とが、前記第一走査ラインと前記第二走査ラインとの間に配置され、前記第一画素に前記第二画素とは異なるタイミングで表示信号電圧を書き込むとともに、前記表示信号電圧が所定の階調レベルに対して2つの異なる電圧レベルを有する液晶表示装置の駆動方法であって、前記第一画素と前記第二画素との間で、当該画素へ表示信号電圧を書き込む際の表示すべき所定の階調レベルに対する表示信号電圧との電圧差が異なるように、前記共通電極または前記補助容量電極にコモン信号を供給することを特徴とする。

【0022】

また、請求項12に記載の発明は、請求項11に記載の液晶表示装置の駆動方法において、当該画素へ前記表示信号電圧を書き込む際の前記電圧差が、当該画素への前記表示信号電圧の書き込み終了時に発生する引き込み電圧と等しい値に設定されていることを特徴とする。

【発明の効果】

【0023】

本発明によれば、例えば走査ラインの延伸方向に対して垂直な方向成分に画素電極の位置ズレが発生した場合であっても画質が低下してしまうことを防止できる。

【発明を実施するための最良の形態】

【0024】

以下、本発明を実施するための形態を、図面を参照して説明する。なお、本実施の形態においては、液晶表示装置を製造した後に、液晶表示装置毎に、当該液晶表示装置の仕上

10

20

30

40

50

がり具合に応じた所定の情報を記憶させ、この記憶情報に基づいて当該液晶表示装置における駆動電圧が補正される場合について説明する。

【0025】

本発明に係る液晶表示装置1の概略全体構成は、図1、図2に示すように後述する複数の画素が配置された液晶表示部10と、該液晶表示部10の各画素を駆動制御するドライバ回路11とから構成されている。

【0026】

液晶表示部10は、対向配置され、シール材10cにより接着された2枚の基板10a、10b間に液晶LCが挟持された構成となっている。そして、一方の基板10bの対向面側には、図3及び図4に示すように、マトリクス状に配置された複数の画素P(i、j)と、各画素P(i、j)を所定数毎に順次走査するための複数の走査ラインG(j)と、各画素P(i、j)に書き込む表示信号電圧を供給するための複数のデータラインS(i)とが形成されている。各画素P(i、j)は、ゲート電極が走査ラインG(j)に接続されドレイン電極がデータラインS(i)に接続されたスイッチング素子としてのTF Tと、TF Tのソース電極に接続された画素電極pixと、画素電極pixと他方の基板10aに形成された共通電極Gnとの間の電位差を所定の電位差に保つための電荷を蓄積する補助容量Ccsと、を備えている。なお、 $i = 1, 2, 3, \dots, x$ 。 $j = 1, 2, 3, \dots, y$ 。また、共通電極Gnは、コモン信号Vcomが供給されることにより各画素で共通の対向電圧となるように構成されている。つまり、共通電極Gnは、例えば他方の基板10aの対向面側に、一面に亘って形成されている。

【0027】

ここで、データラインS(i)と走査ラインG(j)とは、互いに交差するように配置されている。そして、各画素P(i、j)は、それぞれスイッチング素子としてのTF Tを介して、上述のようにデータラインS(i)の何れか及び走査ラインG(j)の何れかと互いの交点近傍で接続されている。また、2画素毎に、1本のデータラインS(i)を隣接する2つの画素P(i、j)で共用するよう接続されている。さらに、それら2つの画素P(i、j)に対応するTF Tは、それぞれ異なる走査ラインG(j)に接続されている。

【0028】

例えば、図3や図4において、左上の画素P(1、1)に対応するTF Tは、走査ラインG(1)とデータラインS(1)に接続され、その右隣の画素P(1、2)に対応するTF Tは、走査ラインG(2)とデータラインS(1)に接続されている。そして、画素P(1、1)と画素P(1、2)は、走査ラインG(1)と走査ラインG(2)との間に配置されている。

【0029】

また、画素P(1、2)は、画素P(1、1)に対してはデータラインS(1)を挟んで隣接して配置されているが、画素P(1、1)の方向とは逆の方向に隣接する画素P(2、1)に対してはデータラインS(i)を挟むことなく隣接配置されている。画素P(2、1)は、データラインS(2)を挟んで画素P(2、2)と隣接して配置されている。

【0030】

ここで、図5及び図6に基づいて各画素P(i、j)の具体的な構成について説明する。一方の基板10bにはゲート電極51を含む走査ラインG(j)が設けられている。そして、この走査ラインG(j)と同一層に補助容量ライン48が設けられている。つまり、走査ラインG(j)と補助容量ライン48とは一括形成される。そして、その上面全体にはゲート絶縁膜52が設けられている。ゲート絶縁膜52の上面には真性アモルファスシリコンからなる半導体薄膜53が設けられている。半導体薄膜53の上面ほぼ中央部にはチャネル保護膜54が設けられている。チャネル保護膜54の上面両側およびその両側における半導体薄膜53の上面にはn型アモルファスシリコンからなるコンタクト層55、56が設けられている。

10

20

30

40

50

【0031】

一方のコンタクト層55の上面にはソース電極57が設けられている。他方のコンタクト層56の上面およびゲート絶縁膜52の上面にはドレイン電極58を含むデータラインS(i)が設けられている。

【0032】

そして、ゲート電極51、ゲート絶縁膜52、半導体薄膜53、チャネル保護膜54、コンタクト層55、56、ソース電極57およびドレイン電極58により、TFTが構成されている。

【0033】

TFT等を含むゲート絶縁膜52の上面全体には平坦化膜59が設けられている。平坦化膜59には、ソース電極57の所定の箇所に対応する部分にコンタクトホール60が設けられている。また、平坦化膜59の上面の所定の個所には、ITOからなる画素電極pixが設けられている。そして、画素電極pixはコンタクトホール60を介してソース電極57に接続されている。また、画素電極pixの形状は、走査ラインG(j)の延伸方向に隣接す画素間では、回転対称形状になるように形成されている。

【0034】

ここで、補助容量ライン48のうちの画素電極pixと重ね合わされた部分は補助容量電極となっている。そして、この重ね合わされた部分によって補助容量Ccsが形成されている。なお、各画素P(i, j)における補助容量Ccsの大きさは、それぞれ等しくなるように構成されている。また、補助容量ライン48は、共通電極Gnと電氣的に接続されている（同電位となっている）。つまり、補助容量ライン48においても、共通電極Gnと同様にコモン信号Vcomが供給される。

【0035】

そして、各画素P(i, j)では、画素電極pixと共通電極Gnとの間に配されることとなる液晶の配向状態を、画素電極pixと共通電極Gnとの間の電圧差に基づいて変化させることによって、その表示状態の制御が可能となるように構成されている。

【0036】

なお、液晶LCは、画素電極pixと共通電極Gnによって挟持されることとなるため、これらによって液晶容量C1cが形成される。そして、各画素間で、液晶容量C1cが等しくなるように構成されている。また、共通電極Gnは、一方の基板10b側に備えられる構成となってもよい。つまり、本実施の形態においては、基板の面内方向に電圧差を発生させてそれを液晶に印加する横電界方式や、2枚の基板間に電位差を発生させてそれを液晶に印加する縦電界方式の何れにも適用可能である。

【0037】

図1、図2に戻り、各データラインS(i)及び各走査ラインG(j)は、液晶表示部10の周辺領域における一方の基板10b上を引き回された配線群20S, 20Gによって、液晶表示部10の右側に集約配置されたドライバ回路11に電氣的に接続されている。また、共通電極Gnは、例えば樹脂性の導通材により一方の基板10b上の配線に電氣的に接続されることでドライバ回路11に電氣的に接続される。

【0038】

なお、液晶表示部10内では、データラインS(i)は、ドライバ回路11と平行となる方向に延伸されて形成され、また、走査ラインG(j)は、その延伸方向側にドライバ回路11がくるように形成されている。そして、上述したような配線構成とすることにより、走査ライン方向に配列される画素毎にそれぞれ異なるデータ信号線に対応付ける構成のものと比較して、配線群20Sの幅を半減させることが可能な構成となっている。

【0039】

ドライバ回路11は、図7に示すように、各走査ラインG(j)を駆動する走査ライン駆動回路22、各データラインS(i)を駆動するデータライン駆動回路23、共通電極Gn及び補助容量ライン48を駆動する共通電極駆動回路28、所定の基準電源Vccを調整して当該ドライバ回路11に必要な各種駆動電圧を出力する電源調整回路24、例え

10

20

30

40

50

ば外部から入力されてくる画像データを一時記憶する画像メモリ25、当該液晶表示装置1の固有情報を記憶する固有情報記憶部26、上述の各駆動部に後述する各種制御信号を出力することによって各駆動部の同期を得る制御部27等を備えて構成されている。

【0040】

走査ライン駆動回路22は、図8に示すように、制御部27から出力される垂直同期信号Vsや、水平同期信号Hsとしての第1ゲートクロック信号GCK1及び第2ゲートクロック信号GCK2に基づいて、各走査ラインG(j)に走査信号を出力する。なお、第1ゲートクロック信号GCK1と第2ゲートクロック信号GCK2とは互いに逆位相の矩形信号である。

【0041】

走査ライン駆動回路22の主要部における概略構成は、図9に示すように、例えば走査ライン数分(y段)の保持回路101、102、103、104、・・・が直列に配置されて構成される。そして、それぞれの保持回路は、入力端子INと、出力端子OUTと、リセット端子RSTと、クロック信号入力端子CKと、高電位電源入力端子Thと、低電位電源入力端子Tlとを有している。そして、1段目の保持回路101の入力端子INには1段目の入力信号として垂直同期信号Vsが供給される。また、2段目以後の保持回路の入力端子INには前段の保持回路の出力信号が供給される。また、各保持回路のリセット端子RSTには次段の保持回路の出力信号が供給される。なお、最終段(例えばy段目)の保持回路(図示せず)のリセット端子RSTには、別途リセット信号ENDが供給される構成としてもよいし、1段目の保持回路101の出力信号が供給される構成としてもよい。

【0042】

さらに、奇数段目の保持回路のクロック信号入力端子CKには、第1ゲートクロック信号GCK1が供給され、偶数段目の保持回路のクロック信号入力端子CKには、第1ゲートクロック信号GCK1に対して逆位相となっている第2ゲートクロック信号GCK2が供給される。また、各保持回路の高電位電源入力端子Thには所定の高電圧Vghが供給され、各保持回路の低電位電源入力端子Tlには所定の低電圧Vglが供給される。

【0043】

各保持回路101、102、103、104、・・・は、図10に示すように、それぞれ、6個のMOS型電界効果トランジスタ(以下、MOSトランジスタと記す)T11~T16と、コンデンサCとを有している。

【0044】

このような走査ライン駆動回路22は、図8に示すように、垂直同期信号Vsに応じて当該フレームでの走査を開始するとともに、第1ゲートクロック信号GCK1及び第2ゲートクロック信号GCK2に応じて、所定の期間だけローレベル電圧Vglからハイレベル電圧Vghに切り換えるといった電圧出力を、最前段の走査ラインG(1)から順に最後段の走査ラインG(y)まで、走査ライン毎に行う。

【0045】

つまり、走査ライン駆動回路22は、走査ラインG(j)毎に、当該走査ラインG(j)に対応するTFT(i,j)を順次オン状態にし、このときにデータラインS(i)に出力されている表示信号電圧に対応する画素P(i,j)に書き込む。

【0046】

従って、奇数番目の走査ラインが選択されたときに奇数列の当該走査ラインに対応する画素に表示信号電圧が書き込まれ、偶数番目の走査ラインが選択されたときに偶数列の当該走査ラインに対応する画素に表示信号電圧が書き込まれる。換言すると、画素を介して隣接する奇数番目の走査ラインと偶数番目の走査ラインとが順次選択されることにより、これら走査ラインの間に配置された1行分の画素に表示信号電圧が書き込まれる。

【0047】

データライン駆動回路23は、制御部27から入力される水平同期信号Hs、垂直同期信号Vs、画像データData、基準クロック信号CLKに基づいて、表示パネル11に

10

20

30

40

50

設けられた各データライン S (i) に対して、各データライン S (i) に対応する表示信号電圧を所定のタイミングで出力するものである。

【 0 0 4 8 】

データライン駆動回路 2 3 の機能ブロック構成は、図 1 1 に示すように、サンプリングメモリ 1 5 1、データラッチ部 1 5 2、D / A 変換回路 (D A C) 1 5 3、及び表示信号電圧生成回路 1 5 4 からなる。

【 0 0 4 9 】

サンプリングメモリ 1 5 1 は、制御部 2 7 から出力される水平同期信号 H s 及び基準クロック信号 C L K に同期して、走査ライン一本分の画素に対応する画像データ (1 水平期間分の画像データ) 単位で、各画素に対応する画像データを前段側の走査ラインに対応するものから順に、画像メモリ 2 5 から取り込むためのものであり、データライン S (i) の数と同数のデータ格納領域を備えている。つまり、サンプリングメモリ 1 5 1 は、走査ライン毎に当該走査ラインに対応した画像データを取り込むとともに、当該取り込んだ画像データのそれぞれを、対応するデータライン S (i) のデータ格納領域に格納する。ここで、画像データには、各画素に表示すべき階調レベルが含まれ、この階調レベルは、画素毎に例えば 8 ビットのデジタルデータとして表される。そして、各データ格納領域には、この 8 ビットのデジタルデータが格納される。

【 0 0 5 0 】

サンプリングメモリ 1 5 1 が取り込んだ一水平期間分の画像データは、後段のデータラッチ部 1 5 2 からの要求にしたがって、サンプリングメモリ 1 5 1 からデータラッチ部 1 5 2 に転送される。データラッチ部 1 5 2 に画像データが転送されると、サンプリングメモリ 1 5 1 は、次の水平期間分の画像データとして次の行の走査ラインに対応した画像データの取り込み状態に移る。これは、水平同期信号 H S に同期して行われる。

【 0 0 5 1 】

データラッチ部 1 5 2 は、水平同期信号 H s に基づいて、サンプリングメモリ 1 5 1 から一水平期間分の画像データを一齐に取得するとともに、取得した画像データを後段の D / A 変換回路 1 5 3 に出力する。

【 0 0 5 2 】

D / A 変換回路 1 5 3 は、複数の D A C 部 2 4 1 及び出力アンプ回路 2 4 2 で構成され、D A C 部 2 4 1 により表示信号電圧生成回路 1 5 4 から供給される表示信号電圧が選択されることで、データラッチ部 1 5 2 から出力されてくるそれぞれの画像データが、対応するアナログ信号としての表示信号電圧に変換され、出力アンプ回路 2 4 2 により各データライン S (i) に印加される。

【 0 0 5 3 】

このとき、D / A 変換回路 1 5 3 は、制御部 2 7 から出力される極性反転信号 P o l に対応するように、データラッチ部 1 5 2 から出力されたデジタル形式の画像データをアナログ電圧としての表示信号電圧に変換する。具体的には、D / A 変換回路 1 5 3 は、極性反転信号 P o l がハイ状態 V s h であれば、データラッチ部 1 5 2 から出力された画像データが正極性の表示信号電圧になるように D / A 変換し、極性反転信号 P o l がロー状態 V s l であれば、データラッチ部 1 5 2 から出力された画像データが負極性の表示信号電圧になるように D / A 変換する。換言すると、D / A 変換回路 1 5 3 は、極性反転信号 P o l がハイ状態 V s h であるときは、液晶に印加される電圧が正極性となるように D / A 変換し、極性反転信号 P o l がロー状態 V s l であるときは、液晶に印加される電圧が負極性となるように D / A 変換する。

【 0 0 5 4 】

共通電極駆動回路 2 8 は、コモン信号 V c o m を生成して共通電極 G n 及び補助容量ライン 4 8 に供給するもので、極性反転信号 P o l に基づいて所定の階調レベルに対応する電圧レベルが所定の周期で振幅する表示信号電圧 V d の振幅中心電圧 V d c に、図 1 2 (a)、図 1 2 (b)、図 1 2 (c) に示すように、後述する 2 種類の補正電圧 V c 1、V c 2 を垂直同期信号 V s や水平同期信号 H s に基づいて交互に重畳することにより、コモ

10

20

30

40

50

ン信号 V_{com} を生成する。なお、振幅中心電圧 V_{dc} は、各階調レベルに対応して設定されている表示信号電圧 V_d とともに予め設定されているもので、電源調整回路 24 から当該共通電極駆動回路 28 に供給されるように構成されている。

【0055】

第1の補正電圧 V_{c1} は、奇数番目の走査ライン（例えば走査ライン $G(1)$ ）に対応する画素、即ち、各データライン $S(i)$ の左側に隣接配置される画素（奇数列の画素）に表示信号電圧 V_d を印加する際に振幅中心電圧 V_{dc} に重畳される電圧であり、奇数番目の走査ラインに接続される画素で表示信号電圧取込終了時（TFTがオン状態からオフ状態に移行した時、即ち、走査信号が V_{gh} から V_{gl} に移行した時）に発生する引き込み電圧 ΔV_1 に応じた値に設定されている。

10

【0056】

第2の補正電圧 V_{c2} は、偶数番目の走査ライン（例えば走査ライン $G(2)$ ）に対応する画素、即ち、各データライン $S(i)$ の右側に隣接配置される画素（偶数列の画素）に表示信号電圧 V_d を印加する際に振幅中心電圧 V_{dc} に重畳される電圧であり、偶数番目の走査ラインに接続される画素で表示信号電圧取込終了時に発生する引き込み電圧 ΔV_2 に基づいた値に設定されている。

【0057】

そして、第1の補正電圧 V_{c1} 及び第2の補正電圧 V_{c2} は、当該液晶表示装置1における、奇数番目の走査ラインと当該走査ラインに対応する画素電極との間隔 L_1 及び偶数番目の走査ラインと当該走査ラインに対応する画素電極との間隔 L_2 に基づいてその値が設定されている。即ち、第1の補正電圧 V_{c1} 及び第2の補正電圧 V_{c2} は、例えば走査ラインの延伸方向に対して垂直な方向成分に画素電極の位置ズレが発生することにより奇数番目の走査ラインに接続される画素と偶数番目の走査ラインに接続される画素との間で寄生容量 C_{gs} の値がたとえ異なったとしても、表示すべき所定の階調レベルに対して表示信号電圧取込終了後に液晶に印加されている電圧を両画素間で等しくすることが可能な電圧であり、予め固有情報記憶部26に当該液晶表示装置1の固有情報 I_{nf} として記憶されている。

20

【0058】

ここで、奇数番目の走査ラインに接続される画素で表示信号電圧取込終了時に発生する引き込み電圧 ΔV_1 と、偶数番目の走査ラインに接続される画素で表示信号電圧取込終了時に発生する引き込み電圧 ΔV_2 は、それぞれ（数1）によって導出することができる。

30

【0059】

（数1）

$$\begin{aligned}\Delta V_1 &= (V_{gh} - V_{gl}) \times C_{gs1} / (C_{lc} + C_{cs} + C_{gs1}) \\ &\quad (V_{gh} - V_{gl}) \times (\alpha / L_1) / \{C_{lc} + C_{cs} + (\alpha / L_1)\} \\ \Delta V_2 &= (V_{gh} - V_{gl}) \times C_{gs2} / (C_{lc} + C_{cs} + C_{gs2}) \\ &\quad (V_{gh} - V_{gl}) \times (\alpha / L_2) / \{C_{lc} + C_{cs} + (\alpha / L_2)\}\end{aligned}$$

【0060】

ここで、 C_{gs1} は奇数番目の走査ラインと当該走査ラインに対応する画素電極との間の寄生容量であり、 C_{gs2} は偶数番目の走査ラインと当該走査ラインに対応する画素電極との間の寄生容量である。また、 α は当該寄生容量を構成する誘電体の誘電率とその電極面積との積である。

40

【0061】

そして、本実施の形態では、電源調整回路24から振幅中心電圧 V_{dc} が供給されてくるものとしているため、第1の補正電圧 V_{c1} が ΔV_1 に設定されるとともに第2の補正電圧 V_{c2} が ΔV_2 に設定された固有情報 I_{nf} を予め固有情報記憶部26に記憶させておき、引き込み電圧の発生方向に第1の補正電圧 V_{c1} 及び第2の補正電圧 V_{c2} を振幅中心電圧 V_{dc} に対して交互に重畳する。例えば、図21に示したように、書き込み時の表示信号電圧 V_d に対して負極性側に引き込み電圧 ΔV_1 、 ΔV_2 が発生するような場合には、振幅中心電圧 V_{dc} に対して負極性側に補正電圧 V_{c1} 、 V_{c2} を重畳する。

50

【0062】

なお、図12(a)は、 ΔV_1 の絶対値よりも ΔV_2 の絶対値が大きい場合、即ち、奇数番目の走査ラインと当該走査ラインに対応する画素電極との間隔 L_1 よりも偶数番目の走査ラインと当該走査ラインに対応する画素電極との間隔 L_2 の方が狭く（短く）なるように走査ラインの延伸方向に対して垂直な方向成分に画素電極の位置ズレが発生した場合を示している。また、図12(b)は、 ΔV_1 の絶対値と ΔV_2 の絶対値が等しい場合、即ち、走査ラインの延伸方向に対して垂直な方向成分に画素電極の位置ズレが発生することなく、上述したような間隔 L_1 と L_2 とが等しくなっているような場合を示している。さらに、図12(c)は、 ΔV_1 の絶対値よりも ΔV_2 の絶対値が小さい場合、即ち、奇数番目の走査ラインと当該走査ラインに対応する画素電極との間隔 L_1 よりも偶数番目の走査ラインと当該走査ラインに対応する画素電極との間隔 L_2 の方が広く（長く）なるように走査ラインの延伸方向に対して垂直な方向成分に画素電極の位置ズレが発生した場合を示している。また、図中の「奇」は、奇数番目の走査ラインの何れかが選択されるタイミングを示し、図中の「偶」は、偶数番目の走査ラインの何れかが選択されるタイミングを示している。

10

【0063】

そして、このように共通電極 G_n や補助容量電極（補助容量ライン48）にコモン信号 V_{com} を供給することにより、走査ラインの延伸方向に対して垂直な方向成分に画素電極の位置ズレが発生して奇数番目の走査ラインに接続される画素と偶数番目の走査ラインに接続される画素との間で寄生容量 C_{gs} の値がたとえ異なったとしても、図13や図14に示すように、奇数番目の走査ラインに接続される画素（例えば $P(i, 1)$ ）と偶数番目の走査ラインに接続される画素（例えば $P(i, 2)$ ）との間で、互いに等しい表示信号電圧 V_d が書き込まれた際のそれぞれの液晶に印加される電圧 $V_{lcd}(i, 1)$ 、 $V_{lcd}(i, 2)$ を、互いに等しく保持させることが可能になり、画質が低下してしまうことを防止できる。

20

【0064】

なお、図13は ΔV_1 の絶対値よりも ΔV_2 の絶対値が大きい場合、即ち、奇数番目の走査ラインと当該走査ラインに対応する画素電極との間隔 L_1 よりも偶数番目の走査ラインと当該走査ラインに対応する画素電極との間隔 L_2 の方が狭く（短く）なるように走査ラインの延伸方向に対して垂直な方向成分に画素電極の位置ズレが発生した場合を示している。また、図14は ΔV_1 の絶対値よりも ΔV_2 の絶対値が小さい場合、即ち、奇数番目の走査ラインと当該走査ラインに対応する画素電極との間隔 L_1 よりも偶数番目の走査ラインと当該走査ラインに対応する画素電極との間隔 L_2 の方が広く（長く）なるように走査ラインの延伸方向に対して垂直な方向成分に画素電極の位置ズレが発生した場合を示している。そして、図13、図14では、電圧変動の推移がより明確となるように、奇数番目の走査ラインにおける走査信号が V_{gh} から V_{gl} に切りかわるタイミングと、偶数番目の走査ラインにおける走査信号が V_{gl} から V_{gh} に切りかわるタイミングとの間の時間を、図8や図12に示したタイミングチャートよりも誇張して記載している。

30

【0065】

ところで、固有情報記憶部26は、例えば、不揮発性メモリの一つであるEEPROM（Electrically Erasable Programmable ROM）を用いることができ、当該液晶表示装置1の製造当初は情報が書き込まれていない所謂「白地」の状態になっている。そして、当該液晶表示装置1の製造後に、例えば、書き込み用信号端子27にEEPROM書き込み用システム装置が接続されることにより、当該液晶表示装置1の仕上がり具合に応じた上述したような所定の情報が固有情報記憶部26に記憶される。なお、固有情報記憶部26への書き込み電圧 V_{pp} は、電源調整回路24に入力される基準電源 V_{cc} よりも高い電圧が必要となるように構成され、固有情報記憶部26に記憶された情報が基準電源 V_{cc} の影響を受けて不用意に消去されてしまうことを防止している。

40

【0066】

50

このような構成とすることにより、画素電極の位置ズレ量に機差が生じていた場合であっても、液晶表示装置毎に最適な値の補正電圧 V_{c1} 、 V_{c2} を設定することができる。

【0067】

なお、上述の実施の形態では、画素を介して隣接配置される2本の走査ライン間において、奇数番目の走査ラインを選択した後に偶数番目の走査ラインを選択する場合について説明したが、図15に示すように、画素を介して隣接配置される2本の走査ライン間において、偶数番目の走査ラインを選択した後に奇数番目の走査ラインを選択する構成としてもよい。

【0068】

また、上述の実施の形態では、電源調整回路24が振幅中心電圧 V_{dc} を共通電極駆動回路28に供給する場合について説明したが、電源調整回路24が振幅中心電圧 V_{dc} とは異なる電圧を共通電極駆動回路28に供給し、共通電極駆動回路28が予め設定されている情報に基づいて電源調整回路24から供給されてくる電圧を変換する構成としてもよい。

【0069】

また、上述の実施の形態では、電源調整回路24が振幅中心電圧 V_{dc} としての直流電圧を共通電極駆動回路28に供給する場合について説明したが、図16(a)、図16(b)に示すように、電源調整回路24がその振幅中心電圧が上述したような振幅中心電圧 V_{dc} になる矩形交流電圧 V_{ac} を共通電極駆動回路28に供給し、共通電極駆動回路28がこの矩形交流電圧 V_{ac} に補正電圧 V_{c1} 、 V_{c2} を重畳する構成としてもよい。表示信号電圧 V_d の値を小さく設定しながらも、液晶に比較的大きな電圧を印加することが可能になり好ましい。

【0070】

また、上述の実施の形態では、当該フレームにおいて液晶に書き込まれる電圧の極性が各走査ラインに対応する画素間で等しくなるフレーム反転駆動の場合について説明したが、図17(a)、図17(b)に示すように、当該フレームにおいて液晶に書き込まれる電圧の極性が隣接した走査ラインに対応する画素間で異なるライン反転駆動やドット反転駆動にも適用することができる。

【0071】

また、上述の実施形態においては、各画素がストライプ状に配列されるストライプ配列の場合について説明したが、デルタ配列にも適用することができる。

【0072】

上述した実施の形態は、本発明の一例に過ぎず、各機能ブロックの具体的な構成は本発明の作用効果を奏する範囲において適宜変更設計できることはいうまでもない。

【図面の簡単な説明】

【0073】

【図1】本発明に係る液晶表示装置の概略平面構成図。

【図2】本発明に係る液晶表示装置の概略断面構成図。

【図3】液晶表示部における各画素の配置図。

【図4】液晶表示部における等価回路図。

【図5】画素の平面構成図。

【図6】画素の断面構成図。

【図7】ドライバ回路のブロック構成図。

【図8】各走査ラインにおける走査信号の説明図。

【図9】走査ライン駆動回路の概略構成図。

【図10】保持回路の説明図。

【図11】データライン駆動回路の概略構成図。

【図12】コモン信号の説明図であり、(a)は ΔV_1 の絶対値よりも ΔV_2 の絶対値が大きい場合、(b)は ΔV_1 の絶対値と ΔV_2 の絶対値とが等しい場合、(c)は ΔV_1 の絶対値よりも ΔV_2 の絶対値が小さい場合。

10

20

30

40

50

【図 1 3】 $\Delta V 1$ の絶対値よりも $\Delta V 2$ の絶対値が大きい場合のコモン信号と液晶に書き込まれる電圧との関係の説明図。

【図 1 4】 $\Delta V 1$ の絶対値よりも $\Delta V 2$ の絶対値が小さい場合のコモン信号と液晶に書き込まれる電圧との関係の説明図。

【図 1 5】各走査ラインにおける走査信号の変形例。

【図 1 6】コモン信号の変形例であり、(a) は $\Delta V 1$ の絶対値よりも $\Delta V 2$ の絶対値が大きい場合、(b) は $\Delta V 1$ の絶対値よりも $\Delta V 2$ の絶対値が小さい場合。

【図 1 7】ライン反転駆動またはドット反転駆動にした場合の表示信号電圧とコモン信号との関係の説明図であり、(a) は $\Delta V 1$ の絶対値よりも $\Delta V 2$ の絶対値が大きい場合、(b) は $\Delta V 1$ の絶対値よりも $\Delta V 2$ の絶対値が小さい場合。

10

【図 1 8】従来技術における各画素の配置図

【図 1 9】従来技術における各走査ラインの選択順の説明図

【図 2 0】従来技術における各画素の寄生容量の説明図

【図 2 1】従来技術における引き込み電圧の説明図

【符号の説明】

【0074】

1：液晶表示装置

10：液晶表示部

11：ドライバ回路

22：走査ライン駆動回路

23：データライン駆動回路

24：電源調整回路

25：画像メモリ

26：固有情報記憶部

27：制御部

28：共通電極駆動回路

153：D/A変換回路

154：表示信号電圧生成回路

$S(i)$ ：データライン ($i = 1, 2, 3, \dots, x$)

$G(j)$ ：走査ライン ($j = 1, 2, 3, \dots, y$)

$P(i, j)$ ：画素

C_{lc} ：液晶容量

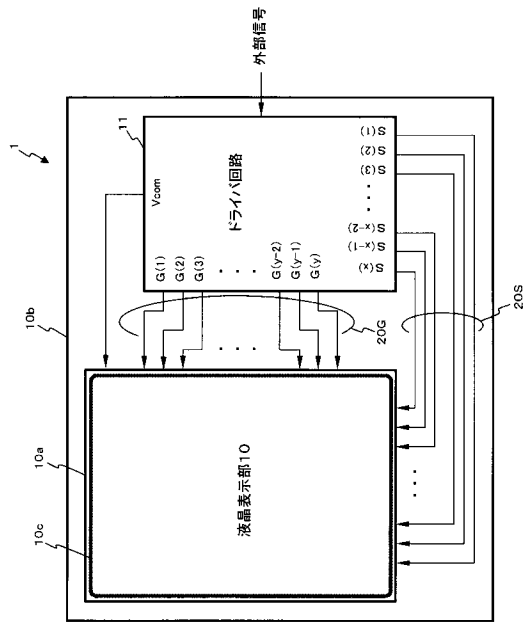
C_{cs} ：補助容量

C_{gs1}, C_{gs2} ：寄生容量

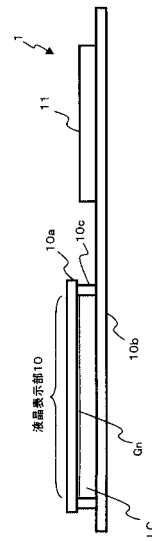
20

30

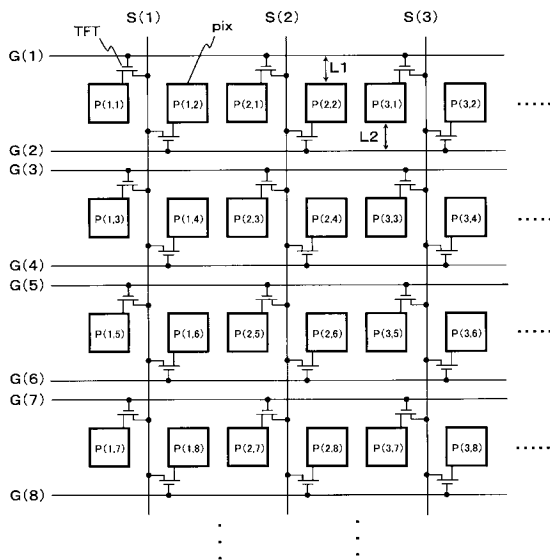
【図 1】



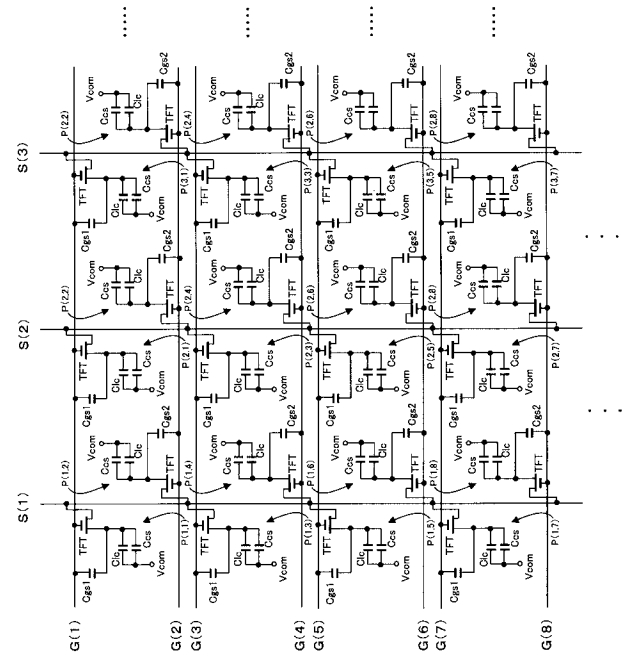
【図 2】



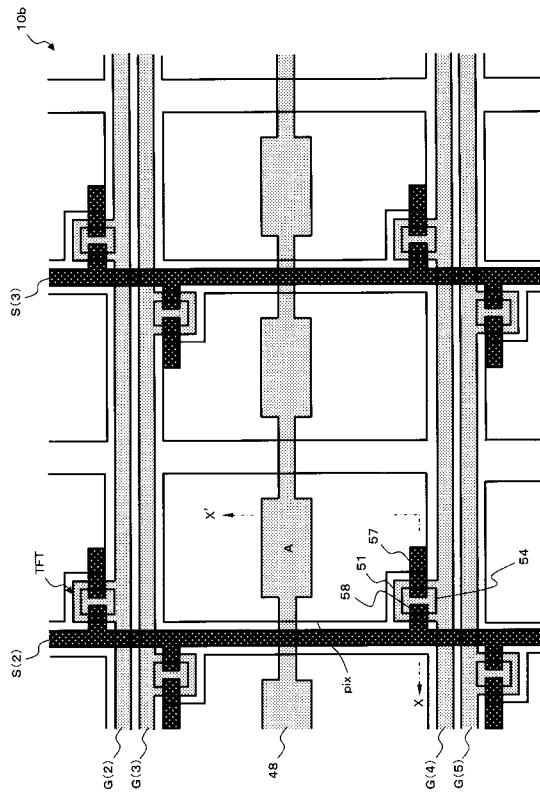
【図 3】



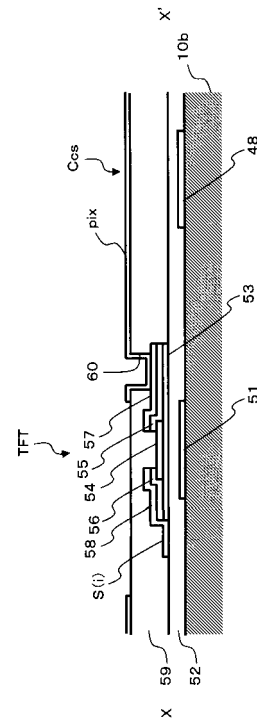
【図 4】



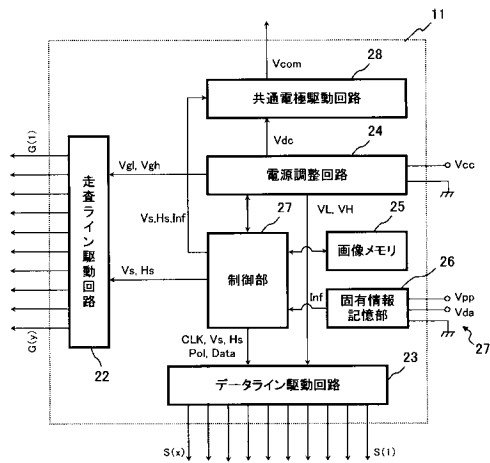
【図 5】



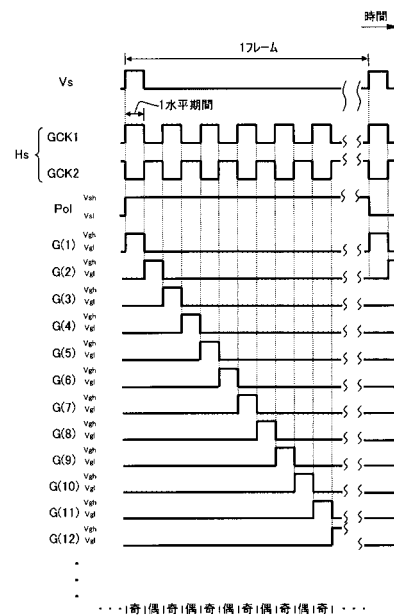
【図 6】



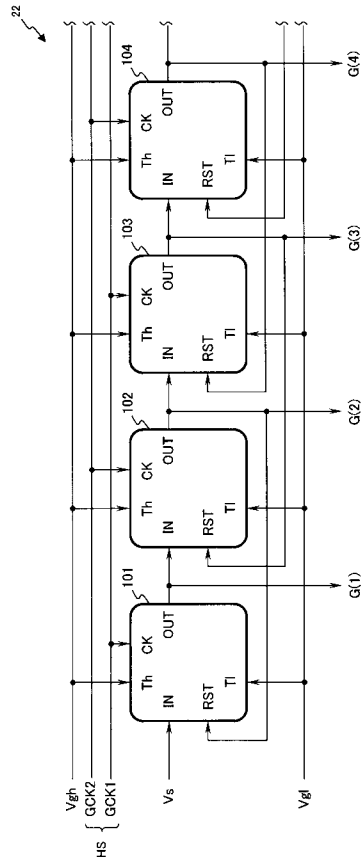
【図 7】



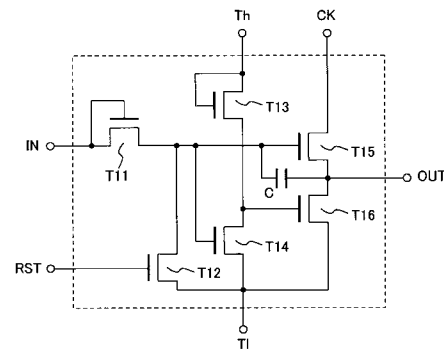
【図 8】



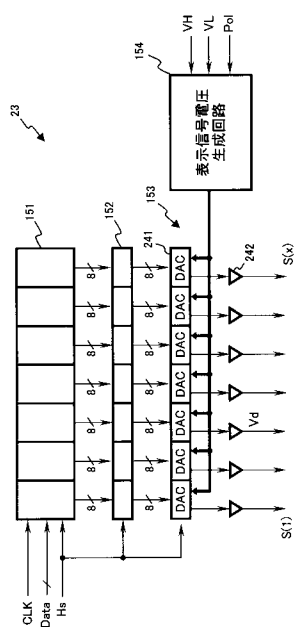
【図 9】



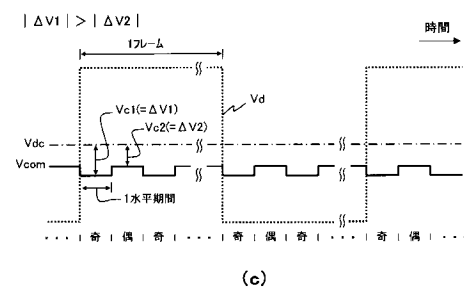
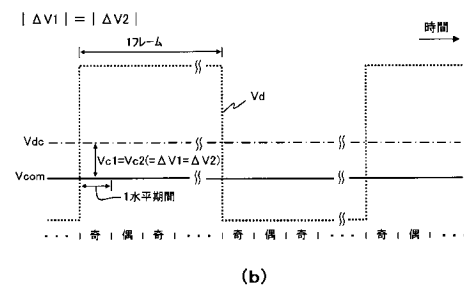
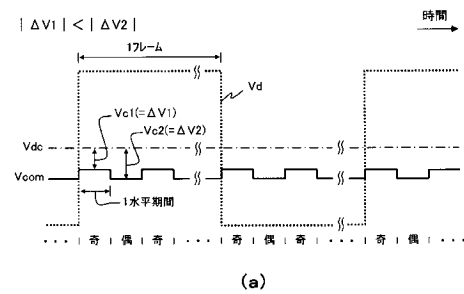
【図 10】



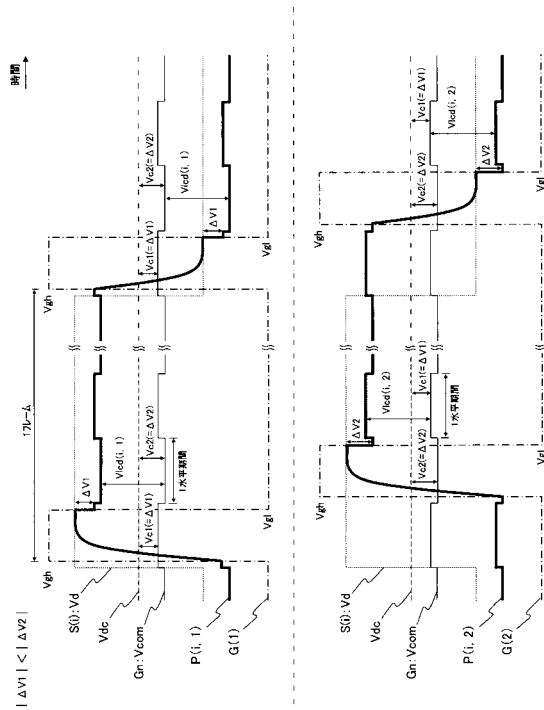
【図 11】



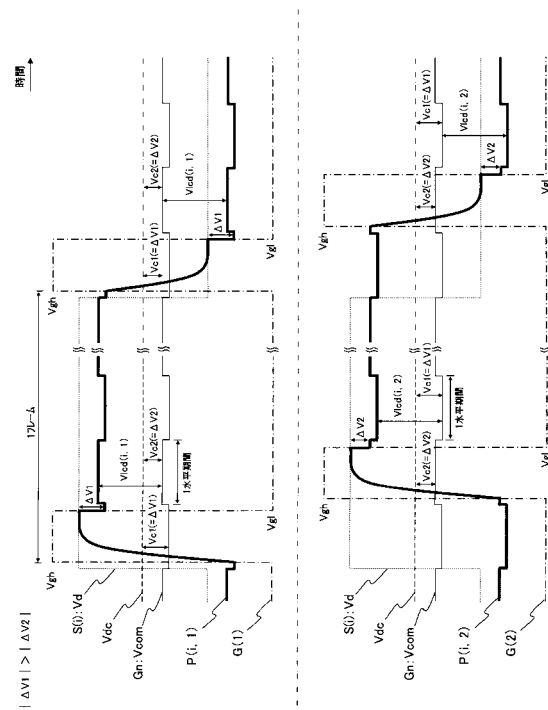
【図 12】



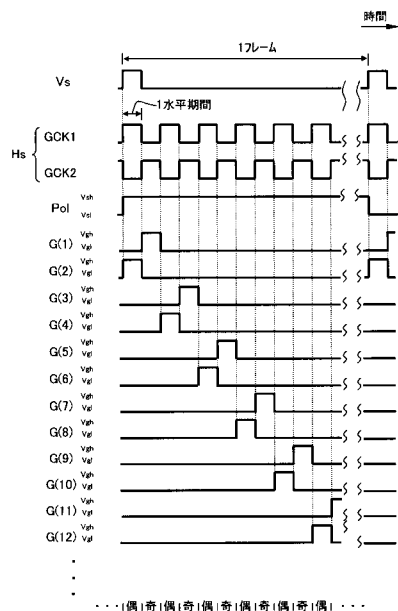
【図 13】



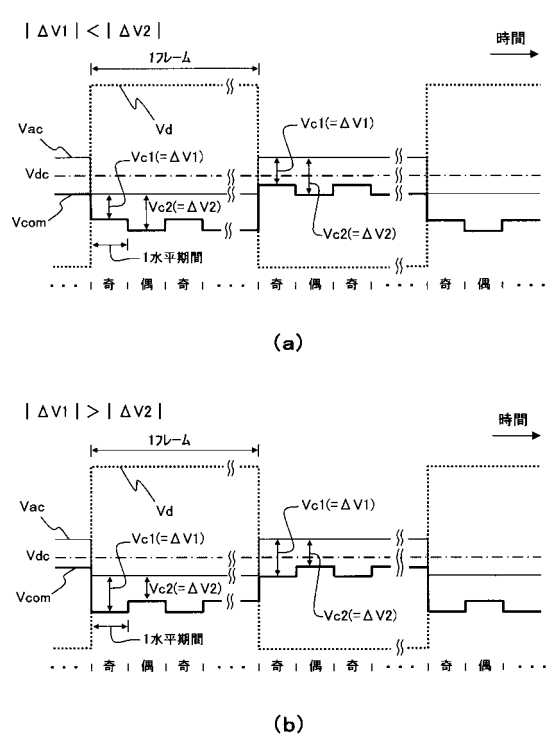
【図 14】



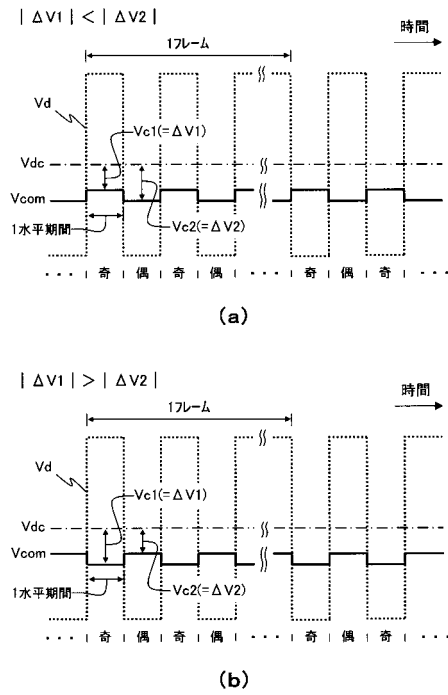
【図 15】



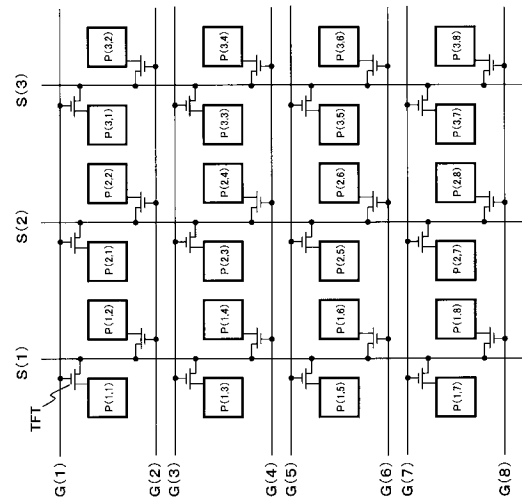
【図 16】



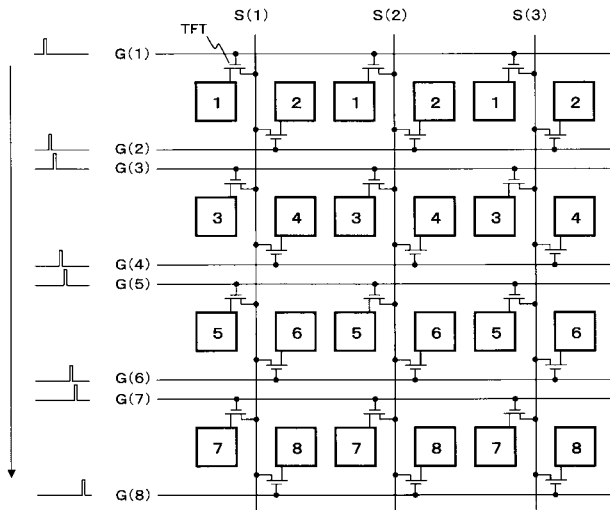
【図 17】



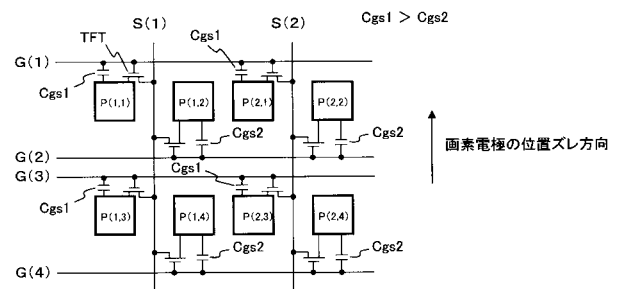
【図 18】



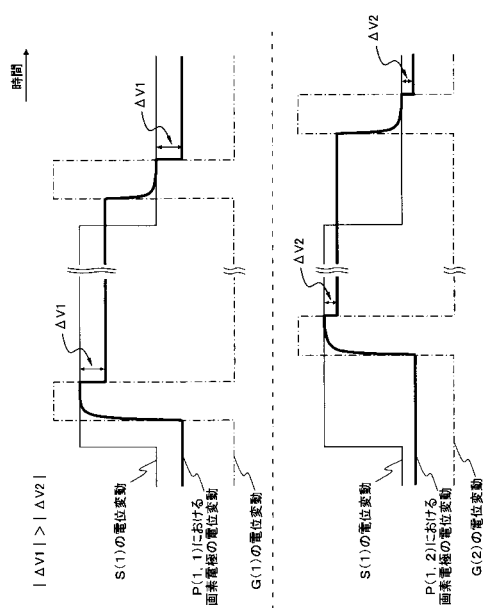
【図 19】



【図 20】



【図 2 1】



フロントページの続き

(51)Int.Cl.

F I

テーマコード (参考)

G 0 9 G	3/20	6 2 1 M
G 0 9 G	3/20	6 2 4 D
G 0 9 G	3/20	6 4 2 A
G 0 9 F	9/30	3 3 8
G 0 2 F	1/133	5 5 0

F ターム (参考)	5C006	AA16	AC25	AC26	AC27	AC28	AF42	AF83	BB16	BB21	BC06
		BC11	BC23	BF01	BF03	BF04	BF08	BF11	BF34	BF42	FA20
		FA22									
	5C080	AA10	BB05	DD05	DD06	DD10	DD23	EE29	FF11	FF12	JJ02
		JJ03	JJ04	JJ06							
	5C094	AA02	BA03	BA43	CA19	CA20	EA04	GA10			

专利名称(译)	液晶显示装置及其驱动方法		
公开(公告)号	JP2010151860A	公开(公告)日	2010-07-08
申请号	JP2008326807	申请日	2008-12-24
[标]申请(专利权)人(译)	卡西欧计算机株式会社		
申请(专利权)人(译)	卡西欧计算机有限公司		
[标]发明人	平山隆一		
发明人	平山 隆一		
IPC分类号	G09G3/36 G09G3/20 G09F9/30 G02F1/133		
CPC分类号	G09G3/3655 G02F2001/13606 G09G3/3677 G09G2300/0426 G09G2320/0219		
FI分类号	G09G3/36 G09G3/20.611.D G09G3/20.611.E G09G3/20.611.H G09G3/20.621.B G09G3/20.621.M G09G3/20.624.D G09G3/20.642.A G09F9/30.338 G02F1/133.550		
F-TERM分类号	2H093/NA16 2H093/NA45 2H093/NC03 2H093/NC10 2H093/NC12 2H093/NC18 2H093/NC23 2H093/NC29 2H093/NC34 2H093/NC35 2H093/ND05 2H093/ND09 2H093/ND60 2H093/NH18 2H193/ZA04 2H193/ZC26 2H193/ZD32 2H193/ZD34 2H193/ZF03 2H193/ZF22 2H193/ZF36 2H193/ZF59 5C006/AA16 5C006/AC25 5C006/AC26 5C006/AC27 5C006/AC28 5C006/AF42 5C006/AF83 5C006/BB16 5C006/BB21 5C006/BC06 5C006/BC11 5C006/BC23 5C006/BF01 5C006/BF03 5C006/BF04 5C006/BF08 5C006/BF11 5C006/BF34 5C006/BF42 5C006/FA20 5C006/FA22 5C080/AA10 5C080/BB05 5C080/DD05 5C080/DD06 5C080/DD10 5C080/DD23 5C080/EE29 5C080/FF11 5C080/FF12 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C094/AA02 5C094/BA03 5C094/BA43 5C094/CA19 5C094/CA20 5C094/EA04 5C094/GA10 2H193/ZA07 2H193/ZA08 2H193/ZB02 2H193/ZB03 2H193/ZB07 2H193/ZB14 2H193/ZB18 2H193/ZC01 2H193/ZC25 2H193/ZD13 2H193/ZD14 2H193/ZF23 2H193/ZF34 2H193/ZF35 2H193/ZF60 2H193/ZH46 2H193/ZH53 2H193/ZK09 2H193/ZK14		
其他公开文献	JP4687785B2		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种即使在垂直于扫描线的拉伸方向的方向分量上发生像素电极的移位也能够防止图像质量劣化的液晶显示装置。在预定方向上彼此相邻的第一像素P (i , 1) 和第二像素P (i , 2) 共享一条数据线S (i) , 并且第一像素P (i , 1)) 连接至第一扫描线G (1) , 第二像素P (i , 2) 连接至第二扫描线G (2) , 第二像素P至第一像素P (i , 1) (i , 2) 是一种液晶显示装置, 其中以不同的定时写入显示信号电压Vd, 并且相对于预定的灰度级, 显示信号电压Vd具有两个不同的电压电平, 并且显示到像素的显示信号。当写入电压Vd时, 两个电压电平的电压中心电压Vdc之间的电压差Vc1, Vc2在第一像素P (i , 1) 和第二像素P (i , 2) 之间是不同的。公共信号Vcom被提供给公共电极Gn。[选择图]

图13