

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-236937

(P2009-236937A)

(43) 公開日 平成21年10月15日(2009.10.15)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G09G 3/20 (2006.01)	G09G 3/20 611H	2H193
G02F 1/133 (2006.01)	G09G 3/20 623C	5C006
	G09G 3/20 623U	5C080
	G09G 3/20 642A	
審査請求 未請求 請求項の数 11 O L (全 20 頁) 最終頁に続く		

(21) 出願番号 特願2008-73091 (P2008-73091)
 (22) 出願日 平成20年3月21日 (2008.3.21)
 (31) 優先権主張番号 特願2008-57536 (P2008-57536)
 (32) 優先日 平成20年3月7日 (2008.3.7)
 (33) 優先権主張国 日本国(JP)

(71) 出願人 000001443
 カシオ計算機株式会社
 東京都渋谷区本町1丁目6番2号
 (72) 発明者 平山 隆一
 東京都八王子市石川町2951番地の5
 カシオ計算機株式会社八王子技術センター
 内
 Fターム(参考) 2H093 NA16 NA33 NA45 NA53 NC03
 NC10 NC12 NC21 NC22 NC29
 ND05 ND09 ND60 NH18
 2H193 ZC15 ZC26 ZD23 ZD32 ZD34
 ZF03 ZF22 ZF36

最終頁に続く

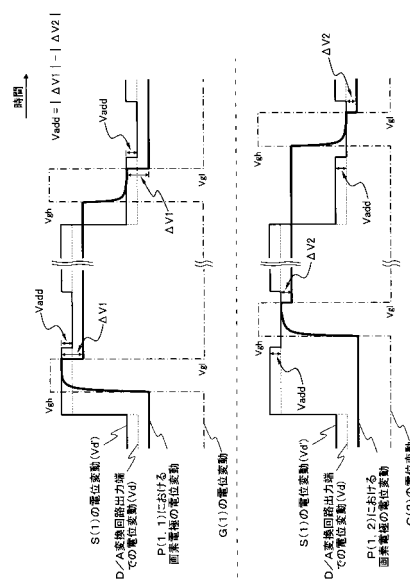
(54) 【発明の名称】 液晶表示装置及びその駆動方法

(57) 【要約】

【課題】 例えば走査ラインの延伸方向に対して垂直な方向成分に画素電極の位置ズレが発生した場合であっても画質を低下させることのない液晶表示装置及びその駆動方法を提供する。

【解決手段】 所定方向に隣接する第一画素P(1,1)と第二画素P(1,2)が1本のデータラインS(1)を共用し、第一画素P(1,1)が第一走査ラインG(1)に第一スイッチング素子を介して接続され、第二画素P(1,2)が第二走査ラインG(2)に第二スイッチング素子を介して接続され、第一画素P(1,1)と第二画素P(1,2)とが、第一走査ラインG(1)と第二走査ラインG(2)との間に配置されている液晶表示装置であって、第一画素P(1,1)と第二画素P(1,2)との間で、表示すべき所定の階調レベルに対する表示信号電圧Vd'が異なるように、データラインS(1)に表示信号電圧Vd'を供給する。

【選択図】 図13



【特許請求の範囲】

【請求項 1】

所定方向に隣接する第一画素と第二画素が 1 本のデータラインを共用し、
前記第一画素が第一走査ラインに第一スイッチング素子を介して接続され、
前記第二画素が第二走査ラインに第二スイッチング素子を介して接続され、
前記第一画素と前記第二画素とが、前記第一走査ラインと前記第二走査ラインとの間に
配置されている液晶表示装置であって、

前記第一画素と前記第二画素との間で、表示すべき所定の階調レベルに対する表示信号
電圧が異なるように、前記データラインに表示信号電圧を供給する駆動手段を備えたこと
を特徴とする液晶表示装置。

10

【請求項 2】

前記第一画素と前記第一走査ラインとの間の寄生容量が、前記第二画素と第二走査ライ
ンとの間の寄生容量よりも大きく形成され、

前記駆動手段は、表示すべき所定の階調レベルに対する表示信号電圧が前記第二画素よ
りも前記第一画素の方がゲートのオン電圧に近い値になるように、前記データラインに表
示信号電圧を供給することを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

前記第一画素と前記第一走査ラインとの間の寄生容量が、前記第二画素と第二走査ライ
ンとの間の寄生容量よりも小さく形成され、

前記駆動手段は、表示すべき所定の階調レベルに対する表示信号電圧が前記第一画素よ
りも前記第二画素の方がゲートのオン電圧に近い値になるように、前記データラインに表
示信号電圧を供給することを特徴とする請求項 1 に記載の液晶表示装置。

20

【請求項 4】

前記第一画素と前記第一走査ラインとの間隔が、前記第二画素と第二走査ラインとの間
隔よりも短く形成され、

前記駆動手段は、表示すべき所定の階調レベルに対する表示信号電圧が前記第二画素よ
りも前記第一画素の方がゲートのオン電圧に近い値になるように、前記データラインに表
示信号電圧を供給することを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 5】

前記第一画素と前記第一走査ラインとの間隔が、前記第二画素と第二走査ラインとの間
隔よりも長く形成され、

前記駆動手段は、表示すべき所定の階調レベルに対する表示信号電圧が前記第一画素よ
りも前記第二画素の方がゲートのオン電圧に近い値になるように、前記データラインに表
示信号電圧を供給することを特徴とする請求項 1 に記載の液晶表示装置。

30

【請求項 6】

各階調レベルに対応した表示信号電圧を生成する表示信号電圧生成手段と、

前記表示信号電圧生成手段により生成された表示信号電圧を補正する補正手段と、を備
え、

前記駆動手段は、前記補正手段により補正された表示信号電圧を前記データラインに供
給することを特徴とする請求項 1 から 5 の何れかに記載の液晶表示装置。

40

【請求項 7】

前記第一画素と前記第二画素は、前記第一走査ラインまたは前記第一走査ラインの延伸
方向に隣接していることを特徴とする請求項 1 から 6 の何れかに記載の液晶表示装置。

【請求項 8】

前記第一画素における画素電極の形状が、前記第二画素の画素電極の形状に対して回転
対称形状になっていることを特徴とする請求項 1 から 7 の何れかに記載の液晶表示装置。

【請求項 9】

前記第一画素と前記第二画素は、前記データラインを挟むように隣接配置されているこ
とを特徴とする請求項 1 から 8 の何れかに記載の液晶表示装置。

【請求項 10】

50

前記所定方向に隣接する第三画素と第四画素が第二のデータラインを共用し、
前記第三画素が前記第一走査ラインに第三スイッチング素子を介して接続され、
前記第四画素が前記第二走査ラインに第四スイッチング素子を介して接続され、
前記第三画素と前記第四画素は、前記第二データラインを挟むように隣接配置され、
前記第二画素と前記第三画素とが隣接配置されていることを特徴とする請求項 9 に記載
の液晶表示装置。

【請求項 11】

所定方向に隣接する第一画素と第二画素が 1 本のデータラインを共用し、
前記第一画素が第一走査ラインに第一スイッチング素子を介して接続され、
前記第二画素が第二走査ラインに第二スイッチング素子を介して接続され、
前記第一画素と前記第二画素とが、前記第一走査ラインと前記第二走査ラインとの間に
配置されている液晶表示装置の駆動方法であって、
前記第一画素と前記第二画素との間で、表示すべき所定の階調レベルに対する表示信号
電圧が異なるように、前記データラインに表示信号電圧を供給することを特徴とする駆動
方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

20

本発明は、所定方向に隣接する第一画素と第二画素とが 1 本のデータラインを共用し、
前記第一画素が第一走査ラインに第一スイッチング素子を介して接続され、前記第二画素
が第二走査ラインに第二スイッチング素子を介して接続され、前記第一画素と前記第二画
素とが、前記第一走査ラインと前記第二走査ラインとの間に配置されている液晶表示装置
及びその駆動方法に関する。

【背景技術】

【0002】

近年、スイッチング素子として薄膜トランジスタ（TFT）を用いたアクティブマトリ
クス型の液晶表示装置が開発されている。

【0003】

30

アクティブマトリクス型の液晶表示装置は、その表示領域に、マトリクス状に配置され
た複数の画素と、各画素を行毎に順次走査するための複数の走査ライン、各画素に書込む
データを供給するための複数のデータラインとが形成されている。各画素は、ゲート電極
が前記走査ラインに接続されドレイン電極がデータラインに接続されたスイッチング素子
としての TFT と、TFT のソース電極に接続された画素電極と、各画素で共通の電位に
設定される共通電極と、画素電極と共通電極との電位差を所定の電位差に保つための電荷
を蓄積する補助容量と、を備えている。ここで、画素電極と共通電極との間には、例えば
、画素電極と共通電極との間の電位差に応じてその配向状態が変化する液晶が配されてい
る。

【0004】

40

表示領域の周囲には、各走査ラインに接続され、この各走査ラインを介して各 TFT を
走査するための（オン・オフ制御するための）ゲートドライバや、各データラインに接続
され、この各データラインを介して各画素（各補助容量や液晶）に所定のデータ電圧を出
力するデータドライバが形成されている。

【0005】

ところで、アクティブマトリクス型の液晶表示装置は、携帯電話やデジタルカメラ等の
小型携帯機器のモニター部として組み込まれることがある。このようなときには、表示領
域の外周部としての額縁を狭額縁化できることが好ましく、比較的その占有面積が広くな
ってしまうゲートドライバやソースドライバを額縁の何れか一辺側に集約配置している。
また、ゲートドライバやソースドライバを集約配置することによりこれらの実装工程を簡

50

略化することもできるようになっている。しかし、このようなときには、ゲートドライバやソースドライバの配置位置に応じて、走査ラインまたはデータラインが表示領域の周囲（額縁）を長い距離に亘って引き回されることになるが、この引き回し領域を更に少なくするために、走査ラインの数を2倍にする代わりに、データラインの数を半分にした画素結線の構成が考えられている。（例えば、特許文献1の図5）

【0006】

図16は、そのような狭額縁化を達成するための一手法として考えられた表示画面内における画素結線例の概略図である。これは、1本のデータライン $S(i)$ を隣接する2つの画素 $P(i, j)$ で共用するものである。この場合、それら2つの画素 $P(i, j)$ に対応するTF Tは、それぞれ異なる走査ライン $G(j)$ に接続されている。

10

【0007】

例えば、図16において、左上の画素 $P(1, 1)$ に対応するTF Tは、走査ライン $G(1)$ とデータライン $S(1)$ に接続され、その右隣の画素 $P(1, 2)$ に対応するTF Tは、走査ライン $G(2)$ とデータライン $S(1)$ に接続されている。そして、画素 $P(1, 1)$ と画素 $P(1, 2)$ は、走査ライン $G(1)$ と走査ライン $G(2)$ との間に配置されている。

【0008】

図17は、このようなアクティブマトリクス型の液晶表示装置における各画素 $P(i, j)$ に映像信号 $Vsig$ を書き込むときの走査ライン $G(j)$ の走査方向（各走査信号波形）と、データライン $S(i)$ を共用した隣接画素 $P(i, j)$ 間での書き込み順位を示している。例えば、データライン $S(1)$ に接続された各画素 $P(1, j)$ は、画素 $P(1, 1)$ 、画素 $P(1, 2)$ 、画素 $P(1, 3)$ 、画素 $P(1, 4)$ の順に書き込まれていく。

20

【特許文献1】特開2004-185006号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

上述したようなデータラインの数を半分にするための画素結線において、各行の画素は、行方向に隣接する画素間で、画素に対して異なる方向に配置された走査ラインに接続されている。このため、製造過程において、例えば図18に示すように、走査ラインの延伸方向に対して垂直な方向成分に画素電極の位置ズレが発生すると、画素電極と走査ラインとの間に発生する寄生容量 $Cgs1$ 、 $Cgs2$ が、走査ラインの延伸方向に隣接する画素間で異なる値になる。このような場合には、走査ラインの延伸方向に隣接する画素のそれぞれに、たとえ同電位の表示信号電圧を書き込む場合であっても、走査ラインの延伸方向に隣接する画素間では、図19に示すように、表示信号電圧取込終了時のレベルシフト電圧 $\Delta V1$ 、 $\Delta V2$ が異なり画質が低下することが問題となっていた。なお、図19には、図18における画素 $P(1, 1)$ と画素 $P(1, 2)$ での電位変動を示している。

30

【0010】

本発明は、かかる従来の課題に鑑みてなされたものであり、例えば走査ラインの延伸方向に対して垂直な方向成分に画素電極の位置ズレが発生した場合であっても画質を低下させることのない液晶表示装置及びその駆動方法を提供することを目的とする。

40

【課題を解決するための手段】

【0011】

上述の目的を達成するため、請求項1に記載の発明にかかる液晶表示装置は、所定方向に隣接する第一画素と第二画素が1本のデータラインを共用し、前記第一画素が第一走査ラインに第一スイッチング素子を介して接続され、前記第二画素が第二走査ラインに第二スイッチング素子を介して接続され、前記第一画素と前記第二画素とが、前記第一走査ラインと前記第二走査ラインとの間に配置されている液晶表示装置であって、前記第一画素と前記第二画素との間で、表示すべき所定の階調レベルに対する表示信号電圧が異なるように、前記データラインに表示信号電圧を供給する駆動手段を備えたことを特徴とする。

50

【0012】

また、請求項2に記載の発明は、請求項1に記載の液晶表示装置において、前記第一画素と前記第一走査ラインとの間の寄生容量が、前記第二画素と第二走査ラインとの間の寄生容量よりも大きく形成され、前記駆動手段は、表示すべき所定の階調レベルに対する表示信号電圧が前記第二画素よりも前記第一画素の方がゲートのオン電圧に近い値になるように、前記データラインに表示信号電圧を供給することを特徴とする。

【0013】

また、請求項3に記載の発明は、請求項1に記載の液晶表示装置において、前記第一画素と前記第一走査ラインとの間の寄生容量が、前記第二画素と第二走査ラインとの間の寄生容量よりも小さく形成され、前記駆動手段は、表示すべき所定の階調レベルに対する表示信号電圧が前記第一画素よりも前記第二画素の方がゲートのオン電圧に近い値になるように、前記データラインに表示信号電圧を供給することを特徴とする。

10

【0014】

また、請求項4に記載の発明は、請求項1に記載の液晶表示装置において、前記第一画素と前記第一走査ラインとの間隔が、前記第二画素と第二走査ラインとの間隔よりも短く形成され、前記駆動手段は、表示すべき所定の階調レベルに対する表示信号電圧が前記第二画素よりも前記第一画素の方がゲートのオン電圧に近い値になるように、前記データラインに表示信号電圧を供給することを特徴とする。

【0015】

また、請求項5に記載の発明は、請求項1に記載の液晶表示装置において、前記第一画素と前記第一走査ラインとの間隔が、前記第二画素と第二走査ラインとの間隔よりも長く形成され、前記駆動手段は、表示すべき所定の階調レベルに対する表示信号電圧が前記第一画素よりも前記第二画素の方がゲートのオン電圧に近い値になるように、前記データラインに表示信号電圧を供給することを特徴とする。

20

【0016】

また、請求項6に記載の発明は、請求項1から5の何れかに記載の液晶表示装置において、各階調レベルに対応した表示信号電圧を生成する表示信号電圧生成手段と、前記表示信号電圧生成手段により生成された表示信号電圧を補正する補正手段と、を備え、前記駆動手段は、前記補正手段により補正された表示信号電圧を前記データラインに供給することを特徴とする。

30

【0017】

また、請求項7に記載の発明は、請求項1から6の何れかに記載の液晶表示装置において、前記第一画素と前記第二画素は、前記第一走査ラインまたは前記第一走査ラインの延伸方向に隣接していることを特徴とする。

【0018】

また、請求項8に記載の発明は、請求項1から7の何れかに記載の液晶表示装置において、前記第一画素における画素電極の形状が、前記第二画素の画素電極の形状に対して回転対称形状になっていることを特徴とする。

【0019】

また、請求項9に記載の発明は、請求項1から8の何れかに記載の液晶表示装置において、前記第一画素と前記第二画素は、前記データラインを挟むように隣接配置されていることを特徴とする。

40

【0020】

また、請求項10に記載の発明は、請求項9に記載の液晶表示装置において、前記所定方向に隣接する第三画素と第四画素が第二のデータラインを共用し、前記第三画素が前記第一走査ラインに第三スイッチング素子を介して接続され、前記第四画素が前記第二走査ラインに第四スイッチング素子を介して接続され、前記第三画素と前記第四画素は、前記第二データラインを挟むように隣接配置され、前記第二画素と前記第三画素とが隣接配置されていることを特徴とする。

【0021】

50

また、請求項 11 に記載の発明にかかる液晶表示装置の駆動方法は、所定方向に隣接する第一画素と第二画素が 1 本のデータラインを共用し、前記第一画素が第一走査ラインに第一スイッチング素子を介して接続され、前記第二画素が第二走査ラインに第二スイッチング素子を介して接続され、前記第一画素と前記第二画素とが、前記第一走査ラインと前記第二走査ラインとの間に配置されている液晶表示装置の駆動方法であって、前記第一画素と前記第二画素との間で、表示すべき所定の階調レベルに対する表示信号電圧が異なるように、前記データラインに表示信号電圧を供給することを特徴とする。

【発明の効果】

【0022】

本発明によれば、例えば走査ラインの延伸方向に対して垂直な方向成分に画素電極の位置ズレが発生した場合であっても画質を低下させることのない液晶表示装置及びその駆動方法を提供することができる。

【発明を実施するための最良の形態】

【0023】

以下、本発明を実施するための形態を、図面を参照して説明する。なお、本実施の形態においては、液晶表示装置を製造した後に、液晶表示装置毎に、当該液晶表示装置の仕上がり具合に応じた所定の情報を記憶させ、この記憶情報に基づいて当該液晶表示装置における駆動電圧が補正される場合について説明する。

【0024】

本発明に係る液晶表示装置 1 の概略全体構成は、図 1、図 2 に示すように後述する複数の画素が配置された液晶表示部 10 と、該液晶表示部 10 の各画素を駆動制御するドライバ回路 11 とから構成されている。

【0025】

液晶表示部 10 は、対向配置され、シール材 10c により接着された 2 枚の基板 10a、10b 間に液晶 LC が挟持された構成となっている。そして、一方の基板 10b の対向面側には、図 3 及び図 4 に示すように、マトリクス状に配置された複数の画素 $P(i, j)$ と、各画素 $P(i, j)$ を行毎に順次走査するための複数の走査ライン $G(j)$ と、各画素 $P(i, j)$ に書き込む表示信号電圧を供給するための複数のデータライン $S(i)$ とが形成されている。各画素 $P(i, j)$ は、ゲート電極が走査ライン $G(j)$ に接続されドレイン電極がデータライン $S(i)$ に接続されたスイッチング素子としての TFT と、TFT のソース電極に接続された画素電極 p_{ix} と、画素電極 p_{ix} と他方の基板 10a に形成された共通電極 G_n との間の電位差を所定の電位差に保つための電荷を蓄積する補助容量 C_{cs} と、を備えている。なお、 $i = 1, 2, 3, \dots, x$ 。 $j = 1, 2, 3, \dots, y$ 。また、共通電極 G_n は、各画素で共通の対向電圧 V_c となるように構成されている。つまり、共通電極 G_n は、例えば他方の基板 10a の対向面側に、一面に亘って形成されている。

【0026】

ここで、データライン $S(i)$ と走査ライン $G(j)$ とは、互いに交差するように配置されている。そして、各画素 $P(i, j)$ は、それぞれスイッチング素子としての TFT を介して、上述のようにデータライン $S(i)$ の何れか及び走査ライン $G(j)$ の何れかと互いの交点近傍で接続されている。また、2 画素毎に、1 本のデータライン $S(i)$ を隣接する 2 つの画素 $P(i, j)$ で共用するよう接続されている。さらに、それら 2 つの画素 $P(i, j)$ に対応する TFT は、それぞれ異なる走査ライン $G(j)$ に接続されている。

【0027】

例えば、図 3 や図 4 において、左上の画素 $P(1, 1)$ に対応する TFT は、走査ライン $G(1)$ とデータライン $S(1)$ に接続され、その右隣の画素 $P(1, 2)$ に対応する TFT は、走査ライン $G(2)$ とデータライン $S(1)$ に接続されている。そして、画素 $P(1, 1)$ と画素 $P(1, 2)$ は、走査ライン $G(1)$ と走査ライン $G(2)$ との間に配置されている。

10

20

30

40

50

【0028】

また、画素P(1, 2)は、画素P(1, 1)に対してはデータラインS(1)を挟んで隣接して配置されているが、画素P(1, 1)の方向とは逆の方向に隣接する画素P(2, 1)に対してはデータラインS(i)を挟むことなく隣接配置されている。画素P(2, 1)は、データラインS(2)を挟んで画素P(2, 2)と隣接して配置されている。

【0029】

ここで、図5及び図6に基づいて各画素P(i, j)の具体的な構成について説明する。一方の基板10bにはゲート電極51を含む走査ラインG(j)が設けられている。そして、この走査ラインG(j)と同一層に補助容量ライン48が設けられている。つまり、走査ラインG(j)と補助容量ライン48とは一括形成される。そして、その上面全体にはゲート絶縁膜52が設けられている。ゲート絶縁膜52の上面には真性アモルファスシリコンからなる半導体薄膜53が設けられている。半導体薄膜53の上面ほぼ中央部にはチャネル保護膜54が設けられている。チャネル保護膜54の上面両側およびその両側における半導体薄膜53の上面にはn型アモルファスシリコンからなるコンタクト層55、56が設けられている。

【0030】

一方のコンタクト層55の上面にはソース電極57が設けられている。他方のコンタクト層56の上面およびゲート絶縁膜52の上面にはドレイン電極58を含むデータラインS(i)が設けられている。

【0031】

そして、ゲート電極51、ゲート絶縁膜52、半導体薄膜53、チャネル保護膜54、コンタクト層55、56、ソース電極57およびドレイン電極58により、TFTが構成されている。

【0032】

TFT等を含むゲート絶縁膜52の上面全体には平坦化膜59が設けられている。平坦化膜59には、ソース電極57の所定の箇所に対応する部分にコンタクトホール60が設けられている。また、平坦化膜59の上面の所定の箇所には、ITOからなる画素電極pixが設けられている。そして、画素電極pixはコンタクトホール60を介してソース電極57に接続されている。また、画素電極pixの形状は、走査ラインG(j)の延伸方向に隣接する画素間では、回転対称形状になるように形成されている。

【0033】

ここで、補助容量ライン48のうちの画素電極pixと重ね合わされた部分は補助容量電極となっている。そして、この重ね合わされた部分によって補助容量Ccsが形成されている。なお、各画素P(i, j)における補助容量Ccsの大きさは、それぞれ等しくなるように構成されている。また、補助容量ライン48は、共通電極Gnと電氣的に接続されている(同電位となっている)。

【0034】

そして、各画素P(i, j)では、画素電極pixと共通電極Gnとの間に配されることとなる液晶の配向状態を、画素電極pixと共通電極Gnとの間の電位差に基づいて変化させることによって、その表示状態の制御が可能となるように構成されている。

【0035】

なお、液晶LCは、画素電極pixと共通電極Gnによって挟持されることとなるため、これらによって液晶容量C1cが形成される。そして、各画素間で、液晶容量C1cが等しくなるように構成されている。また、共通電極Gnは、一方の基板10b側に備えられる構成となってもよい。つまり、本実施の形態においては、基板の面内方向に電位差を発生させてそれを液晶に印加する横電界方式や、2枚の基板間に電位差を発生させてそれを液晶に印加する縦電界方式の何れにも適用可能である。

【0036】

図1、図2に戻り、各データラインS(i)及び各走査ラインG(j)は、液晶表示部

10

20

30

40

50

10の周辺領域における一方の基板10b上を引き回された配線群20S, 20Gによって、液晶表示部10の右側に集約配置されたドライバ回路11に電氣的に接続されている。また、共通電極Gnは、例えば樹脂性の導通材により一方の基板10b上の配線に電氣的に接続されることでドライバ回路11に電氣的に接続される。

【0037】

なお、液晶表示部10内では、データラインS(i)は、ドライバ回路11と平行となる方向に延伸されて形成され、また、走査ラインG(j)は、その延伸方向側にドライバ回路11がくるように形成されている。そして、上述したような配線構成とすることにより、走査ライン方向に配列される画素毎にそれぞれ異なるデータ信号線に対応付ける構成のものと比較して、配線群20Sの幅を半減させることが可能な構成となっている。

10

【0038】

ドライバ回路11は、図7に示すように、各走査ラインG(j)を駆動する走査ライン駆動回路22、各データラインS(i)を駆動するデータライン駆動回路23、所定の基準電源Vccを調整して当該ドライバ回路11に必要な各種駆動電圧を出力する電源調整回路24、例えば外部から入力されてくる画像データを一時記憶する画像メモリ25、当該液晶表示装置1の固有情報を記憶する固有情報記憶部26、上述の各駆動部に後述する各種制御信号を出力することによって各駆動部の同期を得る制御部27等を備えて構成されている。

【0039】

走査ライン駆動回路22は、図8に示すように、制御部27から出力される垂直同期信号Vsや、水平同期信号Hsとしての第1ゲートクロック信号GCK1及び第2ゲートクロック信号GCK2に基づいて、各走査ラインG(j)に走査信号を出力する。なお、第1ゲートクロック信号GCK1と第2ゲートクロック信号GCK2とは互いに逆位相の矩形信号である。

20

【0040】

走査ライン駆動回路22の主要部における概略構成は、図9に示すように、例えば走査ライン数分(y段)の保持回路101、102、103、104、・・・が直列に配置されて構成される。そして、それぞれの保持回路は、入力端子INと、出力端子OUTと、リセット端子RSTと、クロック信号入力端子CKと、高電位電源入力端子Thと、低電位電源入力端子Tlとを有している。そして、1段目の保持回路101の入力端子INには1段目の入力信号として垂直同期信号Vsが供給される。また、2段目以後の保持回路の入力端子INには前段の保持回路の出力信号が供給される。また、各保持回路のリセット端子RSTには次段の保持回路の出力信号が供給される。なお、最終段(例えばy段目)の保持回路(図示せず)のリセット端子RSTには、別途リセット信号ENDが供給される構成としてもよいし、1段目の保持回路101の出力信号が供給される構成としてもよい。

30

【0041】

さらに、奇数段目の保持回路のクロック信号入力端子CKには、第1ゲートクロック信号GCK1が供給され、偶数段目の保持回路のクロック信号入力端子CKには、第1ゲートクロック信号GCK1に対して逆位相となっている第2ゲートクロック信号GCK2が供給される。また、各保持回路の高電位電源入力端子Thには所定の高電圧Vghが供給され、各保持回路の低電位電源入力端子Tlには所定の低電圧Vglが供給される。

40

【0042】

各保持回路101、102、103、104、・・・は、図10に示すように、それぞれ、6個のMOS型電界効果トランジスタ(以下、MOSトランジスタと記す)T11~T16と、コンデンサCとを有している。

【0043】

このような走査ライン駆動回路22は、図8に示すように、垂直同期信号Vsに応じて当該フレームでの走査を開始するとともに、第1ゲートクロック信号GCK1及び第2ゲートクロック信号GCK2に応じて、所定の期間だけローレベル電圧Vglからハイレベ

50

ル電圧 V_{gh} に切り換えるといった電圧出力を、最前段の走査ライン $G(1)$ から順に最後段の走査ライン $G(y)$ まで、走査ライン毎に行う。

【0044】

つまり、走査ライン駆動回路 22 は、走査ライン $G(j)$ 毎に、当該走査ライン $G(j)$ に対応する TFT (i, j) を順次オン状態にし、このときにデータライン $S(i)$ に出力されている表示信号電圧に対応する画素 $P(i, j)$ に書き込む。

【0045】

データライン駆動回路 23 は、制御部 27 から入力される水平同期信号 H_s 、垂直同期信号 V_s 、画像データ $Data$ 、基準クロック信号 CLK に基づいて、表示パネル 11 に設けられた各データライン $S(i)$ に対して、各データライン $S(i)$ に対応する表示信号電圧を所定のタイミングで出力するものである。

10

【0046】

データライン駆動回路 23 の機能ブロック構成は、図 11 に示すように、サンプリングメモリ 151、データラッチ部 152、D/A 変換回路 (DAC) 153、表示信号電圧生成回路 154、及び補正電圧重畳回路 155 からなる。

【0047】

サンプリングメモリ 151 は、制御部 27 から出力される水平同期信号 H_s 及び基準クロック信号 CLK に同期して、走査ライン一本分の画素に対応する画像データ (1 水平期間分の画像データ) 単位で、各画素に対応する画像データを前段側の走査ラインに対応するものから順に、画像メモリ 25 から取り込むためのものであり、データライン $S(i)$ の数と同数のデータ格納領域を備えている。つまり、サンプリングメモリ 151 は、走査ライン毎に当該走査ラインに対応した画像データを取り込むとともに、当該取り込んだ画像データのそれぞれを、対応するデータライン $S(i)$ のデータ格納領域に格納する。ここで、画像データには、各画素に表示すべき階調レベルが含まれ、この階調レベルは、画素毎に例えば 8 ビットのデジタルデータとして表される。そして、各データ格納領域には、この 8 ビットのデジタルデータが格納される。

20

【0048】

サンプリングメモリ 151 が取り込んだ一水平期間分の画像データは、後段のデータラッチ部 152 からの要求にしたがって、サンプリングメモリ 151 からデータラッチ部 152 に転送される。データラッチ部 152 に画像データが転送されると、サンプリングメモリ 151 は、次の一水平期間分の画像データとして次の行の走査ラインに対応した画像データの取り込み状態に移る。これは、水平同期信号 H_s に同期して行われる。

30

【0049】

データラッチ部 152 は、水平同期信号 H_s に基づいて、サンプリングメモリ 151 から一水平期間分の画像データを一齐に取得するとともに、取得した画像データを後段の D/A 変換回路 153 に出力する。

【0050】

D/A 変換回路 153 は、複数の DAC 部 241 及び出力アンプ回路 242 で構成され、DAC 部 241 により表示信号電圧生成回路 154 から供給される表示信号電圧が選択されることで、データラッチ部 152 から出力されてくるそれぞれの画像データが、対応するアナログ信号としての表示信号電圧に変換され、出力アンプ回路 242 により補正電圧重畳回路 155 へ出力される。

40

【0051】

このとき、D/A 変換回路 153 は、制御部 27 から出力される極性反転信号 Pol に対応するように、データラッチ部 152 から出力されたデジタル形式の画像データをアナログ電圧としての表示信号電圧に変換する。具体的には、D/A 変換回路 153 は、極性反転信号 Pol がハイ状態 V_{sh} であれば、データラッチ部 152 から出力された画像データが正極性の表示信号電圧になるように D/A 変換し、極性反転信号 Pol がロー状態 V_{sl} であれば、データラッチ部 152 から出力された画像データが負極性の表示信号電圧になるように D/A 変換する。換言すると、D/A 変換回路 153 は、極性反転信号 P

50

o 1 がハイ状態 V_{sh} であるときは、液晶に印加される電圧が正極性となるように D/A 変換し、極性反転信号 $P o 1$ がロー状態 V_{sl} であるときは、液晶に印加される電圧が負極性となるように D/A 変換する。

【0052】

表示信号電圧生成回路 154 は、図 12 に示すように、それぞれが、端子 255（電圧 V_H ）と端子 256（電圧 V_L ）との間の電圧を画像データのビット数 p （本実施の形態では 8 ビット）に応じた複数の抵抗で分圧する 2 組のラダー抵抗器 31, 32 と、何れか一方のラダー抵抗器に切り換えるための複数のスイッチ $S Y 0, S Y 1, \dots, S Y 255$ と、切り換えられたラダー抵抗器に対応するように、ラダー抵抗器へ印加する電圧の極性を切り換えるためのスイッチ $S Y a, S Y b$ などから構成される。そして、表示信号電圧生成回路 154 は、制御部 27 から出力される極性反転信号 $P o 1$ に基づいて各スイッチ $S Y 0, S Y 1, \dots, S Y 255$ によりラダー抵抗器を選択するとともに、ラダー抵抗器に印加する電圧の極性をスイッチ $S Y a, S Y b$ により切り換え、ラダー抵抗器によって分圧されたそれぞれの電圧をこれに対応する階調レベルの表示信号電圧として電圧印加ライン $V 0, V 1, \dots, V 255$ に印加する。

10

【0053】

具体的には、ラダー抵抗器 31 は、制御部 27 からの極性反転信号 $P o 1$ がハイレベル V_{sh} のときに各スイッチ $S Y 0, S Y 1, \dots, S Y 255$ により当該ラダー抵抗器 31 が選択されるとともに、スイッチ $S Y a, S Y b$ により端子 255 a（電圧 V_H ）と端子 256 b（電圧 V_L ）が選択されることで、端子 255 a（電圧 V_H ）と端子 256 b（電圧 V_L ）の間の電圧を画像データのビット数（本実施の形態では 8 ビット）に応じた複数の抵抗 $R A 1, R A 2, \dots, R A 255$ で分圧し、それぞれの電圧を、例えば液晶に印加される電圧が正極性になる表示信号電圧として電圧印加ライン $V 0, V 1, \dots, V 255$ に印加する。

20

【0054】

また、ラダー抵抗器 32 は、制御部 27 からの極性反転信号 $P o 1$ がローレベル V_{sl} のときに各スイッチ $S Y 0, S Y 1, \dots, S Y 255$ により当該ラダー抵抗器 32 が選択されるとともに、スイッチ $S Y a, S Y b$ により端子 256 a（電圧 V_L ）と端子 255 b（電圧 V_H ）が選択されることで、端子 256 a（電圧 V_L ）と端子 255 b（電圧 V_H ）の間の電圧を画像データのビット数（本実施の形態では 8 ビット）に応じた複数の抵抗 $R B 1, R B 2, \dots, R B 255$ で分圧し、それぞれの電圧を、例えば液晶に印加される電圧が負極性になる表示信号電圧として電圧印加ライン $V 0, V 1, \dots, V 255$ に印加する。

30

【0055】

各 DAC 部 241 は、デコーダ 243 と、各電圧印加ライン $V 0, V 1, \dots, V 255$ に接続される選択スイッチ $S W 0, S W 1, \dots, S W 255$ とを備えて構成されている。デコーダ 243 は、データラッチ部 152 から出力された画像データを入力してデコードし、階調レベル数（ビット数）に応じたデータ信号を出力する。各選択スイッチ $S W 0, S W 1, \dots, S W 255$ はデコーダ 243 から出力されるデータ信号に基づいてオン/オフが制御される。そして選択された電圧印加ライン $V 0, V 1, \dots, V 255$ と電圧出力ライン $S L$ とが導通されて、選択された電圧印加ライン $V 0, V 1, \dots, V 255$ に印加されている表示信号電圧が電圧出力ライン $S L$ に印加される。そして、電圧出力ライン $S L$ に印加された表示信号電圧 $V d$ は、出力アンプ回路 242 を介して補正電圧重畳回路 155 へ出力される。

40

【0056】

補正電圧重畳回路 155 は、例えば、奇数番目の走査ラインに対応する表示信号電圧 $V d$ が D/A 変換回路（DAC）153 から出力されてきたときには、出力されてきた表示信号電圧 $V d$ に所定の補正電圧 $V a d d$ を重畳し、この補正電圧 $V a d d$ が重畳された表示信号電圧 $V d'$ を各データライン $S(i)$ に出力する。また、偶数番目の走査ラインに対応する表示信号電圧 $V d$ が D/A 変換回路（DAC）153 から出力されてきたときに

50

は、この表示信号電圧 V_d に補正電圧 V_{add} を重畳することなく、表示信号電圧 V_d' として各データライン $S(i)$ に出力する。即ち、補正電圧重畳回路 155 は、1 水平期間間隔で、表示信号電圧 V_d に補正電圧 V_{add} を重畳する。

【0057】

なお、補正電圧 V_{add} は、例えば、当該液晶表示装置 1 における、奇数番目の走査ライン（例えば走査ライン $G(1)$ ）と当該走査ラインに対応する画素電極との間隔 L_1 及び偶数番目の走査ライン（例えば走査ライン $G(2)$ ）と当該走査ラインに対応する画素電極との間隔 L_2 に基づいて導出されるもので、固有情報記憶部 26 に補正情報 I_{nf} としてその値が予め記憶されている。

【0058】

また、奇数番目の走査ラインに接続される画素で表示信号電圧取込終了時（ゲート信号がオン状態からオフ状態に移行した時）に発生する引き込み電圧を ΔV_1 、偶数番目の走査ラインに接続される画素で表示信号電圧取込終了時に発生する引き込み電圧を ΔV_2 とすると、補正電圧 V_{add} は、大凡 $|\Delta V_1| - |\Delta V_2|$ とすることが好ましい。そして、 ΔV_1 及び ΔV_2 は（数 1）によって導出することができる。

【0059】

（数 1）

$$\begin{aligned} \Delta V_1 &= (V_{gh} - V_{gl}) \times C_{gs1} / (C_{lc} + C_{cs} + C_{gs1}) \\ &\quad (V_{gh} - V_{gl}) \times (\alpha / L_1) / \{C_{lc} + C_{cs} + (\alpha / L_1)\} \\ \Delta V_2 &= (V_{gh} - V_{gl}) \times C_{gs2} / (C_{lc} + C_{cs} + C_{gs2}) \\ &\quad (V_{gh} - V_{gl}) \times (\alpha / L_2) / \{C_{lc} + C_{cs} + (\alpha / L_2)\} \end{aligned}$$

【0060】

ここで、 C_{gs1} は奇数番目の走査ラインと当該走査ラインに対応する画素電極との間の寄生容量であり、 C_{gs2} は偶数番目の走査ラインと当該走査ラインに対応する画素電極との間の寄生容量である。また、 α は当該寄生容量を構成する誘電体の誘電率とその電極面積との積である。

【0061】

つまり、固有情報記憶部 26 に記憶される補正情報 I_{nf} は、当該液晶表示装置 1 における、奇数番目の走査ライン（例えば走査ライン $G(1)$ ）と当該走査ラインに対応する画素電極との間隔 L_1 及び偶数番目の走査ライン（例えば走査ライン $G(2)$ ）と当該走査ラインに対応する画素電極との間隔 L_2 に基づくものであり、奇数番目の走査ラインに接続される画素と偶数番目の走査ラインに接続される画素との間で寄生容量 C_{gs} の値がたとえ異なっても、表示すべき所定の階調レベルに対して表示信号電圧取込終了後に液晶に印加されている電圧が奇数番目の走査ラインに接続される画素と偶数番目の走査ラインに接続される画素との間で等しくすることができる補正電圧値である。

【0062】

例えば、奇数番目の走査ラインと当該走査ラインに対応する画素電極との間の寄生容量 C_{gs1} が偶数番目の走査ラインと当該走査ラインに対応する画素電極との間の寄生容量 C_{gs2} よりも大きくなるように仕上がったとき、つまり、奇数番目の走査ラインと当該走査ラインに対応する画素電極との間隔 L_1 が偶数番目の走査ラインと当該走査ラインに対応する画素電極との間隔 L_2 よりも短くなるように仕上がったときには、図 13 に示すように、表示すべき所定の階調レベルに対する表示信号電圧 V_d' が偶数番目の走査ラインに対応する画素書き込み時よりも奇数番目の走査ラインに対応する画素書き込み時の方がゲートのオン電圧 V_{gh} に近い値になるような補正電圧 V_{add} を補正情報 I_{nf} として固有情報記憶部 26 に記憶させる。即ち、表示すべき所定の階調レベルに対する表示信号電圧 V_d' が偶数番目の走査ラインに対応する画素よりも奇数番目の走査ラインに対応する画素の方がゲートのオン電圧 V_{gh} に近い値になるような補正電圧 V_{add} を補正情報 I_{nf} として固有情報記憶部 26 に記憶させる。

【0063】

また、奇数番目の走査ラインと当該走査ラインに対応する画素電極との間の寄生容量 C

10

20

30

40

50

g s 1 が偶数番目の走査ラインと当該走査ラインに対応する画素電極との間の寄生容量 C g s 2 よりも小さくなるように仕上がったとき、つまり、奇数番目の走査ラインと当該走査ラインに対応する画素電極との間隔 L 1 が偶数番目の走査ラインと当該走査ラインに対応する画素電極との間隔 L 2 よりも長くなるように仕上がったときには、図 1 4 に示すように、表示すべき所定の階調レベルに対する表示信号電圧 V d ' が奇数番目の走査ラインに対応する画素書き込み時よりも偶数番目の走査ラインに対応する画素書き込み時の方がゲートのオン電圧 V g h に近い値になるような補正電圧 V a d d を補正情報 I n f として固有情報記憶部 2 6 に記憶させる。即ち、表示すべき所定の階調レベルに対する表示信号電圧 V d ' が奇数番目の走査ラインに対応する画素よりも偶数番目の走査ラインに対応する画素の方がゲートのオン電圧 V g h に近い値になるような補正電圧 V a d d を補正情報 I n f として固有情報記憶部 2 6 に記憶させる。

【0064】

なお、共通電極 G n に印加される対向電圧 V c を直流の電圧とする場合には、図 1 5 に示すように、対向電圧 V c の値は、極性反転信号 P o l に基づいて所定の階調レベルに対応する電圧レベルが所定の周期で振幅する表示信号電圧 V d （例えば D / A 変換回路出力端または補正電圧重畳回路入力端での表示信号電圧 V d ）の振幅中心電圧 V d c から ΔV 2 分だけ ΔV 1 または ΔV 2 の発生方向にシフトさせた値に設定することが好ましい。また、共通電極 G n に印加される対向電圧 V c を極性反転信号 P o l に基づいた矩形の交流電圧とする場合には、対向電圧 V c は、極性反転信号 P o l に基づいて所定の階調レベルに対応する電圧レベルが所定の周期で振幅する表示信号電圧 V d （例えば D / A 変換回路出力端または補正電圧重畳回路入力端での表示信号電圧 V d ）の振幅中心電圧 V d c から ΔV 2 分だけ ΔV 1 または ΔV 2 の発生方向にシフトさせた値がその中心電圧となるように振幅させることが好ましい。

【0065】

このように構成することで、たとえ走査ラインの延伸方向に対して垂直な方向成分に画素電極の位置ズレが発生した場合であっても、表示すべき所定の階調レベルに対して各画素の液晶に印加される電圧を等しくすることができることから、フリッカの発生を抑制でき、画質が劣化することを防止できる。

【0066】

ところで、固有情報記憶部 2 6 は、例えば、不揮発性メモリの一つである E E P R O M (E l e c t r i c a l l y E r a s a b l e P r o g r a m m a b l e R O M) を用いることができ、当該液晶表示装置 1 の製造当初は情報が書き込まれていない所謂「白地」の状態になっている。そして、当該液晶表示装置 1 の製造後に、例えば、書き込み用信号端子 2 7 に E E P R O M 書き込み用システム装置が接続されることにより、当該液晶表示装置 1 の仕上がり具合に応じた所定の情報が固有情報記憶部 2 6 に記憶される。なお、固有情報記憶部 2 6 への書き込み電圧 V p p は、電源調整回路 2 4 に入力される基準電源 V c c よりも高い電圧が必要のように構成され、固有情報記憶部 2 6 に記憶された情報が基準電源 V c c の影響を受けて不用意に消去されてしまうことを防止している。

【0067】

このような構成とすることにより、画素電極の位置ズレ量に機差が生じていた場合であっても、液晶表示装置毎に最適な値の補正電圧 V a d d を設定することができる。

【0068】

上述の実施の形態では、奇数番目の走査ラインに対応する表示信号電圧 V d が D / A 変換回路 (D A C) 1 5 3 から出力されてきたときに、この出力されてきた表示信号電圧 V d に所定の補正電圧 V a d d を重畳する場合について説明したが、偶数番目の走査ラインに対応する表示信号電圧 V d が D / A 変換回路 (D A C) 1 5 3 から出力されてきたときに、この出力されてきた表示信号電圧 V d に所定の補正電圧 V a d d を重畳する構成としてもよい。この場合には、固有情報記憶部 2 6 に記憶させる補正電圧 V a d d の値を大凡 $|\Delta V 2| - |\Delta V 1|$ とすればよい。また、奇数番目の走査ラインに対応する表示信号電圧 V d と偶数番目の走査ラインに対応する表示信号電圧 V d のそれぞれに、それぞれに

対応する補正電圧 V_{add} を重畳する構成としてもよい。この場合には、例えば、固有情報記憶部 26 に記憶させる補正電圧 V_{add} の値を、奇数番目の走査ラインに対応させて大凡 $(|\Delta V_2| - |\Delta V_1|) / F_a$ とし、偶数番目の走査ラインに対応させて大凡 $(|\Delta V_1| - |\Delta V_2|) / F_b$ とすればよい。ここで、 $(1 / F_a) + (1 / F_b) = 1$ 。

【0069】

また、上述の実施の形態では、各走査ライン間で液晶に印加される電圧の極性が等しい場合について説明したが、走査ライン毎に液晶に印加される電圧の極性が反転する場合にも適用できる。即ち、1 水平期間毎に液晶に印加する電圧の極性が反転する表示信号電圧が、各データライン $S(i)$ に出力され対応する TFT を介して画素電極に供給される場合にも適用できる。

10

【0070】

また、上述の実施形態においては、各画素がストライプ状に配列されるストライプ配列の場合について説明したが、デルタ配列の場合にも適用することができる。

【0071】

上述した実施の形態は、本発明の一例に過ぎず、各機能ブロックの具体的な構成は本発明の作用効果を奏する範囲において適宜変更設計できることはいうまでもない。

【図面の簡単な説明】

【0072】

【図 1】本発明に係る液晶表示装置の概略平面構成図

20

【図 2】本発明に係る液晶表示装置の概略断面構成図

【図 3】液晶表示部における各画素の配置図

【図 4】液晶表示部における等価回路図

【図 5】画素の平面構成図

【図 6】画素の断面構成図

【図 7】ドライバ回路のブロック構成図

【図 8】各走査ラインにおける走査信号の説明図

【図 9】走査ライン駆動回路の概略構成図

【図 10】保持回路の説明図

【図 11】データライン駆動回路の概略構成図

30

【図 12】表示信号電圧生成回路の構成図

【図 13】補正電圧と引き込み電圧との関係の説明図

【図 14】補正電圧と引き込み電圧との関係の説明図

【図 15】対向電圧の説明図

【図 16】従来技術における各画素の配置図

【図 17】従来技術における各走査ラインの選択順の説明図

【図 18】従来技術における各画素の寄生容量の説明図

【図 19】従来技術における引き込み電圧の説明図

【符号の説明】

【0073】

40

1：液晶表示装置

10：液晶表示部

11：ドライバ回路

22：走査ライン駆動回路

23：データライン駆動回路

24：電源調整回路

25：画像メモリ

26：固有情報記憶部

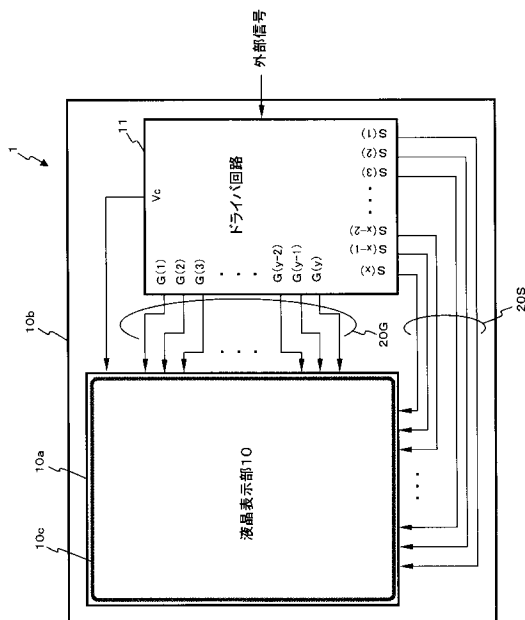
27：制御部

153：D/A 変換回路

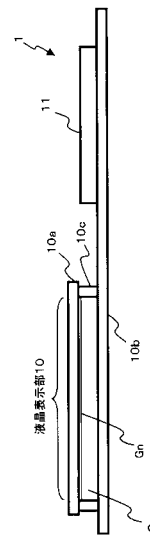
50

154 : 表示信号電圧生成回路
 155 : 補正電圧重畳回路
 $S(i)$: データライン ($i = 1, 2, 3, \dots, x$)
 $G(j)$: 走査ライン ($j = 1, 2, 3, \dots, y$)
 $P(i, j)$: 画素
 C_{lc} : 液晶容量
 C_{cs} : 補助容量
 C_{gs1}, C_{gs2} : 寄生容量

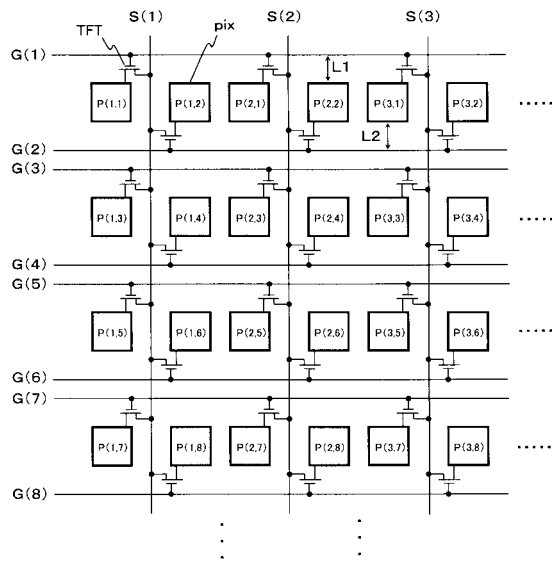
【図 1】



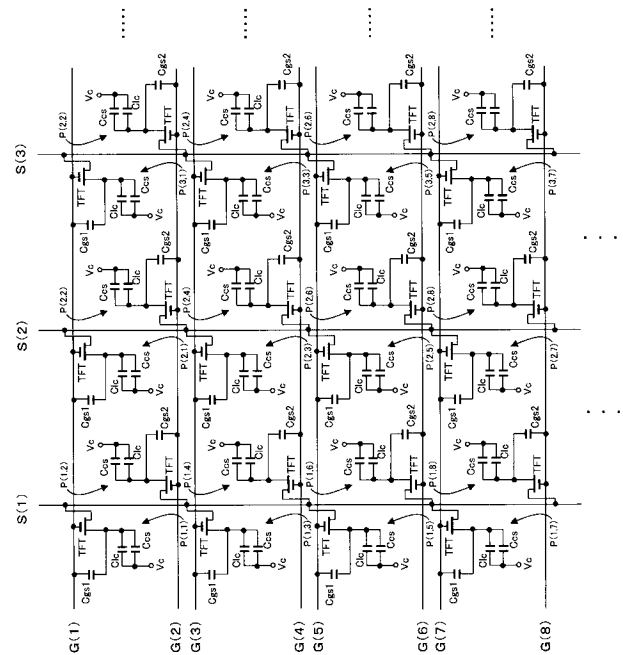
【図 2】



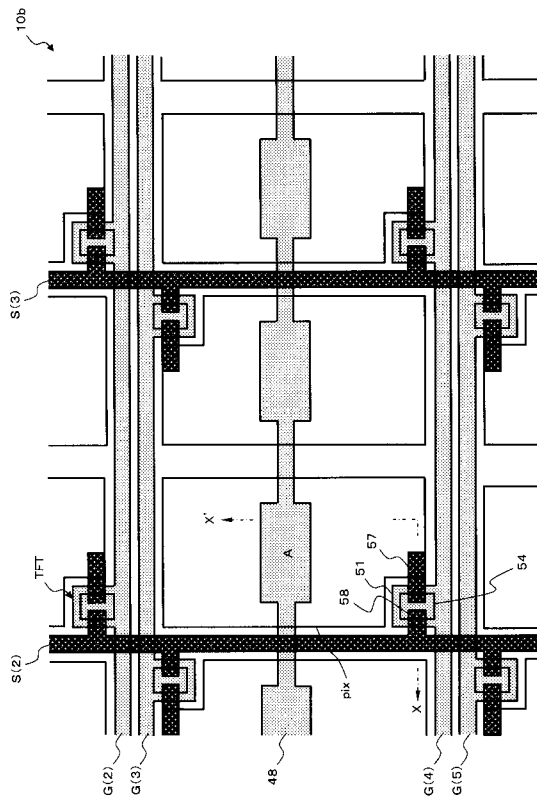
【図 3】



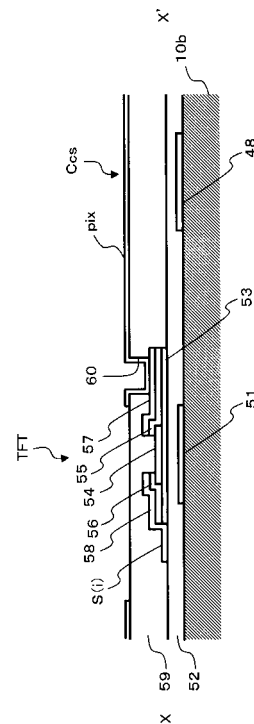
【図 4】



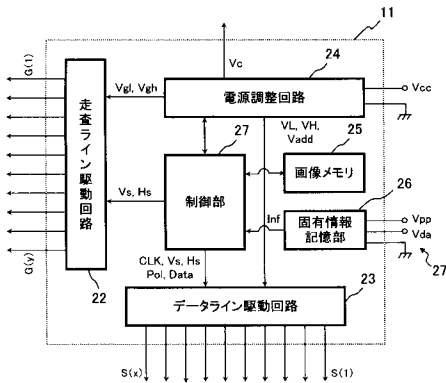
【図 5】



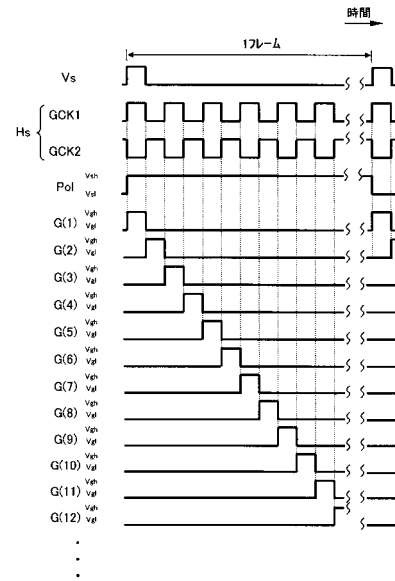
【図 6】



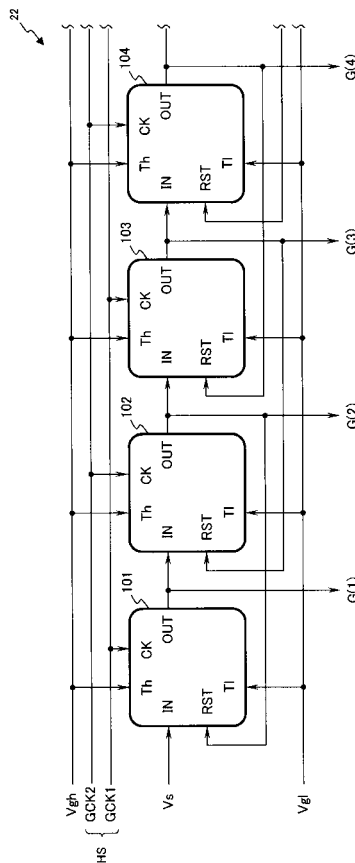
【図 7】



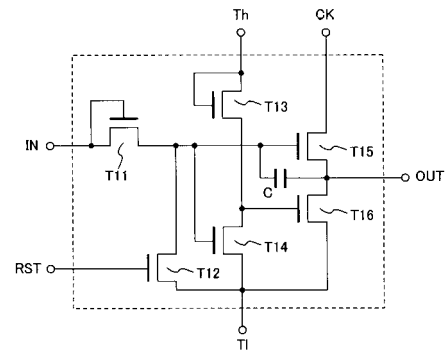
【図 8】



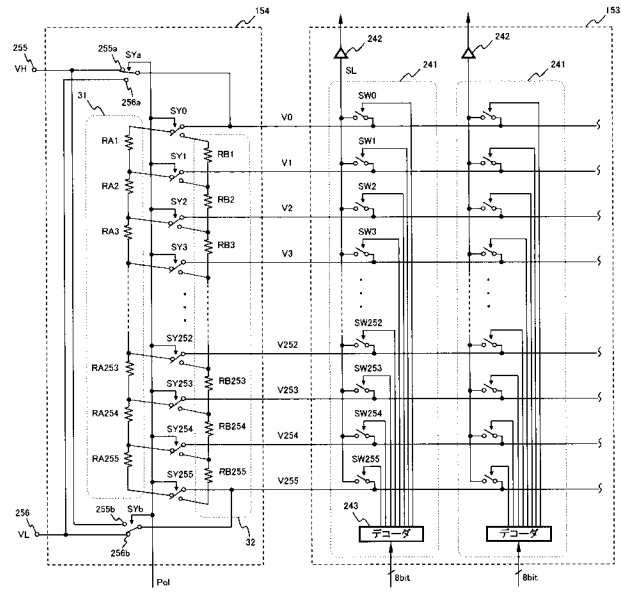
【図 9】



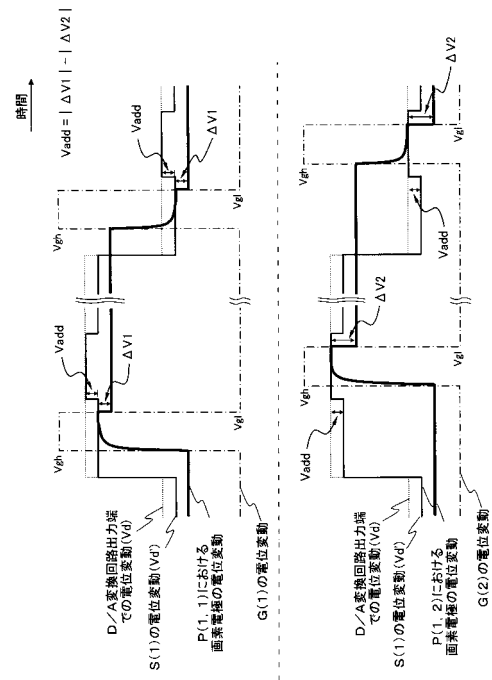
【図 10】



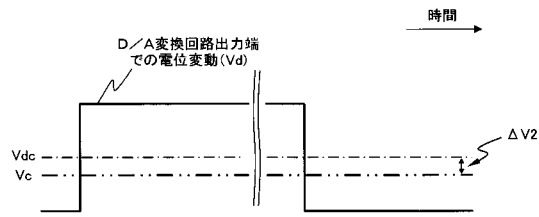
【図 1 2】



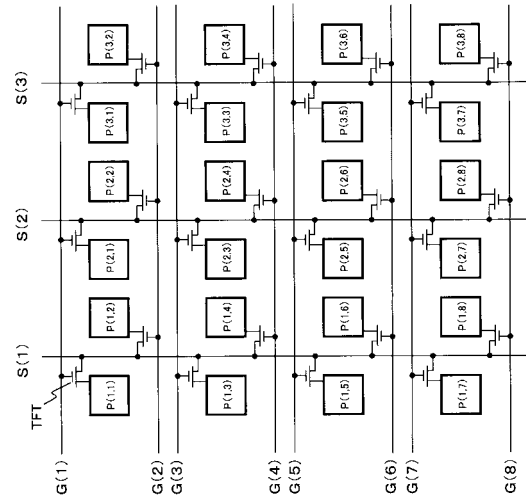
【図 14】



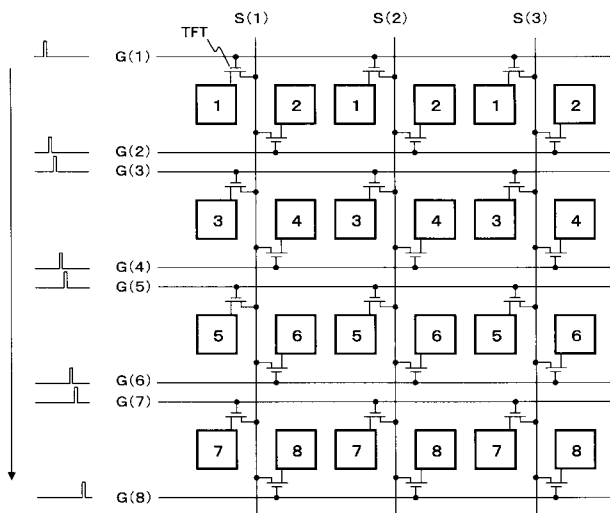
【図 15】



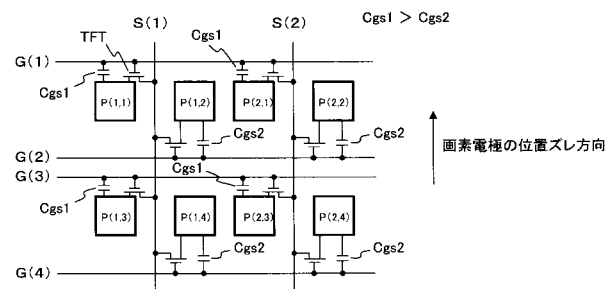
【図 16】



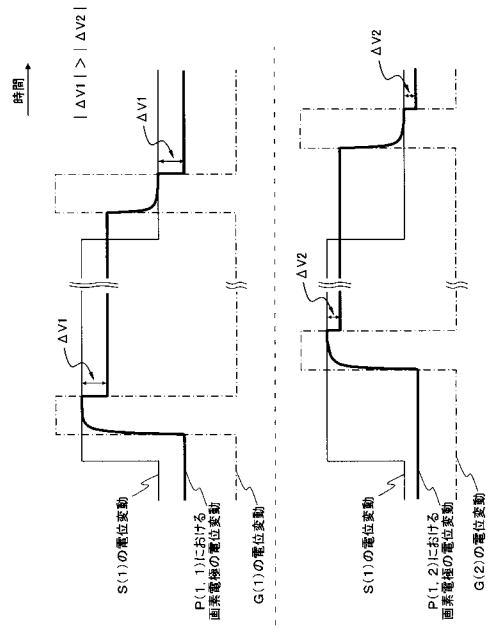
【図 17】



【図 18】



【図 19】



フロントページの続き

(51)Int.Cl.

F I

テーマコード (参考)

G 0 9 G	3/20	6 1 1 E
G 0 9 G	3/20	6 1 2 F
G 0 9 G	3/20	6 2 1 B
G 0 9 G	3/20	6 4 1 P
G 0 2 F	1/133	5 5 0
G 0 2 F	1/133	5 7 5

Fターム(参考)	5C006	AA01	AC18	AC24	AF42	AF46	AF83	BB16	BC03	BC06	BC16
		BF02	BF03	BF04	BF05	BF08	BF25	BF28	BF34	FA20	FA22
	5C080	AA10	BB05	DD05	DD06	DD23	DD28	FF11	JJ02	JJ03	JJ04
		JJ06	KK02	KK07	KK47						

专利名称(译)	液晶显示装置及其驱动方法		
公开(公告)号	JP2009236937A	公开(公告)日	2009-10-15
申请号	JP2008073091	申请日	2008-03-21
[标]申请(专利权)人(译)	卡西欧计算机株式会社		
申请(专利权)人(译)	卡西欧计算机有限公司		
[标]发明人	平山隆一		
发明人	平山 隆一		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
FI分类号	G09G3/36 G09G3/20.611.H G09G3/20.623.C G09G3/20.623.U G09G3/20.642.A G09G3/20.611.E G09G3/20.612.F G09G3/20.621.B G09G3/20.641.P G02F1/133.550 G02F1/133.575		
F-TERM分类号	2H093/NA16 2H093/NA33 2H093/NA45 2H093/NA53 2H093/NC03 2H093/NC10 2H093/NC12 2H093/NC21 2H093/NC22 2H093/NC29 2H093/ND05 2H093/ND09 2H093/ND60 2H093/NH18 2H193/ZC15 2H193/ZC26 2H193/ZD23 2H193/ZD32 2H193/ZD34 2H193/ZF03 2H193/ZF22 2H193/ZF36 5C006/AA01 5C006/AC18 5C006/AC24 5C006/AF42 5C006/AF46 5C006/AF83 5C006/BB16 5C006/BC03 5C006/BC06 5C006/BC16 5C006/BF02 5C006/BF03 5C006/BF04 5C006/BF05 5C006/BF08 5C006/BF25 5C006/BF28 5C006/BF34 5C006/FA20 5C006/FA22 5C080/AA10 5C080/BB05 5C080/DD05 5C080/DD06 5C080/DD23 5C080/DD28 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C080/KK02 5C080/KK07 5C080/KK47 2H193/ZA04 2H193/ZA08 2H193/ZB06 2H193/ZB09 2H193/ZB18 2H193/ZC04 2H193/ZC16 2H193/ZC25 2H193/ZF04 2H193/ZF05 2H193/ZF23 2H193/ZF34 2H193/ZF35 2H193/ZH42 2H193/ZH44 2H193/ZH53 2H193/ZP03		
优先权	2008057536 2008-03-07 JP		
其他公开文献	JP5151590B2		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种液晶显示装置及其驱动方法，即使像素电极在垂直于扫描线的延伸方向的方向分量上移位，也不会降低图像质量。在预定方向上彼此相邻的第一像素P (1,1) 和第二像素P (1,2) 共享一条数据线S (1)，并且第一像素P (1,1)) 通过第一开关元件连接到第一扫描线G (1)，第二像素P (1, 1) 通过第二开关元件连接到第二扫描线G (2)，在第一扫描线G (1) 和第二扫描线G (2) 之间配置有第一像素P (1, 1) 和第二像素P (1, 2) 的液晶显示装置。在数据线S中，相对于要显示的预定灰度级，第一像素P (1, 1) 和第二像素P (1, 2) 具有不同的显示信号电压Vd'。显示信号电压Vd'被提供给 (1)。[选择图]图13

