

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-223289

(P2009-223289A)

(43) 公開日 平成21年10月1日(2009.10.1)

| (51) Int.Cl.                | F I            | テーマコード (参考) |
|-----------------------------|----------------|-------------|
| <b>G09G 3/36 (2006.01)</b>  | G09G 3/36      | 2H093       |
| <b>G02F 1/133 (2006.01)</b> | G02F 1/133 550 | 2H193       |
| <b>G09G 3/20 (2006.01)</b>  | G09G 3/20 621B | 5C006       |
|                             | G09G 3/20 623D | 5C080       |
|                             | G09G 3/20 623L |             |

審査請求 未請求 請求項の数 19 O L (全 38 頁) 最終頁に続く

|              |                              |          |  |
|--------------|------------------------------|----------|--|
| (21) 出願番号    | 特願2008-329050 (P2008-329050) | (71) 出願人 | 000004329<br>日本ビクター株式会社                    |
| (22) 出願日     | 平成20年12月25日 (2008.12.25)     |          | 神奈川県横浜市神奈川区守屋町3丁目12番地                      |
| (31) 優先権主張番号 | 特願2008-37180 (P2008-37180)   | (74) 代理人 | 100085235<br>弁理士 松浦 兼行                     |
| (32) 優先日     | 平成20年2月19日 (2008.2.19)       | (72) 発明者 | 古屋 正人<br>神奈川県横浜市神奈川区守屋町3丁目12番地 日本ビクター株式会社内 |
| (33) 優先権主張国  | 日本国 (JP)                     | (72) 発明者 | 今野 秀一<br>神奈川県横浜市神奈川区守屋町3丁目12番地 日本ビクター株式会社内 |
|              |                              | (72) 発明者 | 遠藤 学<br>神奈川県横浜市神奈川区守屋町3丁目12番地 日本ビクター株式会社内  |

最終頁に続く

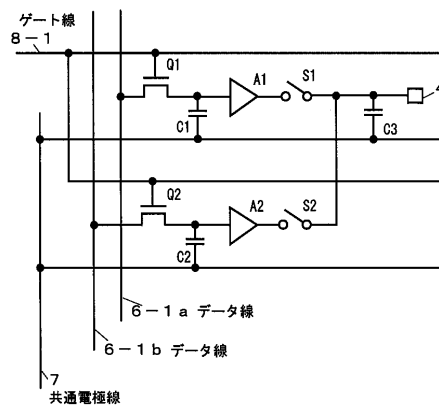
(54) 【発明の名称】 液晶表示装置、液晶表示装置の駆動回路及び液晶表示装置の駆動方法

(57) 【要約】

【課題】 液晶を従来よりも高速に交流駆動し、更には液晶のばらつき許容度を高めると共に生産性を向上する。

【解決手段】 画素選択トランジスタQ1及びQ2は交互にオンとされる。画素トランジスタQ1はオン時にデータ線6-1aからの正側の映像信号を保持容量C1に保持させる。画素トランジスタQ2はオン時にデータ線6-1bからの負側の映像信号を保持容量C2に保持させる。1フレームに1度、正側と負側の映像信号が保持容量C1、C2に書き込まれ、次のフレームの映像信号が書き込まれるまでの1フレーム期間、何回でも切り替えスイッチS1及びS2を交互に切り替えて液晶を交流駆動できる。また、極性反転に合わせて、液晶の対向電極の電圧を振ることが可能になり、信号電圧は従来の半分以下で済む。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

2本のデータ線を一組とする複数組のデータ線と複数本のゲート線とがそれぞれ交差する交差部に設けられた複数の画素と、

前記複数組のデータ線に対してそれぞれ設けられており、一組の前記2本のデータ線の一方に正極性映像信号を供給し、かつ、他方のデータ線に負極性映像信号を供給することを、前記複数組のデータ線に対して組単位で順次行う複数のスイッチと、

前記複数のスイッチを水平走査期間内で前記組単位で駆動する水平方向駆動と、複数本の前記ゲート線を水平走査期間毎に選択する垂直方向駆動とを行う水平方向及び垂直方向駆動手段と、

10

を有し、前記複数の画素のそれぞれは、

対向する画素駆動電極と共通電極との間に液晶層が挟持された液晶素子と、

前記正極性映像信号をサンプリングして一定期間保持する第1のサンプリング及び保持手段と、

前記負極性映像信号をサンプリングして前記一定期間保持する第2のサンプリング及び保持手段と、

前記第1のサンプリング及び保持手段により保持された正極性映像信号電圧と、前記第2のサンプリング及び保持手段により保持された負極性映像信号電圧とを、前記垂直走査期間より短い所定の周期で切り替えて前記画素駆動電極に交互に印加するスイッチング手段と

20

を備えることを特徴とする液晶表示装置。

## 【請求項 2】

前記第1のサンプリング及び保持手段により保持された前記正極性映像信号電圧をインピーダンス変換する第1のバッファアンプと、

前記第2のサンプリング及び保持手段により保持された前記負極性映像信号電圧をインピーダンス変換する第2のバッファアンプと、

を更に有し、前記スイッチング手段は、前記第1及び第2のバッファアンプから出力される前記正極性映像信号電圧及び前記負極性映像信号電圧を前記所定の周期で交互に切り替えることを特徴とする請求項1記載の液晶表示装置。

30

## 【請求項 3】

前記スイッチング手段の出力端子と接地電位間に前記第1及び第2のバッファアンプの共通の負荷素子を接続したことを特徴とする請求項2記載の液晶表示装置。

## 【請求項 4】

前記第1及び第2のバッファアンプは、それぞれインピーダンス変換用トランジスタと、ゲートに印加されるバイアス電圧によりチャンネル電流特性を制御可能な定電流負荷トランジスタとを有し、

前記スイッチング手段の前記所定の周期の切り替えタイミングに同期して、前記バイアス電圧を制御して前記定電流負荷トランジスタを間欠的にアクティブに制御する制御手段を備えたことを特徴とする請求項2又は3記載の液晶表示装置。

40

## 【請求項 5】

表示画面を構成する前記複数の画素からなる画素部全体を、連続する複数行の各画素を1グループとする複数のグループに分割したとき、複数の前記分割グループ内の複数の前記定電流負荷トランジスタを、各分割グループ単位で時分割的にアクティブに制御する時分割制御手段を備えたことを特徴とする請求項4記載の液晶表示装置。

## 【請求項 6】

前記画素駆動電極に印加される前記正極性映像信号電圧と前記負極性映像信号電圧との切り替え周期に同期して、前記液晶層にかかる電位差の絶対値が常に略同一となるよう前記共通電極に印加する共通電極電圧を2つの異なるレベル間で変化させる共通電極電圧制御手段を備えたことを特徴とする請求項1乃至5のうちいずれか一項記載の液晶表示装置

50

## 【請求項 7】

前記共通電極電圧制御手段は、前記画素駆動電極に印加される前記正極性映像信号電圧と前記負極性映像信号電圧との切り替えタイミングに先行して、前記共通電極に印加する共通電極電圧を2つの異なるレベル間で変化させることを特徴とする請求項6記載の液晶表示装置。

## 【請求項 8】

前記画素駆動電極と同じ組の前記2本のデータ線のうちの一方のデータ線との間に接続された画素検査用スイッチング手段と、

前記画素駆動電極に前記正極性映像信号電圧と前記負極性映像信号電圧とを交互に切り替えて供給する画像表示時は前記検査用スイッチング手段をオフし、前記画素の検査時は前記検査用スイッチング手段をオンとして前記画素駆動電極から画素駆動電極電圧を前記検査用スイッチング手段を介して前記一方のデータ線に読み出す画素検査制御手段と

を有することを特徴とする請求項1乃至6のうちいずれか一項記載の液晶表示装置。

## 【請求項 9】

前記画素検査制御手段は、前記画像表示時は表示画面を構成する前記複数の画素内の前記検査用スイッチング手段をすべてオフに制御し、前記画素の検査時は前記複数の画素のうち同じ画素行にある各画素内の前記検査用スイッチング手段をオンとするように、画素行単位で制御することを特徴とする請求項8記載の液晶表示装置。

## 【請求項 10】

前記スイッチング手段による前記画素駆動電極に印加される前記正極性映像信号電圧と前記負極性映像信号電圧との切り替え周期と、前記共通電極電圧制御手段による前記共通電極電圧のレベル変化周期とが、複数本の前記ゲート線の選択周期である水平走査周期のN倍(Nは任意の自然数)で、かつ、垂直走査開始基準タイミングに対して各フレームで一定の位相関係で動作するように制御するタイミング制御手段を備えたことを特徴とする請求項6又は7記載の液晶表示装置。

## 【請求項 11】

前記タイミング制御手段は、極性反転制御の同一極性期間に連続して複数行の各画素に前記映像信号の書き込みを行っている期間において、前記共通電極電圧のレベル変化周期の極性と、前記画素駆動電極電圧の切り替え周期の極性とが、走査フレーム毎に逆転するように前記スイッチング手段と前記共通電極電圧制御手段による切り替えの相互タイミングを制御することを特徴とする請求項10記載の液晶表示装置。

## 【請求項 12】

複数ビットの画素データが時系列的に合成されたデジタル映像信号を1ライン分ずつ順次格納するシフトレジスタ回路と、

前記シフトレジスタ回路に順次格納される1ライン分のデジタル映像信号を1水平走査期間保持するラッチ回路と、

複数の階調値が水平走査期間内で順次に変化する基準階調データを出力する階調カウンタと、

前記ラッチ回路より出力される1ライン分の前記画素データの値と前記階調カウンタより出力される前記基準階調データの階調値とを比較し、両者が一致した時点で一致パルスを発生するコンパレータと、

水平走査期間周期で映像の黒レベルから白レベルまでレベルが上昇する方向、あるいは白レベルから黒レベルまでレベルが下降する方向に変化する周期的な掃引信号である第1の基準電圧と、前記第1の基準電圧に対して所定の電位について反転関係にある周期的な掃引信号である第2の基準電圧とを発生する基準電圧発生回路と、

複数の画素が、複数本のゲート線とそれぞれ交差する交差部に接続された2本のデータ線を一組とする複数組のデータ線のうち、同じ列方向に配置された前記画素の一組のデータ線毎に対応して設けられ、前記一致パルスにより前記第1及び第2の基準電圧をそれぞれサンプリングして、前記一致パルスの発生タイミングに対応したレベルの駆動信号を発生して出力する複数のアナログスイッチと、

10

20

30

40

50

を備え、

前記複数のアナログスイッチは、それぞれの第1の入力端子に前記第1の基準電圧が共通に入力され、かつ、第2の入力端子に前記第2の基準電圧が共通に入力され、それぞれ対応して設けられた前記各組2本のデータ線のうち、一方のデータ線に対して前記第1の基準電圧を前記一致パルスによりサンプリングして得た第1の駆動信号を出力し、これと同時に他方のデータ線に対して前記第2の基準電圧を前記一致パルスによりサンプリングして得た第2の駆動信号を出力することを特徴とする液晶表示装置のデータ線駆動回路。

【請求項13】

前記基準電圧発生回路は、前記第1の基準電圧を伝送する第1の配線と前記第2の基準電圧を伝送する第2の配線とを一組とする複数組の配線グループに、前記第1及び第2の基準電圧を分割して出力し、

前記複数の画素は複数のグループの画素列に分割され、各グループの画素列の前記アナログスイッチの前記第1及び第2の入力端子は、前記複数組の配線グループのうち、それぞれ対応して割り当てた各組の配線グループの第1及び第2の配線に接続されていることを特徴とする請求項12記載の液晶表示装置のデータ線駆動回路。

【請求項14】

前記基準電圧発生回路から前記複数のアナログスイッチの前記第1及び第2の入力端子に前記第1及び第2の基準電圧をそれぞれ伝送する第1及び第2の配線に、それらの配線の長手方向について位置の異なる複数の給電点を設けたことを特徴とする請求項12又は13記載の液晶表示装置のデータ線駆動回路。

【請求項15】

2本のデータ線を一組とする複数組のデータ線と複数本のゲート線とがそれぞれ交差する交差部に設けられた複数の画素のそれぞれにおいて各組2本のデータ線の一方で伝送される正極性映像信号に対応した駆動電圧を画素駆動電極に垂直走査期間より短い所定期間でサンプリングして第1の一定期間保持する第1のサンプリングステップと、

前記第1のステップによるサンプリング時点より前記所定期間の半分の周期の時間差のタイミングで、各組2本の前記データ線の他方で伝送される負極性映像信号に対応した駆動電圧を画素駆動電極に前記所定期間でサンプリングして前記第1の一定期間保持する第2のサンプリングステップと、

前記第1のサンプリングステップによるサンプリングに同期して、前記保持された正極性映像信号電圧をインピーダンス変換する第1のバッファアンプを第2の一定期間アクティブとする第1のインピーダンス変換ステップと、

前記第2のサンプリングステップによるサンプリングに同期して、前記保持された負極性映像信号電圧をインピーダンス変換する第2のバッファアンプを前記第2の一定期間アクティブとする第2のインピーダンス変換ステップと、

前記第1及び第2のインピーダンス変換ステップによりインピーダンス変換された前記第1正極性映像信号電圧と前記負極性映像信号電圧とを、前記複数の画素のそれぞれに設けられた、液晶素子の画素駆動電極に交互に印加する画素駆動電極電圧印加ステップと

を含むことを特徴とする液晶表示装置の駆動方法。

【請求項16】

表示画面を構成する前記複数の画素からなる画素部全体を、連続する複数行の各画素を1グループとする複数のグループに分割したとき、複数の前記分割グループ内の前記第1及び第2のバッファアンプの負荷素子を、各分割グループ単位で時分割的にアクティブに制御する時分割制御ステップを含むことを特徴とする請求項15記載の液晶表示装置の駆動方法。

【請求項17】

前記画素駆動電極に印加される前記正極性映像信号電圧と前記負極性映像信号電圧との切り替え周期に同期して、前記液晶素子の液晶層にかかる電位差の絶対値が常に略同一となるよう前記液晶素子の前記画素駆動電極に対向する共通電極に印加する共通電極電圧を2つの異なるレベル間で変化させる共通電極電圧制御ステップを更に含み、

10

20

30

40

50

前記共通電極電圧制御ステップにより前記共通電極電圧のレベルを変化させた後に、前記第1のサンプリングステップによるサンプリングと前記第2のサンプリングステップによるサンプリングとを順次に行うことを特徴とする請求項15又は16記載の液晶表示装置の駆動方法。

【請求項18】

前記画素駆動電極電圧印加ステップによる前記正極性映像信号電圧と前記負極性映像信号電圧との切り替え周期と、前記共通電極電圧制御ステップによる前記共通電極電圧のレベル変化周期とが、複数本の前記ゲート線の選択周期である水平走査周期のN倍（Nは任意の自然数）で、かつ、垂直走査開始基準タイミングに対して各フレームで一定の位相関係で動作するように制御するタイミング制御ステップを更に含むことを特徴とする請求項17記載の液晶表示装置の駆動方法。

10

【請求項19】

前記タイミング制御ステップは、極性反転制御の同一極性期間に連続して複数行の各画素に前記映像信号の書き込みを行っている期間において、前記共通電極電圧のレベル変化周期の極性と、前記画素駆動電極電圧の切り替え周期の極性とが、走査フレーム毎に逆転するように前記画素駆動電極電圧印加ステップと前記共通電極電圧制御ステップによる切り替えの相互タイミングを制御することを特徴とする請求項18記載の液晶表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

20

【0001】

本発明は液晶表示装置、液晶表示装置の駆動回路及び液晶表示装置の駆動方法に係り、特にアクティブマトリクス型の液晶表示装置、液晶表示装置の駆動回路及び液晶表示装置の駆動方法に関する。

【背景技術】

【0002】

近年、プロジェクタ装置やプロジェクションテレビには画像を投影するための中心部品としてLCOS（Liquid Crystal on Silicon）型の液晶表示装置が多く用いられている。このLCOS型の液晶表示装置は、透明電極、液晶層、マトリクス状に配置された反射電極、及びシリコン基板上に液晶駆動回路が形成された液晶駆動素子などが重なった構造を有している。

30

【0003】

図22は、従来の液晶表示装置に用いられる液晶駆動素子の一例の基本構成図を示す。この液晶駆動素子は、水平方向駆動回路10、垂直方向駆動回路20、入力映像信号71を各ビデオスイッチ1-1、1-2、1-3、・・・に供給する水平信号線5、画素部30、データ線6-1、6-2、6-3、・・・、及びゲート線8-1、8-2、8-3、・・・などから構成されている。なお、図中で、各符号のハイフン後のサフィックス番号は、同一種類の構成要素で異なった位置にあることを示している。また、この図22は構成要素全体の一部を示したものである。

【0004】

40

画素部30は、各データ線（6-1、6-2、・・・）と各ゲート線（8-1、8-2、・・・）の交差部にマトリクス状に配置された画素11～13、21～23、31～33等からなる。各画素は、画素33の拡大図及び図23に示すように、それぞれ画素選択トランジスタ2（図23ではQ）、信号保持容量3（図23ではCs）、及び反射電極4（図23ではPE）を備えている。画素選択トランジスタ2（Q）は、ゲートが行走査線であるゲート線6（図23ではG）に接続され、ドレインがデータ線6（図23ではD）に接続されている。また、図23に示すように、液晶素子は、対向する反射電極（画素駆動電極）PEと対向電極（共通電極）CEとの間に液晶表示体（液晶層）LCMが挟持された構成とされている。

【0005】

50

図 2 2 において、コントローラ 6 0 は、入力映像信号 7 1 に同期するように生成した各種クロック信号を水平方向駆動回路 1 0 と垂直方向駆動回路 2 0 に供給し（経路は図示せず）、入力映像信号 7 1 と同期した形でデータ線（6 - 1、6 - 2、・・・）、ゲート線（8 - 1、8 - 2、・・・）をそれぞれ駆動することで、水平と垂直の各走査を伴った画素選択を行う。

【 0 0 0 6 】

こうしてデータ線（6 - 1、6 - 2、・・・）とゲート線（8 - 1、8 - 2、・・・）の交差部の画素が選択されると、外部から入力された映像信号 7 1 は、ビデオスイッチとデータ線および各画素内にある垂直方向の画素選択トランジスタ 2 を経由して信号保持容量 3 に書き込まれる。そして、信号保持容量 3 に接続されている反射電極（画素駆動電極）4 を介して液晶が駆動される。

10

【 0 0 0 7 】

図 2 3 に示す液晶素子は、共通電極 C E に固定電圧  $V_{com}$  が印加され、反射電極（画素駆動電極）P E に映像信号に応じた様々な電圧が供給されることで、液晶表示体 L C M の光変調率を制御し、映像として表示する。普通、液晶素子は交流駆動した方が信頼性の長期安定化が図れることから、共通電極 C E の固定電圧  $V_{com}$  に対して、反射電極（画素駆動電極）P E には映像信号に応じて光の変調率が同じになるような正側と負側の電圧を交互に与えて交流駆動を行っている。

【 0 0 0 8 】

場合によっては、映像信号のダイナミックレンジ縮小などの目的で、正側と負側の電圧で駆動するタイミングに合わせて、対向電極の電圧を切り替えたりする応用例もあるが、基本的な考え方は同じである。

20

【 0 0 0 9 】

図 2 2 の例のような液晶駆動素子においては、通常、各画素への映像信号の書き込みは 1 フレームに 1 回行われ、1 フレーム毎に交互に、共通電極に対して正側と負側の映像信号を信号保持容量 3（ $C_s$ ）に書き込んで、液晶を交流駆動することになる。なお、この場合の書き込み周波数の 2 倍の周波数で液晶を交流駆動する倍速駆動の例もあるが、周波数としては、6 0 H z が 1 2 0 H z になる程度であり、いずれにしても高い周波数ではない。

【 0 0 1 0 】

これは、信号保持容量 3（ $C_s$ ）に対する映像信号の書き込みが、ビデオスイッチ（1 - 1、1 - 2、・・・）のオン抵抗とデータ線（6 - 1、6 - 2、・・・）の寄生容量、あるいは画素選択トランジスタ 2（ $Q$ ）のオン抵抗と信号保持容量 3（ $C_s$ ）の関係での充放電によって行われるために、書き込み周波数をこれ以上高くすることは素子コストなどの観点から簡単ではないという事情もある。

30

【 0 0 1 1 】

一方、液晶素子に対しては、より高い周波数で交流駆動することで、反射電極（画素駆動電極）4（P E）と共通電極 C E との間の直流分をゼロにできれば、焼き付き防止など信頼性の向上につながり、画像の表示品質も高まる。

【 0 0 1 2 】

これまで、画素選択トランジスタの寄生容量に起因するフィードスルーへの対策（例えば、特許文献 1 参照）や保持容量のリーク対策（例えば、特許文献 2 参照）など、書き込まれた信号分の劣化を防止する方法が開示されている。しかしながら、液晶をより高い周波数で交流駆動する取り組みはあまり検討されてこなかったようである。

40

【 0 0 1 3 】

なお、同一の走査線に接続された複数個の画素毎に、各画素の保持容量をその走査線に対応する保持容量線と隣接する走査線に対応する別の保持容量線とに交互に接続し、画素駆動電極と対向電極の間の直流分を補償するための補償電圧を、保持容量線毎に反転させて与えることにより、共通電極線や共通電極の電位変動等に起因する画質劣化の発生を防止するようにした液晶表示装置は従来知られている（例えば、特許文献 3 参照）。

50

## 【0014】

【特許文献1】特開2006-10897号公報

【特許文献2】特開2002-250938号公報

【特許文献3】特開2004-354742号公報

【発明の開示】

【発明が解決しようとする課題】

## 【0015】

前述したように、液晶素子の焼き付き防止などの信頼性を高める手段として、高い周波数で液晶素子を交流駆動することが望ましいが、画素への書き込み時間などの制約から対向電極電圧に対して正側と負側の映像信号を交互に高速に書き込むことは難しく、従来は交流駆動の周波数はフレームレートあるいはその2倍ぐらいの周波数でしか行われていない。

10

## 【0016】

また、特許文献3記載の液晶表示装置では、補償電圧はフレーム毎にしか極性反転ができず、また、画像信号電圧は共通電極の電圧  $V_{com}$  に対して正側と負側の2種類の電圧が必要である。

## 【0017】

本発明は以上の点に鑑みなされたもので、アナログ駆動型の液晶表示装置において、正と負の極性に相当する2種類の電圧を各画素内に持つことで、フレーム周波数の数十倍のレートで極性反転させることで、液晶を従来よりも高速に交流駆動することができ、更には液晶のばらつき許容度を高めると共に生産性を向上し得る液晶表示装置、液晶表示装置の駆動回路及び液晶表示装置の駆動方法を提供することを目的とする。

20

【課題を解決するための手段】

## 【0018】

上記目的を達成するため、第1の発明の液晶表示装置は、2本のデータ線を一組とする複数組のデータ線と複数本のゲート線とがそれぞれ交差する交差部に設けられた複数の画素と、複数組のデータ線に対してそれぞれ設けられており、一組の2本のデータ線の一方に正極性映像信号を供給し、かつ、他方のデータ線に負極性映像信号を供給することを、複数組のデータ線に対して組単位で順次行う複数のスイッチと、複数のスイッチを水平走査期間内で組単位で駆動する水平方向駆動と、複数本のゲート線を水平走査期間毎に選択する垂直方向駆動とを行う水平方向及び垂直方向駆動手段と、を有し、

30

複数の画素のそれぞれは、

対向する画素駆動電極と共通電極との間に液晶層が挟持された液晶素子と、正極性映像信号をサンプリングして一定期間保持する第1のサンプリング及び保持手段と、負極性映像信号をサンプリングして一定期間保持する第2のサンプリング及び保持手段と、第1のサンプリング及び保持手段により保持された正極性映像信号電圧と、第2のサンプリング及び保持手段により保持された負極性映像信号電圧とを、垂直走査期間より短い所定の周期で切り替えて画素駆動電極に交互に印加するスイッチング手段とを備えることを特徴とする。

## 【0019】

40

この発明では、各画素に映像信号に対応した正極性電圧と負極性電圧を第1及び第2のサンプリング及び保持手段に同時並列的に保持する構成のため、次のフレームの映像信号が書き込まれるまでの1フレーム期間の途中の任意の周期でスイッチング手段により正負極性の駆動電圧を切り替えることにより、液晶素子を1フレーム走査周期より高い周波数で交流駆動できる。すなわち、この発明では、液晶素子の交流駆動周波数を、垂直走査周波数によらず、正負極性の駆動電圧の切り替え周期で自由に設定することができ、従来液晶表示装置と比較して液晶駆動周波数を飛躍的に高めることができる。

## 【0020】

また、上記の目的を達成するため、第2の発明の液晶表示装置は、第1のサンプリング及び保持手段により保持された正極性映像信号電圧をインピーダンス変換する第1のバッ

50

ファンプと、第2のサンプリング及び保持手段により保持された負極性映像信号電圧をインピーダンス変換する第2のバッファアンプと、を更に有し、スイッチング手段は、第1及び第2のバッファアンプから出力される正極性映像信号電圧及び負極性映像信号電圧を所定の周期で交互に切り替えることを特徴とする。

【0021】

この発明では、上記スイッチング手段により正負極性の駆動電圧を切り替えて液晶素子を交流駆動する際に、第1及び第2のサンプリング及び保持手段で保持された信号電圧を直接画素駆動電極に伝達するのではなく、第1及び第2のバッファアンプを介して画素駆動電極を駆動するため、スイッチング素子の交互切り替えを複数回高速で行っても信号電圧のレベルが低下することがなく、より理想的な交流駆動が実現できるという利点が得られる。

10

【0022】

また、上記の目的を達成するため、第3の発明の液晶表示装置は、スイッチング手段の出力端子と接地電位間に第1及び第2のバッファアンプの共通の負荷素子を接続したことを特徴とする。

【0023】

この発明では、バッファアンプの負荷素子を、正極性、負極性双方の第1及び第2のバッファアンプで共用するため、1画素当たりのトランジスタ数を減らすことができ、より高い画素密度を実現できる。またトランジスタ数の削減により、画素回路の高歩留まり化、低コスト化などの特長が得られる。

20

【0024】

また、上記の目的を達成するため、第4の発明の液晶表示装置は、第1及び第2のバッファアンプは、それぞれインピーダンス変換用トランジスタと、ゲートに印加されるバイアス電圧によりチャンネル電流特性を制御可能な定電流負荷トランジスタとを有し、スイッチング手段の所定の周期の切り替えタイミングに同期して、バイアス電圧を制御して定電流負荷トランジスタを間欠的にアクティブに制御する制御手段を備えることを特徴とする。

【0025】

この発明では、第1及び第2のバッファアンプの負荷電流の制御を画素駆動電圧の極性切り替えスイッチング手段の制御タイミングと同期させるとともに、上記極性切り替え周期の一部の短い期間のみに限定し、極性切り替え時以外には常時電流が流れないように制御を行うことにより消費電流の増大を抑えられる。

30

【0026】

また、上記の目的を達成するため、第5の発明の液晶表示装置は、表示画面を構成する複数の画素からなる画素部全体を、連続する複数行の各画素を1グループとする複数のグループに分割したとき、複数の分割グループ内の複数の定電流負荷トランジスタを、各分割グループ単位で時分割的にアクティブに制御する時分割制御手段を備えたことを特徴とする。

【0027】

この発明では、複数の画素行を単位として表示画素部を複数グループに分割し、上記極性反転制御とバッファアンプの負荷電流の制御を上記グループ毎に所定の時間差を持たせて制御することにより、全画素のバッファアンプが同時にアクティブにならないようにする。これにより、バッファアンプによる消費電流が全画素で一括、集中して流れることを防止し、電源系配線パターンなどの信頼性確保や動作安定化を実現することが可能となる。

40

【0028】

また、上記の目的を達成するため、第6の発明の液晶表示装置は、画素駆動電極に印加される正極性映像信号電圧と負極性映像信号電圧との切り替え周期に同期して、液晶層にかかる電位差の絶対値が常に略同一となるよう共通電極に印加する共通電極電圧を2つの異なるレベル間で変化させる共通電極電圧制御手段を備えたことを特徴とする。

50

## 【 0 0 2 9 】

この発明では、液晶素子に印加する駆動電圧の基準である共通電極電圧を画素駆動電極電圧の極性と逆極性となるようにレベルを切り替えて駆動することで、共通電極を固定基準電圧で駆動する場合に比較して、画素側の駆動電圧の振幅を1/2程度以下に低減できる。これより、この発明では、画素回路や周辺走査回路を構成するトランジスタの必要耐圧が大幅に低減され、特殊な高耐圧構造、プロセスの適用が不要となり、装置コストが低減できる。また、この発明では、低耐圧、小型トランジスタで画素回路などの駆動部が構成できるため、より高画素密度の液晶表示装置が実現でき、トランジスタ耐圧の低減により単位チャンネル幅あたりの駆動能力の高いトランジスタの採用が可能となるため、高速駆動動作への対応が容易となる。

10

## 【 0 0 3 0 】

また、上記の目的を達成するため、第7の発明の液晶表示装置は、共通電極電圧制御手段は、画素駆動電極に印加される正極性映像信号電圧と負極性映像信号電圧との切り替えタイミングに先行して、共通電極に印加する共通電極電圧を2つの異なるレベル間で変化させることを特徴とする。

## 【 0 0 3 1 】

この発明では、画素駆動電極と共通電極との間の液晶層で形成される画素駆動電極と共通電極間に形成される容量結合でフローティング状態にある画素駆動電極電位に変動が生じてても、液晶駆動電圧の振幅が減少することがなく、駆動電圧を効率良く液晶層に印加できる。

20

## 【 0 0 3 2 】

また、上記の目的を達成するため、第8の発明の液晶表示装置は、画素駆動電極と同じ組の2本のデータ線のうちの一方のデータ線との間に接続された画素検査用スイッチング手段と、画素駆動電極に正極性映像信号電圧と負極性映像信号電圧とを交互に切り替えて供給する画像表示時は検査用スイッチング手段をオフし、画素の検査時は検査用スイッチング手段をオンとして画素駆動電極から画素駆動電極電圧を検査用スイッチング手段を介して一方のデータ線に読み出す画素検査制御手段とを有することを特徴とする。

## 【 0 0 3 3 】

この発明では、画素駆動電極の駆動電圧検査モード時に上記検査用スイッチング手段を行単位でオン状態とし、信号線側に画素駆動電極の駆動電圧を読み出せる構成とすることで、画素欠陥情報の取得や、画素毎のバッファアンプ特性のばらつき情報が取得できるため、製造コスト低減や、画素特性ばらつきを入力映像データの補正処理でキャンセルする処理が容易に導入でき、高画質化が図れる、という特長がある。

30

## 【 0 0 3 4 】

ここで、上記の画素検査制御手段は、画像表示時は表示画面を構成する複数の画素内の検査用スイッチング手段をすべてオフに制御し、画素の検査時は複数の画素のうち同じ画素行にある各画素内の検査用スイッチング手段をオンとするように、画素行単位で制御することを特徴とする。

## 【 0 0 3 5 】

また、上記の目的を達成するため、第10の発明の液晶表示装置は、スイッチング手段による画素駆動電極に印加される正極性映像信号電圧と負極性映像信号電圧との切り替え周期と、共通電極電圧制御手段による共通電極電圧のレベル変化周期とが、複数本のゲート線の選択周期である水平走査周期のN倍(Nは任意の自然数)で、かつ、垂直走査開始基準タイミングに対して各フレームで一定の位相関係で動作するように制御するタイミング制御手段を備えたことを特徴とする。

40

## 【 0 0 3 6 】

この発明では、極性反転制御に関わる信号(切り替えスイッチの制御信号、共通電極電圧)と画素書き込み動作の干渉によって発生する映像ノイズが画面上を流れ、映像品位の低下を抑制することができる。

## 【 0 0 3 7 】

50

第11の発明は、上記のタイミング制御手段を、極性反転制御の同一極性期間に連続して複数行の各画素に映像信号の書き込みを行っている期間において、共通電極電圧のレベル変化周期の極性と、画素駆動電極電圧の切り替え周期の極性とが、走査フレーム毎に逆転するようにスイッチング手段と共通電極電圧制御手段による切り替えの相互タイミングを制御することを特徴とする。

【0038】

この発明では、上記した極性反転制御に関わる信号（切り替えスイッチの制御信号、共通電極電圧）と画素書き込み動作の干渉によって発生する映像ノイズ、輝度変動について、正極性と負極性で差があっても、フレーム毎に垂直走査と極性反転の位相関係を入れ替えるため、これらの影響がフレーム間で時間的に平均化され、画像品位の向上が実現できるといの特長がある。

10

【0039】

上記の目的を達成するため、第12の発明の液晶表示装置のデータ線駆動回路は、複数ビットの画素データが時系列的に合成されたデジタル映像信号を1ライン分ずつ順次格納するシフトレジスタ回路と、シフトレジスタ回路に順次格納される1ライン分のデジタル映像信号を1水平走査期間保持するラッチ回路と、複数の階調値が水平走査期間内で順次に変化する基準階調データを出力する階調カウンタと、ラッチ回路より出力される1ライン分の画素データの値と階調カウンタより出力される基準階調データの階調値とを比較し、両者が一致した時点で一致パルスが発生するコンパレータと、水平走査期間周期で映像の黒レベルから白レベルまでレベルが上昇する方向、あるいは白レベルから黒レベルまでレベルが下降する方向に変化する周期的な掃引信号である第1の基準電圧と、第1の基準電圧に対して所定の電位について反転関係にある周期的な掃引信号である第2の基準電圧とを発生する基準電圧発生回路と、複数の画素が、複数本のゲート線とそれぞれ交差する交差部に接続された2本のデータ線を一組とする複数組のデータ線のうち、同じ列方向に配置された画素の一組のデータ線毎に対応して設けられ、一致パルスにより第1及び第2の基準電圧をそれぞれサンプリングして、一致パルスの発生タイミングに対応したレベルの駆動信号を発生して出力する複数のアナログスイッチと、を備え、複数のアナログスイッチは、それぞれの第1の入力端子に第1の基準電圧が共通に入力され、かつ、第2の入力端子に第2の基準電圧が共通に入力され、それぞれ対応して設けられた各組2本のデータ線のうち、一方のデータ線に対して第1の基準電圧を一致パルスによりサンプリングして得た第1の駆動信号を出力し、これと同時に他方のデータ線に対して第2の基準電圧を一致パルスによりサンプリングして得た第2の駆動信号を出力することを特徴とする。

20

30

【0040】

ここで、上記の基準電圧発生回路は、第1の基準電圧を伝送する第1の配線と第2の基準電圧を伝送する第2の配線とを一組とする複数組の配線グループに、第1及び第2の基準電圧を分割して出力し、複数の画素は複数のグループの画素列に分割され、各グループの画素列のアナログスイッチの第1及び第2の入力端子は、複数組の配線グループのうち、それぞれ対応して割り当てた各組の配線グループの第1及び第2の配線に接続されていてもよい。

【0041】

また、上記の目的を達成するため、第14の発明の液晶表示装置のデータ線駆動回路は、基準電圧発生回路から複数のアナログスイッチの第1及び第2の入力端子に第1及び第2の基準電圧をそれぞれ伝送する第1及び第2の配線に、それらの配線の長手方向について位置の異なる複数の給電点を設けたことを特徴とする。

40

【0042】

また、上記の目的を達成するため、第15の発明の液晶表示装置の駆動方法は、2本のデータ線を一組とする複数組のデータ線と複数本のゲート線とがそれぞれ交差する交差部に設けられた複数の画素のそれぞれにおいて各組2本のデータ線の一方で伝送される正極性映像信号に対応した駆動電圧を画素駆動電極に垂直走査期間より短い所定周期でサンプリングして第1の一定期間保持する第1のサンプリングステップと、第1のステップによ

50

るサンプリング時点より所定周期の半分の周期の時間差のタイミングで、各組2本のデータ線の他方で伝送される負極性映像信号に対応した駆動電圧を画素駆動電極に所定周期でサンプリングして第1の一定期間保持する第2のサンプリングステップと、第1のサンプリングステップによるサンプリングに同期して、保持された正極性映像信号電圧をインピーダンス変換する第1のバッファアンプを第2の一定期間アクティブとする第1のインピーダンス変換ステップと、第2のサンプリングステップによるサンプリングに同期して、保持された負極性映像信号電圧をインピーダンス変換する第2のバッファアンプを第2の一定期間アクティブとする第2のインピーダンス変換ステップと、第1及び第2のインピーダンス変換ステップによりインピーダンス変換された第正極性映像信号電圧と負極性映像信号電圧とを、複数の画素のそれぞれに設けられた、液晶素子の画素駆動電極に交互に印加する画素駆動電極電圧印加ステップとを含むことを特徴とする。

10

## 【0043】

また、上記の目的を達成するため、第16の発明の液晶表示装置の駆動方法は、表示画面を構成する複数の画素からなる画素部全体を、連続する複数行の各画素を1グループとする複数のグループに分割したとき、複数の分割グループ内の第1及び第2のバッファアンプの負荷素子を、各分割グループ単位で時分割的にアクティブに制御する時分割制御ステップを含むことを特徴とする。

## 【0044】

また、上記の目的を達成するため、第17の発明の液晶表示装置の駆動方法は、画素駆動電極に印加される正極性映像信号電圧と負極性映像信号電圧との切り替え周期に同期して、液晶素子の液晶層にかかる電位差の絶対値が常に略同一となるよう液晶素子の画素駆動電極に対向する共通電極に印加する共通電極電圧を2つの異なるレベル間で変化させる共通電極電圧制御ステップを更に含み、共通電極電圧制御ステップにより共通電極電圧のレベルを変化させた後に、第1のサンプリングステップによるサンプリングと第2のサンプリングステップによるサンプリングとを順次に行うことを特徴とする。

20

## 【0045】

また、上記の目的を達成するため、第18の発明の液晶表示装置の駆動方法は、画素駆動電極電圧印加ステップによる正極性映像信号電圧と負極性映像信号電圧との切り替え周期と、共通電極電圧制御ステップによる共通電極電圧のレベル変化周期とが、複数本のゲート線の選択周期である水平走査周期のN倍（Nは任意の自然数）で、かつ、垂直走査開始基準タイミングに対して各フレームで一定の位相関係で動作するように制御するタイミング制御ステップを更に含むことを特徴とする。

30

## 【0046】

また、上記の目的を達成するため、第19の発明の液晶表示装置の駆動方法は、タイミング制御ステップは、極性反転制御の同一極性期間に連続して複数行の各画素に映像信号の書き込みを行っている期間において、共通電極電圧のレベル変化周期の極性と、画素駆動電極電圧の切り替え周期の極性とが、走査フレーム毎に逆転するように画素駆動電極電圧印加ステップと共通電極電圧制御ステップによる切り替えの相互タイミングを制御することを特徴とする。

40

## 【発明の効果】

## 【0047】

本発明によれば、画素への書き込み周波数を増加させることなく、高速に液晶を交流駆動できるため、画素駆動電極と共通電極の間の直流分を低減させることができ、液晶の焼き付き防止など画質や信頼性を向上できると共に、共通電極の電圧調整の余裕度が増えて生産性も向上できる。このことは、液晶の交流駆動が低周波数の場合の信頼性・安定性や表示品位低下などを大幅に改善することが可能となる他、製造歩留まりの向上や駆動回路の小規模化などの効果により、低コストの液晶表示装置が実現できる。液晶の特性ばらつきに対しての許容度が大きくなることをも意味し、コストダウンにもつながる。

## 【発明を実施するための最良の形態】

## 【0048】

50

以下、図面を用いて本発明の実施形態について説明する。

【0049】

図1は、本発明になる液晶表示装置における画素回路の第1の実施の形態の回路図、図2は、本発明になる液晶表示装置に用いられる液晶駆動素子の一実施の形態の基本構成図を示す。両図中、同一構成部分には同一符号を付してある。

【0050】

本実施の形態の液晶表示装置における各画素は、図1に示す画素回路の構成とされている。図1に示すように、本実施の形態の画素回路はゲート線8-1にゲートがそれぞれ接続された画素選択トランジスタQ1及びQ2と、画素選択トランジスタQ1、Q2の各ソースに一端がそれぞれ接続され、他端が共通電極線7に共通に接続された保持容量(キャパシタ)C1及びC2と、画素選択トランジスタQ1と保持容量C1との接続点、及び画素選択トランジスタQ2と保持容量C2との接続点に入力端がそれぞれ接続されたバッファアンプA1及びA2と、バッファアンプA1及びA2の各出力端に一端が接続された切り替えスイッチS1及びS2と、切り替えスイッチS1及びS2の各他端の共通接続点と共通電極線7との間に接続された液晶駆動用の保持容量C3と、反射電極(以下、画素駆動電極ともいう)4とで構成されている。画素選択トランジスタQ1及びQ2の各ドレインは、データ線6-1a及び6-1bに別々に接続されている。本実施の形態の液晶素子は、図23に示した周知の構造の液晶素子で、上記の反射電極4に相当する画素駆動電極PEと、上記の画素駆動電極PEに対向する対向電極に相当する共通電極CEとの間に液晶表示体(液晶層)LCMが挟持された構造である。

【0051】

本発明になる液晶表示装置に用いられる液晶駆動素子の一実施の形態の基本構成は、図2に示され、これは図22の基本構成と同様である。ただし、本実施の形態では、図2に示すように、水平信号線と、データ線、スイッチはそれぞれ2系統設けられている。すなわち、本実施の形態の液晶駆動素子は、水平方向駆動回路10、垂直方向駆動回路20、共通電極電圧に対して正側の映像信号71aと、負側の映像信号71bとを2系統のビデオスイッチ1-1aと1-1b、1-2aと1-2b、・・・に別々に供給する2系統の水平信号線5a、5bと、画素部30と、2系統のデータ線6-1aと6-1b、6-2aと6-2b、・・・、及びゲート線8-1、8-2、・・・などから構成されている。なお、図中で、各符号のハイフン後のサフィックス番号は、同一種類の構成要素で異なった位置にあることを示している。また、サフィックス番号に続くアルファベットの小文字aは2系統のうち1系統目、bは2系統目であることを示す。なお、この図2は構成要素全体の一部を示したものである。

【0052】

画素部30は、2系統のデータ線(6-1aと6-1b、・・・)とゲート線(8-1、8-2、・・・)の交差部にマトリクス状に配置された、それぞれ図1の回路構成の画素41、42、51、52等からなる。水平方向駆動回路10は2系統のスイッチ1-1a、1-1bと2系統のデータ線6-1a、6-1bを介して第1列目の画素41、51、・・・の画素選択トランジスタQ1、Q2のドレインにそれぞれ接続されている。

【0053】

同様に、水平方向駆動回路10は、2系統のスイッチ1-2a、1-2bと2系統のデータ線6-2a、6-2bを介して第2列目の画素42、52、・・・の画素選択トランジスタQ1、Q2のドレインにそれぞれ接続され、第3列目以降の画素の2つの画素選択トランジスタのドレインにも同様に2系統のスイッチと2系統のデータ線を介してそれぞれ接続されている。

【0054】

垂直方向駆動回路20は、ゲート線8-1を介して画素部30内の第1行目の画素41、42、・・・のそれぞれ2つの画素選択トランジスタQ1及びQ2のゲートに共通接続されている。同様に、垂直方向駆動回路20は、各ゲート線を介して画素部30内の同じ行の画素のそれぞれ2つの画素選択トランジスタのゲートに共通接続されている。

## 【 0 0 5 5 】

また、コントローラ 6 0 は、入力映像信号 7 1 a、7 1 b に同期するように生成した各種クロック信号を水平方向駆動回路 1 0 と垂直方向駆動回路 2 0 に供給し（経路は図示せず）、入力映像信号 7 1 a、7 1 b と同期した形でデータ線（6 - 1 a、6 - 1 b、・・・）、ゲート線（8 - 1、8 - 2、・・・）をそれぞれ駆動することで、水平と垂直の各走査を伴った画素選択を行う。これにより、本実施の形態では、液晶の交流駆動を高速に行うことが可能になる。

## 【 0 0 5 6 】

次に、図 1 に示す第 1 の実施の形態の画素回路の動作について説明する。データ線 6 - 1 a は、液晶の共通電極電圧に対して正側の映像信号 7 1 a を供給する。また、これと同時に、データ線 6 - 1 b は、共通電極電圧に対して負側の映像信号 7 1 b を供給する。画素選択トランジスタ Q 1 及び Q 2 は、ゲート線 8 - 1 を介してゲートに印加される電圧により同時にオンになる。これにより、データ線 6 - 1 a から供給される正側の映像信号 7 1 a が、画素選択トランジスタ Q 1 のドレイン、ソースを介して保持容量 C 1 に書き込まれる。一方、これと同時に、データ線 6 - 1 b から供給される負側の映像信号 7 1 b が、画素選択トランジスタ Q 2 のドレイン、ソースを介して保持容量 C 2 に書き込まれる。

10

## 【 0 0 5 7 】

続いて、画素選択トランジスタ Q 1 及び Q 2 は、ゲート線 8 - 1 を介してゲートに印加される電圧により同時にオフになる。これにより、画素選択トランジスタ Q 1 及び Q 2 が次にオンとなる次の映像信号 7 1 a、7 1 b の書き込みまで、保持容量 C 1、C 2 に正側と負側の映像信号 7 1 a、7 1 b がそれぞれ保持される。

20

## 【 0 0 5 8 】

保持容量 C 1、C 2 にそれぞれ保持された正側と負側の映像信号 7 1 a、7 1 b は、それぞれ高入力抵抗のインピーダンス変換回路であるバッファアンプ A 1、A 2 を介して読み出され、切り替えスイッチ S 1、S 2 で交互に選択されて、反射電極 4（画素駆動電極 P E）の電圧を変化させることで液晶を交流駆動する。

## 【 0 0 5 9 】

この画素構成によれば、1 フレームに 1 度、正側と負側の映像信号 7 1 a、7 1 b を保持容量 C 1、C 2 に書き込んでしまえば、次のフレームの映像信号が書き込まれるまでの 1 フレーム期間、何回でも切り替えスイッチ S 1 及び S 2 を交互に切り替えて液晶を交流駆動できる。

30

## 【 0 0 6 0 】

つまり、図 1 の本実施の形態の画素回路によれば、映像信号の書き込み周期とは独立に液晶を、例えばフレーム周波数の数十倍の高周波数で交流駆動することが可能になる。これにより、本実施の形態は、焼き付き防止、信頼性向上、シミ・ムラなどが見えない表示品位の向上、などの効果が得られる。また、本実施の形態では、極性反転に合わせて、液晶の対向電極の電圧を振る（変える）ことが可能になり、信号電圧を従来のお半分以下にすることも可能になる。

## 【 0 0 6 1 】

また、本実施の形態の液晶表示装置を標準の C M O S プロセスを用いて作製することができるので、1 画素に 2 つの選択画素トランジスタ Q 1 及び Q 2、2 つのバッファアンプ A 1 及び A 2、2 つの切り替えスイッチ S 1 及び S 2、2 つの保持容量 C 1 及び C 2 が存在し、素子数が比較的多くても、この素子数の増加が必ずしもコストアップにはならない。

40

## 【 0 0 6 2 】

ここで、各画素にはバッファアンプ A 1 及び A 2 があり、小電流といえどもここに直流電流を流し続けると、液晶駆動素子全体としては 1 0 0 万画素以上あるのが普通なので、消費電力増加や発熱などの悪影響も考えられる。

## 【 0 0 6 3 】

この防止策として、バッファアンプ A 1 及び A 2 や切り替えスイッチ S 1 及び S 2 は、

50

信号読み出しに必要な期間だけイネーブルするパルス駆動を行うのが有効である。保持容量  $C_3$  はこの動作を行わせるためのもので、イネーブル期間にはオンとされた切り替えスイッチ  $S_1$  又は  $S_2$  を通した信号を保持容量  $C_3$  に書き込み、どちらもオフの時には書き込まれた信号を保持容量  $C_3$  に保持しつつ液晶を駆動する。これにより、消費電力の大幅な増加を抑えつつ、従来よりも高い周波数で液晶を交流駆動することができ、前述したような多くの効果が得られる。

【0064】

図3は、図1に示した本発明になる液晶表示装置の第1の実施の形態の画素回路をより詳細に表した詳細回路図を示す。図3に示すように、本実施形態の液晶表示装置の一つの画素回路は、正極性、負極性の画素信号を書き込むための画素選択トランジスタ  $Q_1$  及び  $Q_2$  と、各々の極性の画像信号電圧を並列的に保持する独立した2つの保持容量  $C_{s1}$  及び  $C_{s2}$  (図1の  $C_1$ 、 $C_2$  に相当) と、トランジスタ  $Q_3 \sim Q_8$  と、反射電極  $CE$  等からなる図23に示したと同じ構成の液晶素子とからなる。

10

【0065】

トランジスタ  $Q_3$  及び  $Q_7$  からなるインピーダンス変換用ソースフォロワ回路は、図1のバッファアンプ  $A_1$  を構成している。トランジスタ  $Q_4$  及び  $Q_8$  からなるインピーダンス変換用ソースフォロワ回路は、図1のバッファアンプ  $A_2$  を構成している。また、トランジスタ  $Q_3$  のソースにドレインが接続されたトランジスタ  $Q_5$  と、トランジスタ  $Q_4$  のソースにドレインが接続されたトランジスタ  $Q_6$  とは、それぞれ図1の切り替えスイッチ  $S_1$ 、 $S_2$  に相当するスイッチングトランジスタである。トランジスタ  $Q_5$  及び  $Q_6$  の各ソースは液晶素子の反射電極  $CE$  に接続されている。なお、図1の保持容量  $C_3$  は図3には図示されていない。保持容量  $C_3$  は、トランジスタ  $Q_5$  及び  $Q_6$  の寄生容量や液晶の寄生容量で代用することが可能であり、また反射電極  $PE$  のノードのリーク電流が十分に小さい場合は作成しなくてもよいためである。

20

【0066】

画素部データ線は、各画素回路について正極性用データ線  $D_+$ 、負極性用データ線  $D_-$  の2本一組で構成され、図示しないデータ線駆動回路でサンプリングされた互いに極性の異なる映像信号が供給される。画素選択トランジスタ  $Q_1$ 、 $Q_2$  の各ドレイン端子は各々正極性用データ線  $D_{i+}$  (図1の6-1aに相当)、負極性用データ線  $D_{i-}$  (図1の6-1bに相当) に接続され、各ゲート端子は同一行について行走査線  $G_j$  (図1のゲート線8-1に相当) に接続されている。

30

【0067】

図示しない垂直走査回路より走査パルスが供給されると画素選択トランジスタ  $Q_1$ 、 $Q_2$  は同時にオン状態となり、保持容量  $C_{s1}$ 、 $C_{s2}$  に各々正極性、負極性の信号電圧が蓄積される。トランジスタ  $Q_3$  及び  $Q_7$  からなる回路部と、トランジスタ  $Q_4$  及び  $Q_8$  からなる回路部は、それぞれ所謂ソースフォロワ・バッファであり、トランジスタ  $Q_3$ 、 $Q_4$  が信号入力トランジスタ、トランジスタ  $Q_7$ 、 $Q_8$  が定電流源負荷として機能する。定電流源負荷用トランジスタ  $Q_7$ 、 $Q_8$  は、ゲートが同一行画素について行方向配線  $B$  に共通配線され、定電流負荷のバイアス制御が可能な構成となっている。MOS型トランジスタ  $Q_3$ 、 $Q_7$ 、 $Q_4$ 、 $Q_8$  によるソースフォロワ・バッファの入力抵抗はほぼ無限大である。このため、従来のアクティブマトリクス型液晶表示装置と同様に、保持容量端子の蓄積電荷はリークすることなく、1垂直走査期間後に信号が新たに書き込まれるまで保持される。

40

【0068】

スイッチングトランジスタ  $Q_5$ 、 $Q_6$  は、ソースフォロワ・バッファの出力信号を反射電極(画素駆動電極)  $PE$ 、液晶表示体  $LCM$  及び共通電極  $CE$  からなる画素表示部にスイッチして送出する。正極性信号のスイッチングを行うトランジスタ  $Q_5$  と、負極性信号のスイッチングを行うトランジスタ  $Q_6$  の各々のゲート端子は独立しており、各々が同一行画素について行方向の配線  $S_+$ 、 $S_-$  に接続されている。

【0069】

50

この配線 S+、S- に交互に供給されるゲート制御信号は、スイッチングトランジスタ Q5、Q6 を交互にオン状態として画素駆動部に正極性、負極性に反転する液晶駆動信号を与えることができる。従来のアクティブマトリクス型液晶表示装置では、垂直走査周期でしか極性反転を実現できなかったのに対し、本実施の形態では画素回路そのものに極性反転機能を備えており、これを高速で制御することにより、垂直走査周波数の制約のない、高い周波数での交流駆動が可能である。

【0070】

次に、本発明の第2の実施の形態の画素回路について説明する。図4は、本発明になるアクティブマトリクス型の液晶表示装置の第2の実施の形態の画素回路の詳細回路図を示す。同図中、図3と同一構成部分には同一符号を付し、その説明を省略する。図4に示す本実施の形態の画素回路の基本的な構成と機能は図1及び図3に示した第1の実施の形態の画素回路と類似しており、重複内容については説明を省略する。図4に示す本実施の形態の画素回路の特徴は、ソースフォロワ・バッファを形成する定電流負荷用トランジスタ Q9 が、極性切り替えスイッチングトランジスタ Q5、Q6 の後段、すなわち画素駆動電極 PE のノードに配置され、正極性・負極性のソースフォロワ回路双方の負荷として共通に機能する構成となっている点にある。

10

【0071】

従って、本実施の形態によれば、画素回路あたりのトランジスタ素子数は図1及び図3に示した第1の実施の形態の画素回路と比較して1つ少なく済み、また、同一画素内での正極性のバッファアンプと負極性のバッファアンプそれぞれの負荷ばらつきを要因とした正負極の特性差を抑えることができる、という利点がある。

20

【0072】

次に、本発明になる液晶表示装置の第3の実施の形態の画素回路について説明する。図5は、本発明になる液晶表示装置の第3の実施の形態の画素回路の回路図、図6は、画素回路として図5の回路を用いた本発明になる液晶表示装置の一実施の形態の要部の構成図を示す。両図中、図1と同一構成部分には同一符号を付してある。図5に示した本実施形態の画素回路では、前述した図4の画素回路と比較して、更に、画素駆動電極と映像信号書き込み用データ線 6-1 a の間に検査用スイッチング手段として、トランジスタ Q10 を追加した点に特徴がある。

30

【0073】

同じ行にある画素回路内のトランジスタ Q10 の読み出し制御端子であるゲートは、読み出し用スイッチの選択線 RD に共通配線されている。この選択線 RD を介してトランジスタ Q10 のゲートに印加される選択制御信号は、通常の画像表示モード時には全画素行のトランジスタ Q10 をオフ状態に制御し、画素検査モード時には検査対象の画素行のトランジスタ Q10 を順次オンとする。ここで、画素検査モードは、複数の画素がマトリクス状に配置された画素部から1画素ずつ画素値をデータ線に読み出して、1画素ずつ欠陥の有無を検査するモードである。従って、画素検査モードでは、データ線には書き込み用映像信号は入力されず、画素部が読み出しモードとされる。

【0074】

このような画素検査モードでの行選択手段は、映像信号の書き込みと同様に、シフトレジスタで構成される垂直方向駆動回路と同様な構成で実現される。また、信号書き込み用の垂直方向駆動回路のシフトレジスタを上記画素検査モードの行選択手段と共用することも可能である。

40

【0075】

図6は、上記画素検査モードに対応した液晶表示装置の一実施の形態の全体構成図を示す。同図中、図2と同一構成部分には同一符号を付してある。図6において、画素回路 81 は、垂直方向に n 行設けられ、水平方向には図示を省略したが m 列設けられている。一行目の m 個の画素回路 81 にはゲート線 8-1 と、読み出し用スイッチの選択線 RD1 とが共通に接続されている。n 行目の m 個の画素回路 81 にはゲート線 8-n と、読み出し用スイッチの選択線 RDn とが共通に接続されている。他の各行 i の m 個の画素回路 81

50

も同様に、各画素行毎に、ゲート線 8 - i と読み出し用スイッチの選択線 R D i とが共通に接続されている。

【 0 0 7 6 】

A N D 回路 1 - 1 は、制御端子 W T / R D からの選択制御信号と垂直方向駆動回路 2 0 の 1 行目の出力端子からの垂直方向駆動信号とを論理積演算してゲート線 8 - 1 へ出力する。A N D 回路 1 - 2 は、制御端子 W T / R D からの選択制御信号をインバータ I N V で論理反転した信号と、垂直方向駆動回路 2 0 の 1 行目の出力端子からの垂直方向駆動信号とを論理積演算して読み出し用スイッチの選択線 R D 1 へ出力する。

【 0 0 7 7 】

A N D 回路 n - 1 は、制御端子 W T / R D からの選択制御信号と垂直方向駆動回路 2 0 の n 行目の出力端子からの垂直方向駆動信号とを論理積演算してゲート線 8 - n へ出力する。A N D 回路 n - 2 は、制御端子 W T / R D からの選択制御信号をインバータ I N V で論理反転した信号と、垂直方向駆動回路 2 0 の n 行目の出力端子からの垂直方向駆動信号とを論理積演算して読み出し用スイッチの選択線 R D n へ出力する。

【 0 0 7 8 】

他の画素行 i の各画素回路も同様に、上記選択制御信号と垂直方向駆動回路 2 0 の i 行目の出力端子からの垂直方向駆動信号とを論理積演算してゲート線 8 - i へ出力する A N D 回路と、上記選択制御信号をインバータ I N V で論理反転した信号と、垂直方向駆動回路 2 0 の i 行目の出力端子からの垂直方向駆動信号とを論理積演算して読み出し用スイッチの選択線 R D i へ出力する A N D 回路に接続されている。これらの選択線 R D 1 ~ R D i は、同じ画素行の画素回路 8 1 内の図 5 に示したトランジスタ Q 1 0 のゲートに接続されている。

【 0 0 7 9 】

また、制御端子 W T / R D は、通常の画像表示モード時（画素書き込みモード）時にはハイレベルの選択制御信号が供給され、画素検査モード（画素読み出しモード）時には、ローレベルの選択制御信号が供給される。垂直方向駆動回路 2 0 の各出力段に構成した A N D ゲート（A N D 1 - 1、A N D 1 - 2、・・・、A N D n - 1、A N D n - 2）のゲート機能により、通常の画像表示モード（画素書き込みモード）時には画素回路 8 1 のゲート線 8 - 1、・・・、8 - n 等に順次選択パルスが出力される。

【 0 0 8 0 】

一方、画素検査モード（画素読み出しモード）時は、A N D ゲート（A N D 1 - 1、A N D 1 - 2、・・・、A N D n - 1、A N D n - 2）のゲート機能により、読み出し用スイッチの選択線 R D 1、・・・、R D n に順次選択パルスが出力される。これにより、制御端子 W T / R D を介して入力される選択制御信号によって、垂直方向駆動回路 2 0 を共用してモード切り替えを行うことができる。

【 0 0 8 1 】

上記の画素検査モードでは、選択された画素行における画素回路内の図 5 に示したトランジスタ Q 1 0 が、読み出し用スイッチの選択線 R D を介してゲートに印加される選択パルスによりオンされる。これにより、画素駆動電極（反射電極）4 とデータ線間が導通状態となり、画素駆動電極電圧がデータ線に出力される。このとき、画素検査モードでの選択行の画素回路のバッファアンプ（の負荷素子）をアクティブとし、極性切り替え制御スイッチ Q 5、Q 6 のどちらか一方をオンとすると、その期間画素駆動電極はバッファ出力で駆動された状態となり、画素駆動電極に印加されている駆動電圧を電圧出力として信号線側に読み出すことが可能である。

【 0 0 8 2 】

データ線側に読み出された画素駆動電極電圧は、図 6 の水平方向駆動回路 1 0 を駆動することによって、サンプリングスイッチを介して映像データ共通入力端子（図 6 の例では Video（+））に時系列信号として出力される。この時系列信号を検出することで画素回路の検査（画素欠陥の検出）を行うことができる。

【 0 0 8 3 】

10

20

30

40

50

更に、検査対象の画素行の全画素に同じ信号電圧を書き込んだ後に読み出しを行い、映像データ共通入力端子側で読み出し信号のばらつきを検出することによって、画素毎のバッファアンプの特性ばらつきの検出を行うことができる。この読み出し電圧のばらつき情報をもとに画素特性ばらつきの補正データを作成して入力映像信号に対する補正を行うことで画素特性のばらつきを補正し、均一な表示特性を得ることができる。また、正極性側と負極性側でのバッファアンプの特性を個別に検出、測定するには、上記極性切り替えスイッチQ5、Q6を切り替えながら検査、測定を行えばよい。

【0084】

従来のアクティブマトリクス型液晶表示装置では保持容量に保持した電荷の形で保持した電圧で画素を駆動する方式であるため、画素読み出し検査は電荷移動時の微小な電流変化を検出する高精度な検出アンプなどが要求されるのに対し、本実施形態による画素回路とその検査・読み出し手段の組み合わせでは、画素駆動電極の電圧、すなわちバッファアンプ出力により低出力インピーダンスで駆動される画素駆動電極の電圧そのものを読み出せる構成であるため、画素の欠陥検出や画素特性の検出をより容易に行うことができる。

10

【0085】

また、図1、図3又は図4において説明したように、本発明の液晶表示装置のように画素回路にバッファアンプを備えた構成を採用した場合、バッファアンプの画素毎の特性ばらつきが大きいと、その輝度差が固定パターンノイズとして現れるという問題がある。これに対し、図5及び図6の実施の形態では画素特性のばらつきを精度良く検出する手段を備えることができるため、画素特性のばらつきの検出結果をもとに入力映像データに補正処理を適用することで画素ばらつきの影響の小さい高品質な画像表示が実現可能となる。

20

【0086】

以上、本発明になる液晶表示装置の画素回路の各実施の形態について説明した。

【0087】

次に、本発明になる液晶表示装置の交流駆動制御の概要について説明する。図7は、本発明になる液晶表示装置の交流駆動制御の概要を説明するためのタイミングチャートを示す。図7(A)は、垂直同期信号VDを示し、図7(B)は、図3、図4の画素回路におけるトランジスタQ7、Q8のゲートに印加される配線Bの負荷特性制御信号を示す。また、図7(C)は、上記画素回路における正極性側駆動電圧を転送するスイッチングトランジスタQ5のゲートに印加される配線S+のゲート制御信号、同図(D)は、上記画素回路における負極性側駆動電圧を転送するスイッチングトランジスタQ6のゲートに印加される配線S-のゲート制御信号の各信号波形を示す。トランジスタQ7、Q8は、前述したように画素回路におけるソースフォロワ・バッファ回路の定電流負荷である。

30

【0088】

なお、図8は、画素に書込まれる正極性映像信号Iと、負極性映像信号IIの黒レベルから白レベルまでの関係を示す。正極性映像信号Iは、レベルが最小のとき黒レベル、最大のとき白レベルであるのに対し、負極性映像信号IIは、レベルが最小のとき白レベル、最大のとき黒レベルである。正極性映像信号Iと負極性映像信号IIの反転中心は、IIIで示される。

40

【0089】

図8では、正極性映像信号Iは、レベルが最小のとき黒レベル、最大のとき白レベルで、負極性映像信号IIは、レベルが最小のとき白レベル、最大のとき黒レベルの場合を示しているが、本発明の液晶表示装置の画素回路では、正極性映像信号Iは、レベルが最小のとき白レベル、最大のとき黒レベルで、負極性映像信号IIは、レベルが最小のとき黒レベル、最大のとき白レベルであってもよい。

【0090】

前記図3や図4で示した画素回路において、図7(C)に示す配線S+のゲート制御信号がハイレベルの期間、正極性側スイッチングトランジスタQ5がオンとなり、この期間に配線Bに供給される負荷特性制御信号を図7(B)に示すようにハイレベルとすると、ソースフォロワ・バッファ回路がアクティブとなり、画素駆動電極PEノードが正極性の

50

映像信号レベルに充電される。画素駆動電極 P E の電位が完全に充電された状態となった時点で、配線 B の負荷特性制御信号をローレベルとし、かつ、そのとき配線 S + のゲート制御信号もローレベルに切り替えると、画素駆動電極 P E はフローティングとなり、液晶容量に正極性駆動電圧が保持される。

【 0 0 9 1 】

一方、図 7 ( D ) に示す配線 S - のゲート制御信号がハイレベルの期間、負極性側スイッチングトランジスタ Q 6 がオンとなり、この期間に配線 B に供給される負荷特性制御信号を同図 ( B ) に示すようにハイレベルとすると、ソースフォロワ・バッファ回路がアクティブとなり、画素駆動電極 P E ノードが負極性の映像信号レベルに充電される。画素駆動電極 P E の電位が完全に充電された状態となった時点で、配線 B の負荷特性制御信号をローレベルとし、かつ、そのとき配線 S - のゲート制御信号もローレベルに切り替えると、画素駆動電極 P E はフローティングとなり、液晶容量に負極性駆動電圧が保持される。

10

【 0 0 9 2 】

以下、上記のスイッチングトランジスタ Q 5 及び Q 6 を交互にオンとするスイッチングに同期して、定電流負荷トランジスタ Q 7 及び Q 8、又は Q 9 を間欠的にアクティブとする動作を繰り返すことで液晶素子の画素駆動電極 P E には正極性と負極性の各映像信号で交流化された駆動電圧 V P E が図 7 ( E ) に示すように印加される。

【 0 0 9 3 】

本実施の形態では、保持電荷を直接画素駆動部に転送するのではなく、ソースフォロワ・バッファ回路を介して電圧を供給する構成のため、正負極性での繰り返し充放電を行っても電荷の中和の問題はなく、極性切り替えを多数回行っても電圧レベルの減衰がない駆動が実現できる。

20

【 0 0 9 4 】

また、図 7 ( F ) に示す V com は、液晶表示装置の対向基板に形成した共通電極 C E に印加する電圧を表している。液晶表示体 L C M の実質的な交流駆動電圧は、この共通電極 C E の印加電圧 V com と画素駆動電極 P E の印加電圧との差電圧である。本実施の形態では、図 7 ( F ) に示すように、共通電極 C E の印加電圧 V com は、画素駆動電極電位の反転基準レベル V c とほぼ等しい基準レベルに対して、画素極性切り替えと同期して反転されている。これにより、共通電極 C E の印加電圧 V com と画素駆動電極 P E の印加電圧との電位差の絶対値が常に同一となり、液晶表示体 L C M には図 7 ( G ) に示すような直流成分のない交流電圧 V L C が印加される。この共通電極 C E の印加電圧 V com は、図 2 に示したコントローラ 6 0 より出力される。

30

【 0 0 9 5 】

このように、本実施の形態は、共通電極 C E の印加電圧を画素駆動電極 P E と逆相で切り替えることによって、画素 ( P E ) 側の駆動電圧の振幅を 1 / 2 程度以下に低減できる。これより、画素回路や周辺走査回路を構成するトランジスタの必要耐圧が大幅に低減され、特殊な高耐圧構造、プロセスの適用が不要となり、装置コストが低減できる。また、本実施の形態では、上記のように低耐圧、小型トランジスタで画素回路などの駆動部が構成できるため、より高画素密度の液晶表示装置が実現でき、トランジスタ耐圧の低減により単位チャンネル幅あたりの駆動能力の高いトランジスタの採用が可能となるため、高速駆動動作への対応が容易となる、という効果が得られる。

40

【 0 0 9 6 】

また、本実施の形態では、図 7 ( A ) に示すように、配線 B の負荷特性制御信号をパルス列として、ソースフォロワ・バッファ回路の定電流負荷トランジスタ ( 図 3 の Q 7、Q 8 ) を常時アクティブにせず、極性切り替え用スイッチングトランジスタ ( 図 3 の Q 5、Q 6 ) の導通期間の内の限られた期間でのみアクティブになるように制御を行っている。液晶表示装置での消費電流低減を考慮したためである。例えば、1 画素回路あたりの定常的なソースフォロワ・バッファ回路の電流が  $1 \mu A$  の微小電流であったとしても、液晶表示装置の全画素が定常的に電流を消費する条件では多大な消費電流となってしまう、という問題がある。例えば、フルハイビジョン ( 200 万画素 ) の液晶表示装置では、消費電流が 2 A に

50

も達してしまう。

【0097】

そのため、本実施の形態では、図7(A)~(C)に示したように、配線S+、S-を介して供給されるゲート制御信号がハイレベルである極性切り替え用スイッチングトランジスタ(Q5、Q6)の導通期間内のみ、配線Bを介して供給される負荷特性制御信号をハイレベルとしてソースフォロワ・バッファ回路の定電流負荷トランジスタ(図3のQ7、Q8)の駆動期間を制限している。これにより、液晶素子の電極電圧VPEが図7(D)に示すように目標レベルまで充放電された直後には、即座に負荷特性制御信号をローレベルとして定電流負荷トランジスタ(Q7、Q8)がオフし、ソースフォロワ・バッファ回路の電流が停止する。従って、本実施の形態によれば、全画素にバッファアンプを備えた構成でありながら、実質的な消費電流を小さく抑えることが可能である。

10

【0098】

次に、ソースフォロワ・バッファ回路の制御手段の他の実施形態について、図9及び図10を用いて説明する。図7のタイミングチャートと共に説明した実施の形態では、ソースフォロワ・バッファ回路に定常的に電流が流れないように、間欠的なアクティブ制御を行う例について述べた。これに対し、本実施の形態では、さらに、全画素が同時にオン状態とならないような制御手段を設けたことを特徴とする。

【0099】

図9は、本発明になる液晶表示装置の要部の一実施の形態の構成図を示す。この実施の形態は、極性反転制御及びソースフォロワ・バッファ回路のアクティブ制御を画面の垂直方向について時間差を持たせて実現する実施の形態である。図9に示すように、本実施の形態は、図2の画素部30が垂直方向にh分割(hは2以上の自然数)された分割画素部90-1、90-2、・・・、90-hと、配線S+の極性切替用ゲート制御信号、配線S-の極性切替用ゲート制御信号、配線Bの負荷特性制御信号をそれぞれ同じシフトクロックSCKに同期してシフトするh段のシフトレジスタ91a、91b及び91cとを有する構成である。シフトレジスタ91a、91b及び91cは、それぞれ図2に示した垂直方向駆動回路20に相当する。なお、図9には、ソースフォロワ・バッファ回路のアクティブ制御に必要な回路部のみを図示してあり、水平方向駆動回路10等の図示は省略してある。

20

【0100】

分割画素部90-1、90-2、・・・及び90-hのそれぞれは、画素部の複数行を1グループとするグループ#1、#2、・・・及び#hの分割画素部である。シフトレジスタ91aは、分割画素部90-1、90-2、・・・及び90-hの各入力端子S+(1)、S+(2)、・・・及びS+(h)に、配線S+の極性切替用ゲート制御信号を1段目、2段目、・・・h段目の出力端子から供給する。また、シフトレジスタ91bは、分割画素部90-1、90-2、・・・及び90-hの各入力端子S-(1)、S-(2)、・・・及びS-(h)に、配線S-の極性切替用ゲート制御信号を1段目、2段目、・・・h段目の出力端子から供給する。更に、シフトレジスタ91cは、分割画素部90-1、90-2、・・・及び90-hの各入力端子B-(1)、B-(2)、・・・及びB-(h)に、配線Bの負荷特性制御信号を1段目、2段目、・・・h段目の出力端子から供給する。

30

40

【0101】

図10は、図9の各部の信号のタイミングチャートを示す。図10(A)はシフトレジスタ91a、91b及び91cに供給されるシフトクロックSCKを示す。このシフトクロックSCKに同期してシフトレジスタ91aは、図10(B)に示す配線S+の極性切替用ゲート制御信号をシフトして1段目、2段目、h段目の出力端子から図10(C)、(D)、(E)に示すゲート制御信号を出力し、分割画素部90-1、90-2、90-hの各入力端子S+(1)、S+(2)、S+(h)に供給する。

【0102】

同様に、シフトレジスタ91bは、図10(F)に示す配線S-の極性切替用ゲート制御信号をシフトして1段目、2段目、h段目の出力端子から図10(G)、(H)、(I

50

)に示すゲート制御信号を出力し、分割画素部90-1、90-2、90-hの各入力端子S-(1)、S-(2)、S-(h)に供給する。更に、シフトレジスタ91cは、図10(J)に示す配線Bの負荷特性制御信号をシフトして1段目、2段目、h段目の出力端子から図10(K)、(L)、(M)に示す負荷特性制御信号を出力し、分割画素部90-1、90-2、90-hの各入力端子B-(1)、B-(2)、B-(h)に供給する。

【0103】

この実施の形態によれば、画面の垂直方向の分割グループについて、時間差を持たせた極性反転とバッファアクティブ制御とが可能となり、電流値が時間的に分散、平均化するため、瞬時過大電流による誤動作や故障などを回避できる。制御の時間差の影響が表示特性に影響しないようにするには、シフトクロックSCKの周波数を極性反転周波数に対して十分高い周波数に選定すればよい。

10

【0104】

次に、画素駆動電極(反射電極)と共通電極の極性切り替えの相互タイミング制御の適正化の一例について、図11及び図12を用いて説明する。図11(A1)~(E1)は、画素駆動電極の極性切り替えが共通電極の極性切り替えタイミングに対して先行する場合のタイミングチャートを示す。また、図11(A2)~(E2)は、共通電極の極性切り替えが画素駆動電極の極性切り替えタイミングに対して先行する場合のタイミングチャートを示す。

【0105】

図11(A1)、(A2)は、液晶素子の共通電極CEに印加される電圧Vcomを示す。また、図11(B1)、(B2)は、図3の画素回路における正極性側駆動電圧を転送するスイッチングトランジスタQ5のゲートに印加される配線S+のゲート制御信号、図11(C1)、(C2)は、上記画素回路における負極性側駆動電圧を転送するスイッチングトランジスタQ6のゲートに印加される配線S-のゲート制御信号を示す。また、図11(D1)、(D2)は、上記画素回路におけるトランジスタQ7、Q8のゲートに印加される配線Bの負荷特性制御信号を示す。トランジスタQ7、Q8は、前述したように画素回路におけるソースフォロワ・バッファ回路の定電流負荷である。更に、図11(E1)、(E2)は、液晶素子の画素駆動電極PEに印加される駆動電圧VPEを示す。

20

【0106】

まず、図11(A1)に示す共通電極電圧VCOMの極性が時刻t3で切り替わるタイミングより先行して、時刻t1~t2で配線S+のゲート制御信号が図11(B1)に示すようにハイレベルとなり、正極性側スイッチングトランジスタがオンとされた場合について説明する。この場合、正極性側スイッチングトランジスタのオン期間(t1~t2)に、図11(D1)に示すように、上記画素回路におけるソースフォロワ・バッファ回路の定電流負荷トランジスタのゲートに印加される配線Bの負荷特性制御信号をハイレベルとすると、正極性側のソースフォロワ・バッファ回路及びスイッチングトランジスタ(図3ではQ5)がアクティブとなり、液晶素子の画素駆動電極(図3のPE)には映像信号に対応した正極性駆動電圧が印加される。

30

【0107】

正極性駆動電圧が画素駆動電極PEに伝達され、画素駆動電極電圧VPEが図11(E1)に示すように正極性電圧に到達した時点で、同図(D1)に示すように配線Bの負荷特性制御信号をローレベルとして正極性側のソースフォロワ・バッファ回路を非アクティブとする。続いて、時刻t2で配線S+のゲート制御信号をローレベルとすると、正極性側のスイッチングトランジスタもオフとなり、液晶素子の画素駆動電極ノードはフローティング状態に移行する。しかし、画素駆動電極電圧VPEは、図11(E1)に示すように、時刻t2以降も画素駆動電極ノードの寄生容量などにより、引き続き保持される。

40

【0108】

次に、時刻t3で図11(A1)に示すように、共通電極電圧Vcomの極性が画素駆動電極保持電圧と逆極性に切り替わる。このとき、共通電極と画素駆動電極との間に形成される液晶表示体(図3のLCM)による容量結合の存在により、フローティング状態で保

50

持されている画素駆動電極電圧  $V_{PE}$  が、時刻  $t_3$  での共通電極電圧  $V_{com}$  の変化の影響を受けて、図 11 (E1) に示すように  $V_p$  だけ変動する。

【0109】

同様に、画素駆動電極電圧  $V_{com}$  を正極性から負極性に切り替えるシーケンス（時刻  $t_4 \sim t_6$ ）においても、共通電極と画素駆動電極との間に形成される液晶表示体による容量結合で、画素駆動電極電圧  $V_{PE}$  が、時刻  $t_6$  での共通電極電圧  $V_{com}$  の変化の影響を受けて、図 11 (E1) に示すように  $V_m$  だけ変動する。

【0110】

このように、図 11 (A1) ~ (E1) に示した制御タイミングにおいては、液晶表示体の容量結合の影響により共通電極電圧  $V_{com}$  の極性切り替え時に発生する画素駆動電極の電圧変動  $V_p$ 、 $V_m$  が画素駆動電極の極性切り替えより後のタイミングで発生するため、画素駆動電極電圧  $V_{PE}$  は極性切り替え直後の本来の映像信号に対応した値からずれてしまい、その差分は画素駆動電極電圧  $V_{PE}$  の交流振幅を小さくする方向に作用するため、液晶にかかる実効電圧もその分低下してしまう、という問題がある。

10

【0111】

そこで、本実施の形態では、図 11 (A2) ~ (E2) に示すように、共通電極の極性切り替えが画素駆動電極の極性切り替えタイミングに対して先行するように制御することで、上記課題を解決することを特徴とする。

【0112】

この実施の形態では、図 11 (A2) に示すように、まず、時刻  $t_7$  で共通電極電圧  $V_{com}$  の極性が切り替わる。続いて、共通電極電圧  $V_{com}$  の正極性から負極性への極性切り替えが完了した後の時刻  $t_8 \sim t_9$  で配線  $S+$  のゲート制御信号が図 11 (B2) に示すようにハイレベルとなり、正極性側スイッチングトランジスタがオンとされる。また、このオン期間 ( $t_8 \sim t_9$ ) に、図 11 (D2) に示すように、配線  $B$  の負荷特性制御信号がハイレベルとされ、正極性側のソースフォロワ・バッファ回路及びスイッチングトランジスタ (図 3 では  $Q_5$ ) がアクティブとなり、液晶素子の画素駆動電極 (図 3 の  $PE$ ) には映像信号に対応した正極性駆動電圧が印加される。正極性駆動電圧が画素駆動電極  $PE$  に伝達される。

20

【0113】

ここで、画素駆動電極電圧  $V_{PE}$  は、前述した共通電極と画素駆動電極間に形成される液晶表示体による容量結合の存在により、共通電極電圧  $V_{com}$  の極性が切り替わる時刻  $t_7$  において、図 11 (E2) に示すように電位変動  $V_m$  が発生する。しかし、その直後の正極性側スイッチングトランジスタのオン期間 ( $t_8 \sim t_9$ ) において、画素駆動電極側の極性切り替えが行われ、このオン期間で画素駆動電極電圧  $V_{PE}$  は図 11 (E2) に示すように、上記電位変動の影響を受けない本来の映像信号に対応した正極性電圧にスイッチされる。

30

【0114】

負極性切り替え制御動作についても同様に、まず、時刻  $t_{10}$  で図 11 (A2) に示すように、共通電極電圧  $V_{com}$  の極性が負極性から正極性に切り替わる。続いて、この共通電極電圧  $V_{com}$  の極性切り替え完了後の時刻  $t_{11} \sim t_{12}$  の期間内で、図 11 (C2)、(D2) で示すように、配線  $S-$  のゲート制御信号がハイレベルとされ、配線  $B$  の負荷特性制御信号がハイレベルとされるため、負極性側のソースフォロワ・バッファ回路及びスイッチングトランジスタ (図 3 では  $Q_5$ ) がアクティブとなる。

40

【0115】

この結果、画素駆動電極電圧  $V_{PE}$  には上記と同様に、図 11 (E2) に示すように時刻  $t_{10}$  において  $V_p$  の電位変動が発生するが、直後の時刻  $t_{11} \sim t_{12}$  の期間に画素駆動電極側の極性切り替えが行われ、上記電位変動の影響を受けない本来の映像信号に対応した負極性電圧にスイッチされる。

【0116】

以上の図 11 の説明から明らかなように、本実施の形態は、図 11 (A2) ~ (E2)

50

に示したように、共通電極電圧  $V_{com}$  の極性反転切り替えのタイミングが画素駆動電極電圧  $V_{PE}$  の極性反転切り替えタイミングに対して先行するように、共通電極電圧  $V_{com}$  と画素駆動電極電圧  $V_{PE}$  の切り替えタイミングを制御することにより、画素駆動電極と共通電極との間の液晶表示体で形成される画素駆動電極と共通電極間に形成される容量結合でフローティング状態にある画素駆動電極電位に変動が生じて、その変動の影響は共通電極電圧  $V_{com}$  の極性切り替え時点から画素駆動電極電圧  $V_{PE}$  の極性反転時点までの僅かな時間差に相当する短期間に限定され、その他の殆どの期間については画素駆動電極電圧を映像信号に対応した本来の駆動電圧に保つことができる。従って、本実施形態によれば、上述した図 11 (A1) ~ (E1) に示したタイミング制御での液晶にかかる実効電圧の低下の問題を解決し、駆動電圧を効率良く液晶に印加することができる。

10

## 【0117】

図 12 は、上記の図 11 (A2) ~ (E2) と共に説明した本実施の形態によるタイミング制御を実現するタイミング発生回路の回路図を示す。図 12 に示すタイミング発生回路 100 は、カスケード接続された 5 つの D 型フリップフロップ (以下、D-FF と記す) 101 ~ 105 と、2 段目の D-FF 102 の Q 出力信号を反転するインバータ 106 と、5 段目の D-FF 105 の Q 出力信号を反転するインバータ 107 と、2 つの 2 入力 AND 回路 108 及び 109 と、3 段目と 4 段目の D-FF 103 及び 104 の各 Q 出力信号の排他的論理和演算を行う排他的論理和回路 (以下、EX-OR 回路と記す) 110 とから構成される。

20

## 【0118】

D-FF 101 ~ D-FF 105 の各々は 1 ビットラッチ回路であり、クロック端子には本実施の形態のタイミング制御の時間単位に相当する周期を有する基本クロック CLK が共通に入力される。カスケード接続された 5 つの D-FF 101 ~ 105 は、シフトレジスタを構成し、初段の D-FF 101 のデータ入力端子 D には、共通電極電圧  $V_{com}$  の極性切り替え周期と一致した制御タイミングパルスが入力され、これが各 D-FF 101 ~ 105 の各 Q 出力端子 a、b、c、d、e、f に 1 クロック時間単位ずつ遅延して出力される。

## 【0119】

本実施の形態では、共通電極電圧  $V_{com}$  の極性切り替えを画素駆動電極電圧  $V_{PE}$  の極性切り替えに先行するように制御するので、初段の D-FF 101 の Q 出力信号を共通電極電圧  $V_{com}$  とする。また、D-FF 102 の Q 出力信号をインバータ 106 で論理反転した信号と、D-FF 105 の Q 出力信号とを AND 回路 108 で論理積演算した信号は、配線 S+ で伝送されるゲート制御信号 (以下、正極性スイッチ制御信号ともいう) とされる。また、D-FF 102 の Q 出力信号と、D-FF 105 の Q 出力信号をインバータ 107 で論理反転した信号とを AND 回路 109 で論理積演算した信号は、配線 S- で伝送されるゲート制御信号 (以下、負極性スイッチ制御信号ともいう) とされる。また、EX-OR 回路 110 は、D-FF 103 の Q 出力信号と D-FF 104 の Q 出力信号との排他的論理和演算を行って、画素回路のソースフォロワ・バッファ回路の定電流負荷トランジスタをアクティブとする配線 B の負荷制御信号を生成する。

30

## 【0120】

なお、画素回路のソースフォロワ・バッファ回路の定電流負荷トランジスタをオンからオフに移行する制御は、画素極性切り替えスイッチがオン状態を保っている期間に完了させる必要があることから、定電流負荷トランジスタのオフタイミングを D-FF 104 の Q 出力信号から生成し、また、画素極性切り替えスイッチのオフタイミングはそれより遅延した D-FF 105 の Q 出力信号から生成している。

40

## 【0121】

以上のように、図 12 に示すタイミング発生回路 100 では、基準クロック CLK の周期で共通電極、画素スイッチ、画素バッファ負荷の制御を所定のタイミング関係で確実に実現することができる。

## 【0122】

50

なお、本実施の形態の図12に示すタイミング発生回路100では基準クロックCLKの周期で各制御タイミングを1クロックずつずらしてタイミング生成しているが、複数クロック周期の時間差を持たせた制御を行うことも勿論可能である。また、図12に示すタイミング発生回路100は、原入力信号が共通電極制御信号で、これを遅延させて所望のタイミング制御信号を生成する構成となっている。しかし、タイミング発生回路は、図12に示す回路構成に限定されるものではなく、図11(A2)~(E2)と共に説明したタイミング制御の基本を実現するものであればよい。

#### 【0123】

次に、本発明の液晶表示装置における映像信号の書き込み動作と、上述の画素極性切り替えの同期動作のタイミング制御についての実施例を図13及び図14を用いて説明する。

10

#### 【0124】

図13は、上記のタイミング制御の実施例を説明するタイミングチャートを示す。図13(A)は、液晶表示装置に供給する映像信号の垂直走査周期に対応した垂直同期信号VD、同図(B)は、水平走査周期に対応した水平同期信号HDを示す。本実施例では液晶駆動電圧の極性切り替えタイミング、すなわち共通電極電圧の極性切り替え、及び画素駆動電極電圧の極性切り替え制御タイミングを、映像信号の垂直同期信号VDの周期(垂直走査周期)及び水平同期信号HDの周期(水平走査周期)と一定の位相関係を保つように同期制御することを特徴とする。

#### 【0125】

本実施例では、極性反転周期は映像信号の水平走査周期の $2n$ 倍、すなわち、 $n$ ライン走査期間周期毎に極性が反転するように制御を行うと共に、さらに垂直走査の開始タイミングに対して一定の位相で同期するように設定されている。本実施例による液晶駆動の極性反転制御は、原理的には映像信号の走査周期と独立して任意のタイミングに設定可能である。

20

#### 【0126】

しかし、実際には液晶駆動の極性反転制御は、極性反転制御で制御される共通電極電圧切り替え周期、画素駆動電極電圧極性切り替え制御のタイミング信号である正極性スイッチ制御信号、負極性スイッチ制御信号および負荷特性制御信号などの信号の状態が各種寄生容量を介して書き込み側の電圧に干渉し、極性切り替えの切り替わりタイミングを反映した画像ノイズとして現れる、という問題がある。特に、映像信号の走査タイミングと極性切り替え制御タイミングが非同期の場合、これらの干渉によるノイズがランダムに発生し、画面上下方向にビート状に流れるノイズとして現われ、表示品位を著しく低下させるという問題がある。

30

#### 【0127】

これに対し、本実施例では、図13のタイミングチャートに示すように、映像信号の垂直同期信号に対して同図(D)に示す負荷特性制御信号、同図(E)に示す正極性スイッチ制御信号、同図(F)に示す負極性スイッチ制御信号による極性切り替え動作が同期している。これにより、本実施例では水平走査の第1ライン~第 $n$ ライン期間は図13(H)に示す液晶表示体の印加交流電圧VLCが正極性(図13(G)に示す画素駆動電極電圧VPEが正極性、同図(C)に示す共通電極電圧が負極性)で一定状態を保ち、第 $(n+1)$ ライン~第 $2n$ ライン期間では上記交流電圧VLCが負極性(図13(G)に示す画素駆動電極電圧VPEが負極性、同図(C)に示す共通電極電圧が正極性)で一定状態を保つ。また、本実施例では、全走査ラインについて、そのラインが走査選択されるタイミングにおける極性切り替えの状態を一定条件に確定させる。

40

#### 【0128】

このように、本実施例では映像信号の走査周期と極性切り替え動作タイミング周期を同期させることで、極性切り替え動作と映像走査動作の相互干渉による画像ノイズ発生による表示品位低下を軽減できる。

#### 【0129】

50

なお、図13では映像信号の走査周期と極性切り替え動作タイミング周期の同期関係が分り易いように垂直同期信号VD、水平同期信号HD及び極性切り替え基準である共通電極電圧の切り替え位相を同一時刻で一致させるように図示しているが、本発明における相互タイミング同期化の趣旨はこれに限定されるものではない。

【0130】

例えば、映像の水平走査周期のうち映像信号有効期間中、あるいは映像信号の水平ブランキング期間中など、共通電極電圧の切り替え及び画素駆動電極電圧の極性切り替え位相は水平走査周期内の任意の期間に設定されてもよい。すなわち、本発明における相互タイミング同期化では、映像信号の走査周期と極性切り替え動作タイミング周期とを同期化する条件のもとで、その相互位相関係については、上記映像信号走査動作と極性切り替え制御動作の干渉によるノイズの影響が最も軽減できる任意の条件を選択してよい。

10

【0131】

図14は、図13と共に説明した映像信号の書き込みタイミング、すなわち垂直方向走査及び水平方向走査タイミングと画素極性切り替えタイミングとを同期制御する制御手段としてのタイミング制御回路の回路図を示す。同図中、図12と同一構成部分には同一符号を付し、その説明を省略する。

【0132】

図14に示すタイミング制御回路120は、2n分周回路121と、カスケード接続された5つのD-FF101~105と、2段目のD-FF102のQ出力信号を反転するインバータ106と、5段目のD-FF105のQ出力信号を反転するインバータ107と、2つの2入力AND回路108及び109と、3段目と4段目のD-FF103及び104の各Q出力信号の排他的論理和演算を行うEX-OR回路110とから構成される。すなわち、図14に示すタイミング制御回路120は、図12に示したタイミング発生回路のD-FF101のデータ入力端子に2n分周回路121で分周された信号を供給する構成である。

20

【0133】

2n分周回路121は、クロック入力を水平同期信号HD、リセット入力を垂直同期信号VDとするカウンタ回路であり、水平同期信号HDをn個カウントする毎にハイレベル又はローレベルに極性が反転する対称矩形波を発生する。この2n分周回路121は、垂直同期信号VDの入力毎にリセットされることから垂直走査と同期したカウンタ出力を得ることができる。

30

【0134】

2n分周回路121の分周比は、その分周出力の切り替わり周期が所望の極性反転周期となるように選択されている。これにより、2n分周回路121の分周出力信号を液晶駆動電圧の極性切り替えの基本タイミング信号として利用することができる。2n分周回路121から出力される対称矩形波は、水平、垂直走査タイミングと同期した共通電極電圧切り替え制御信号の原信号として、D-FF101のデータ入力端子に印加される。D-FF401以降の回路は図12に示したタイミング発生回路と同じ構成であるので、ここでの詳細説明は省略する。

40

【0135】

なお、図示はしていないが、2n分周回路121の出力端子とD-FF101のデータ入力端子Dとの間に、一定期間信号を遅延する遅延回路を介在させることにより、水平同期信号HDと極性切り替えタイミングの基準電圧の位相をこの遅延回路による遅延量分だけずらして設定することも可能である。この場合、上記の遅延量を加減することにより、水平走査の動作タイミングと極性切り替え動作との同期を保ったまま相互位相を調整することが可能となり、映像信号走査と極性切り替え動作の相互干渉により発生するノイズが最も軽減される条件を選ぶことが可能になる。

【0136】

なお、本実施例では2n分周回路121により水平同期信号HDを分周し、これを基に各種タイミング信号を同期生成する構成となっているが、回路構成は図14の回路に限定

50

されるものではなく、図 13 のタイミング制御の基本である映像信号走査と極性切り替え制御の同期動作を実現するものであればよい。

【0137】

次に、映像信号の書き込みタイミングと、上述の画素極性切り替えの同期動作において、さらに、垂直走査周期毎に各走査ラインについて走査時点の極性切り替えの極性を反転させる駆動制御の実施例を図 15 及び図 16 と共に説明する。

【0138】

図 15 は、上記の駆動制御の実施例を説明するタイミングチャートを示す。図 15 (A) は、液晶表示装置に供給する映像信号の垂直走査周期に対応した垂直同期信号 VD、同図 (B) は、水平走査周期に対応した水平同期信号 HD を示す。本実施例では液晶駆動電圧の極性切り替えタイミング、すなわち共通電極電圧の極性切り替え、及び画素駆動電極電圧の極性切り替え制御タイミングを、映像信号の垂直同期信号 VD の周期 (垂直走査周期) 及び水平同期信号 HD の周期 (水平走査周期) と一定の位相関係を保つように同期させると共に、更に入力映像信号の連続する第 k フレームと第 (k + 1) フレームで各走査選択ラインにおいて走査選択時の画素極性切り替えの極性が逆転するように制御することを特徴とする。

10

【0139】

図 15 において、図 13 のタイミング制御と同様に、映像信号の垂直同期信号 VD に対して同図 (D) に示す負荷特性制御信号、同図 (E) に示す正極性スイッチ制御信号、同図 (F) に示す負極性スイッチ制御信号による極性切り替え動作が同期している。また、本実施例では、第 k フレーム期間においては、水平走査の第 1 ライン ~ 第 n ライン期間は図 15 (H) に示す液晶表示体の印加交流電圧 VLC が正極性 (図 15 (G) に示す画素駆動電極電圧 VPE が正極性、同図 (C) に示す共通電極電圧が負極性) で一定状態を保ち、第 (n + 1) ライン ~ 第 2n ライン期間では上記交流電圧 VLC が負極性 (図 15 (G) に示す画素駆動電極電圧 VPE が負極性、同図 (C) に示す共通電極電圧が正極性) とし、以下、全走査ラインについて、n ライン走査期間毎に画素駆動の極性切り替え制御を行う。

20

【0140】

次に、第 (k + 1) フレーム期間においては、水平走査の第 1 ライン ~ 第 n ライン期間は図 15 (H) に示す液晶表示体の印加交流電圧 VLC を負極性 (図 15 (G) に示す画素駆動電極電圧 VPE が負極性、同図 (C) に示す共通電極電圧が正極性) で一定状態を保ち、第 (n + 1) ライン ~ 第 2n ライン期間では上記交流電圧 VLC を正極性 (図 15 (G) に示す画素駆動電極電圧 VPE が正極性、同図 (C) に示す共通電極電圧が負極性) とし、以下、全走査ラインについて、n ライン走査期間毎に画素駆動の極性切り替え制御を行う。

30

【0141】

これより、本実施例によれば、第 1 ライン ~ 第 n ラインの走査期間に着目すれば、画素回路の極性切り替えは第 k フレームでは正極性、第 (k + 1) フレームでは負極性というように、フレーム毎に走査期間中の画素駆動電極電圧の極性が反転される。同様に、第 (n + 1) ライン ~ 第 2n ラインの走査期間に着目すれば、画素回路の極性切り替えは第 k フレームでは負極性、第 (k + 1) フレームでは正極性というように、やはりフレーム毎に走査期間中の画素駆動電極電圧の極性が反転される。

40

【0142】

以上説明したように、図 15 のタイミングチャートに示した動作タイミング制御を行う本実施例によれば、すべてのラインについて、その行走査選択時の画素駆動電極電圧の極性がフレーム毎に反転するため、映像信号走査動作と極性切り替え動作との干渉によって、画素駆動電極電圧が正極性にある状態で走査される場合と負極性にある状態で走査される場合とで表示特性差が生じても、各ラインについて行走査選択タイミングでの画素駆動電極電圧の極性がフレーム毎に反転し平均化される。この結果、本実施例によれば、上記映像信号走査動作と極性切り替え動作間の各種寄生容量による干渉ノイズ (横方向に明暗

50

の帯など)の影響が小さい高品位な映像表示が実現できる、という特長が得られる。

【0143】

図16は、図15のタイミングチャートに示した動作タイミング制御を行う実施例のタイミング制御回路の回路図を示す。図16に示すタイミング制御回路130は、水平同期信号HDを分周する2n分周回路131と、2n分周回路131の出力信号に基づいて各種の制御信号を生成する極性制御回路132と、垂直同期信号VDがクロック端子に入力されるD型フリップフロップ(D-FF)133と、セクタ回路134、135、及び136と、インバータ137とから構成される。

【0144】

2n分周回路131は、クロック入力を水平同期信号HD、リセット入力を垂直同期信号VDとするカウンタ回路であり、水平同期信号HDをn個カウントする毎にハイレベル又はローレベルに極性が反転する対称矩形波を生成し、その矩形波を基準電圧として極性制御回路132に供給する。この2n分周回路131は、垂直同期信号VDの入力毎にリセットされることから垂直走査と同期したカウンタ出力を得ることができる。

【0145】

極性制御回路132は、図12に示したタイミング発生回路100と同様の回路構成を有し、2n分周回路131から供給される基準電圧をもとに、画素駆動電極電圧の極性切り替え制御に必要な各種制御信号(S'(+), S'(-), B, Vcom')を生成する。ここで制御信号S'(+ )は正極性スイッチ制御信号、制御信号S'(-)は負極性スイッチ制御信号、制御信号Bは画素回路のソースフォロワ・バッファ回路の定電流負荷トランジスタをアクティブとする負荷特性制御信号である。また、制御信号Vcom'は、液晶素子の共通電極電圧Vcomに相当する信号である。

【0146】

D-FF133は2分周回路であり、垂直同期信号VDが入力される毎にハイレベル又はローレベルに極性が反転する対称矩形波を生成し、その対称矩形波をセレクト信号FRMとしてセクタ回路134~136の各セレクト端子に供給して制御する。従って、セレクト信号FRMは、垂直同期信号周期毎に、すなわちフレーム周期毎に論理レベルが反転する信号である。

【0147】

セクタ回路134とセクタ回路135とは、正極性スイッチ制御信号S'(+ )と負極性スイッチ制御信号S'(-)とを入力として受け、セレクト信号FRMがハイレベルのときには、一方のセクタ回路が正極性スイッチ制御信号S'(+ )を選択し、かつ、他方のセレクト回路が負極性スイッチ制御信号S'(-)を選択する。また、セクタ回路134とセレクト回路135は、セレクト信号FRMがハイレベルのときには、一方のセクタ回路が負極性スイッチ制御信号S'(-)を選択し、かつ、他方のセクタ回路が正極性スイッチ制御信号S'(+ )を選択する。これにより、セクタ回路134は、フレーム毎に極性反転する正極性スイッチ制御信号を出力する。また、セクタ回路135は、フレーム毎に極性半転移する負極性スイッチ制御信号を出力する。

【0148】

また、セクタ回路136は、制御信号Vcom' と、制御信号Vcom' をインバータ137で極性反転した制御信号とを、セレクト信号FRMに基づき、フレーム毎に交互に選択して共通電極電圧Vcomとして出力する。

【0149】

従って、図16に示した本実施例のタイミング制御回路130は、図15(C)~(F)に示した各信号を出力する。このタイミング制御回路130から出力される制御信号を用いることにより、図15と共に説明したように、映像信号の書き込み、すなわち垂直方向走査および水平方向走査タイミングと画素極性切り替えタイミングを同期させるとともに、行走査選択タイミングでの画素駆動電極電圧の極性がフレーム毎に反転し平均化される。これにより、本実施例によれば、上記映像信号走査動作と極性切り替え動作間の各種寄生容量による干渉ノイズの影響が小さい高品位な映像表示が可能な液晶表示装置を実現

10

20

30

40

50

できる。なお、タイミング制御回路の構成は図16に示した構成に限定されるものではなく、図15のタイミングチャートで示されるタイミング制御を実現するものであれば他の構成であってもよい。

#### 【0150】

以上説明した実施形態及び実施例の液晶表示装置によれば、液晶の交流駆動周波数は、垂直走査周波数によらず、画素回路での反転制御周期で自由に設定することができる。例えば垂直走査周波数が一般的なテレビ映像信号で用いられる60Hzで、垂直周期走査線数が1125ラインで構成されているとし、画素回路の極性切り替えを15ライン期間程度の周期で行うとすれば、以上説明した本発明の液晶表示装置の液晶の交流駆動周波数は、 $2.25\text{kHz} (= 60(\text{Hz}) \times 1125 \div (15 \times 2))$ となる。

10

#### 【0151】

一方、フレームメモリで映像信号の垂直走査周波数60Hzを2倍の120Hzに変換し、垂直走査周期毎に映像信号の極性反転を行う従来のアクティブマトリクス型液晶表示装置の液晶の交流駆動周波数は、変換後の周波数の1/2倍の60Hzである。このような液晶の交流駆動周波数が数十Hz~100Hz台程度の駆動条件では、液晶に残留電荷の影響が発生し易く信頼性や安定性に問題があり、また液晶材料特性にイオン成分や異物混入などによるシミ状の表示欠陥に起因する表示品位低下の影響が顕著に現れる傾向にある。

#### 【0152】

これに対し、上記のように本発明のアクティブマトリクス型の液晶表示装置の液晶の交流駆動周波数は、従来のアクティブマトリクス型の液晶表示装置の液晶の交流駆動周波数である60Hzと比較して飛躍的に高い周波数であるため、本発明の液晶表示装置によれば、従来の液晶表示装置に比べて信頼性・安定性やシミなどの表示品位低下などを大幅に改善することが可能となる。

20

#### 【0153】

次に、本発明になる液晶表示装置のより具体的な全体構成及び映像信号のサンプリング回路(水平方向駆動回路)の実施例について説明する。

#### 【0154】

図17は、本発明になる液晶表示装置の一実施例の全体構成図、図18は、図17中の水平ドライバ回路の回路図を示す。図17に示すように、液晶表示装置200は、シフトレジスタ回路201a及び201bと、1ラインラッチ回路202と、コンパレータ203と、階調カウンタ204と、アナログスイッチ205と、水平方向にm個、垂直方向にn個それぞれマトリクス状に配置された画素回路206と、タイミング発生器207と、極性切り替え制御回路208と、垂直シフトレジスタ及びレベルシフタ209とから構成される。

30

#### 【0155】

シフトレジスタ回路201a及び201b、1ラインラッチ回路202、コンパレータ203、及び階調カウンタ204は、水平ドライバ回路を構成している。この水平ドライバ回路は、図2に示した水平方向駆動回路10に相当し、アナログスイッチ205と共にデータ線駆動回路を構成している。データ線駆動回路は、図18にも示してある。なお、コンパレータ203は、図17では図示の簡単のために一つのブロックで示しているが、実際には図18に示すように各画素列毎に設けられている。

40

#### 【0156】

図17及び図18に示すアナログスイッチ205は、各画素列毎に正極性用及び負極性用の2つ1組のサンプリング用アナログスイッチが配置された構成である。正極性用のサンプリング用アナログスイッチは、図2に示したスイッチ1-1a、1-2a等に相当し、負極性用のサンプリング用アナログスイッチは、図2に示したスイッチ1-1b、1-2b等に相当する。図17に示す画素回路206は、2系統のデータ線(D1+とD1-、・・・、Dm+とDm-)とゲート線(G1、・・・、Gn)との交差部に配置されている。これらn・m個の画素回路206は、それぞれ図3(図1)又は図4の回路構成とされてい

50

る。

【 0 1 5 7 】

図 1 7 に示す極性切り替え制御回路 2 0 8 は、タイミング発生器 2 0 7 からのタイミング信号に基づいて、前述した配線 S+ に正極性スイッチ制御信号、配線 S- に負極性スイッチ制御信号、配線 B に負荷特性制御信号をそれぞれ出力する。極性切り替え制御回路 2 0 8 は、図 1 2、図 1 4 又は図 1 6 に示す回路構成である。図 1 7 に示す垂直シフトレジスタ及びレベルシフタ 2 0 9 は、図 2 に示した垂直方向駆動回路 2 0 に相当し、ゲート線 G 1 ~ G n に対してゲート信号を 1 水平走査周期で順次出力して、ゲート線 G 1 ~ G n を 1 水平走査周期で順次選択する。

【 0 1 5 8 】

10

次に、図 1 7 及び図 1 8 の動作について、図 1 9 のタイミングチャートを併せ参照して説明する。図 1 7 及び図 1 8 において、図 1 9 ( A ) に示す水平同期信号 H D に同期した、同図 ( B ) に示す複数ビットの画素データ ( DATA ) が時系列的に合成されたデジタル映像信号は、シフトレジスタ回路 2 0 1 a、2 0 1 b で 1 ライン分のデータとして順次展開され、1 ライン分の展開が終了した時点で、1 ラインラッチ回路 2 0 2 でラッチされる。

【 0 1 5 9 】

20

なお、図 1 9 ( B ) に示す画素データ ( DATA ) のうち、白地の一つ置きに示す水平方向の偶数列画素データ DATA ( even ) がシフトレジスタ回路 2 0 1 a に供給され、斜線を付した残りの一つ置きに示す水平方向の奇数列画素データ DATA ( odd ) がシフトレジスタ回路 2 0 1 b に供給される。これは、高解像度パネルでの高速動作への対応を容易とするためである。

【 0 1 6 0 】

1 ラインラッチ回路 2 0 2 は、シフトレジスタ回路 2 0 1 a から出力される奇数列画素データ DATA ( odd ) と、シフトレジスタ回路 2 0 1 b から出力される偶数列画素データ DATA ( even ) とからなる同じラインの 1 ライン期間の画素データ DATA を図 1 9 ( D ) に模式的に示すように保持した後、各画素列のコンパレータ 2 0 3 の第 1 のデータ入力部に供給する。

【 0 1 6 1 】

30

階調カウンタ 2 0 4 は、図 1 9 ( E ) に示すクロック Count-CK をカウントして、同図 ( F ) に示すように複数の階調値が水平走査期間内で最小値から最大値まで順次に変化する基準階調データ C-out を水平走査期間毎に出力し、各画素列のコンパレータ 2 0 3 の第 2 のデータ入力部に供給する。コンパレータ 2 0 3 は、第 1 のデータ入力部の入力画素データ DATA の値と第 2 のデータ入力部の入力基準階調データ C-out の値 ( 階調値 ) とを比較し、両者の値が一致したタイミングで一致パルスを生じて出力する。

【 0 1 6 2 】

40

アナログスイッチ 2 0 5 を構成する正極性用及び負極性用の 2 つ 1 組のサンプリング用アナログスイッチのうち、正極性用のサンプリング用アナログスイッチは、入力側共通配線に基準ランプ電圧 Ref\_Ramp (+) が印加される。一方、負極性用のサンプリング用アナログスイッチは、入力側共通配線に基準ランプ電圧 Ref\_Ramp (-) が印加される。図 2 に示したコントローラ 6 0 内に存在する基準電圧発生回路が発生する上記の基準ランプ電圧 Ref\_Ramp (+) 及び Ref\_Ramp (-) のうち、Ref\_Ramp (+) は、図 1 9 ( I ) に示すように水平走査期間周期で映像の黒レベルから白レベルにレベルが上昇する方向に変化する周期的な掃引信号である。一方、上記の基準ランプ電圧 Ref\_Ramp (-) は、図 1 9 ( J ) に示すように水平走査期間周期で映像の黒レベルから白レベルにレベルが減少する方向に変化する周期的な掃引信号である。従って、基準ランプ電圧 Ref\_Ramp (+) と Ref\_Ramp ( ) は、所定の基準電位について反転関係となっている。

【 0 1 6 3 】

アナログスイッチ 2 0 5 は、図 1 9 ( G ) に示す SW-Start 信号を受け、水平走査期間の開始時点で一斉にオンとなった後、コンパレータ 2 0 3 から一致パルスを受けた時点でオフに移行するように開閉制御される。図 1 9 のタイミングチャートでは、一例として階調

50

レベルkの画素データDATAに対応した画素列のアナログスイッチ205の開閉タイミングを、同図(H)に示す波形SPkとして図示している。その結果、上記画素列のアナログスイッチ205を構成する正極性用及び負極性用の2つ1組のサンプリング用アナログスイッチが、上記一致パルスを受けて同時にオフした時点の基準ランプ電圧Ref\_Ramp(+)とRef\_Ramp(-)の対応レベル(図19(I)、(J)の点P、点Q)が、同時にサンプリングされて、その画素列の画素データ線D(+)、D(-)に出力される。

#### 【0164】

以上、構成と動作について説明した本実施例の水平ドライバ回路によれば、簡易な構成で各画素に正負両極性の画素データを供給することができる。また、本実施例の水平ドライバ回路によれば、図17に示すように液晶表示装置への映像入力をデジタル信号でインターフェイスすることが可能で、外部駆動回路で高帯域の映像信号を高精度で処理するためのアナログ回路ブロックが不要となるため、回路コストを低減することができる。

10

#### 【0165】

次に、本発明になる液晶表示装置における水平ドライバ回路の他の実施例について説明する。図20は、本発明になる液晶表示装置における水平ドライバ回路の他の実施例の回路図を示す。同図中、図18と同一構成部分には同一符号を付し、その説明を省略する。図20に示す水平ドライバ回路は、基準ランプ電圧Ref\_Ramp(+)、Ref\_Ramp(-)の給電線が各々複数(ここでは2つ)に分割されている点が、図18に示した水平ドライバ回路と異なる。

20

#### 【0166】

図20において、正極性基準ランプ電圧Ref\_Ramp1(+ )の給電線は水平方向の偶数列画素に対応するアナログスイッチ205aの入力端子に接続され、もう一方の正極性基準ランプ電圧Ref\_Ramp2(+ )の給電線は水平方向の奇数列画素に対応するアナログスイッチ205bの入力端子に接続されている。同様に、負極性基準ランプ電圧Ref\_Ramp1(- )の給電線は水平方向の偶数列画素に対応するアナログスイッチ205aの入力端子に接続され、もう一方の負極性基準ランプ電圧Ref\_Ramp2(- )の給電線は水平方向の奇数列画素に対応するアナログスイッチ205bの入力端子に接続されている。

#### 【0167】

図18に示した水平ドライバ回路によれば、一様な中間調画面(グレー)を表示しようとすると、該当する階調レベルに対応する画素列のアナログスイッチ205がオフに移行するまでの期間、全アナログスイッチ205がオン状態である期間が継続する。この継続するオン期間は、アナログスイッチ205の出力側の画素データ線が基準ランプ電圧給電線に対して負荷として働く。このため、上記ドライバ回路によれば、一様な中間調画面(グレー)を表示する場合、基準ランプ電圧波形が負荷によって遅延し、本来のグレーより輝度が低下する可能性がある。

30

#### 【0168】

一方、水平方向に上記グレーと黒が混在する絵柄を表示する場合には、黒に相当する画素列のアナログスイッチ205が先行してオフとなり、基準ランプ電圧給電線の負荷が切り離されて低減するので、グレー部分の輝度は増加する。これによって、上記ドライバ回路によれば、黒の両側に表示されるグレーは、水平方向全体にわたって一様に表示されるグレーより明るめとなり、所謂「横引き」状の画像ノイズが発生する可能性がある。

40

#### 【0169】

これに対し、図20に示す本実施例の水平ドライバ回路では、基準ランプ電圧給電線を2つのグループに分割する構成のため、各画素列のアナログスイッチ205a、205bがオンの期間に基準ランプ電圧給電線に接続される負荷が低減し、基準ランプ電圧波形の遅延が小さくなる。これにより、本実施例の水平ドライバ回路によれば、上記の「横引き」状ノイズを軽減した高画質な表示特性が実現できる。

#### 【0170】

なお、本実施例では各極性に対する基準ランプ電圧給電線を各々2つに分割した例を示したが、分割数を更に増やすことで更に良好な表示特性を得ることも可能である。

50

## 【 0 1 7 1 】

次に、本発明になる液晶表示装置における水平ドライバ回路への基準電圧給電に関する実施例について説明する。

## 【 0 1 7 2 】

図 2 1 は、本発明になる液晶表示装置における水平ドライバ回路への基準電圧給電に関する一実施例の構成図を示す。同図中、図 1 7 及び図 1 8 と同一構成部分には同一符号を付し、その説明を省略する。本実施例は、図 1 8 に示した水平ドライバ回路を構成するアナログスイッチ 2 0 5 への基準ランプ電圧給電線に、その基準ランプ電圧給電線の長手方向（画素列の配列方向）について位置の異なる複数の給電点（X 1 及び X 2、Y 1 及び Y 2）を設けた点に特徴がある。

10

## 【 0 1 7 3 】

図 1 8 に示した水平ドライバ回路においては、各画素列のアナログスイッチ 2 0 5 のオン期間には、前記のとおり、基準ランプ電圧給電線に大きな負荷が接続された状態となり、給電線の配線方向の抵抗成分で基準ランプ電圧の伝達特性が一様とならず、給電点から遠い画素列ほど基準ランプ電圧波形に対する追従性が悪くなる、という問題がある。すなわち、基準ランプ電圧の給電特性は、基準ランプ電圧給電線の配線長方向に沿って変化する。一方、基準ランプ電圧給電線の水平方向の配線長は表示部の水平サイズと同等となるため、基準ランプ電圧給電線の配線長は長くなる。従って、上記「横引き」状のノイズは、基準ランプ電圧給電線の給電点から遠い画素部では容易には回避できない。例えば、シート抵抗 10 0 m のアルミニウム配線で、配線幅 1 0 ミクロン、配線長 2 0 m m の配線

20

## 【 0 1 7 4 】

そこで、図 2 1 に示す実施例では、入力端子部 2 2 1 の正極性基準ランプ電圧 Ref\_Ramp (+) 入力端子に接続された正極性基準ランプ電圧給電線の両端に給電点 X 1 及び X 2 を設けると共に、入力端子部 2 2 1 の負極性基準ランプ電圧 Ref\_Ramp (-) 入力端子に接続された負極性基準ランプ電圧給電線の両端に給電点 Y 1 及び Y 2 を設ける構成としている。この構成により、本実施例によれば、基準ランプ電圧給電線の配線長方向の抵抗成分の影響が緩和されるため、上記「横引き」状のノイズが大幅に低減され、より高画質の表示が可能となる。

30

## 【 0 1 7 5 】

なお、図 2 1 に示す実施例は給電点を給電線の両端 2 箇所としているが、必要に応じてそれより多い給電点を設けてもよい。また、本実施例は図 2 0 に示したような上記給電線を複数にグループ分割する構成と併用してもよい。更に、本実施例では外部回路と接続する入力端子部 2 2 1 を各基準ランプ電圧給電線に対して 1 つとしているが、入力端子部を複数割り当てて、複数の入力端子部を用いて給電してもよい。

## 【 図面の簡単な説明 】

## 【 0 1 7 6 】

【 図 1 】 本発明の液晶表示装置における画素回路の第 1 の実施の形態の回路図である。

【 図 2 】 本発明の液晶表示装置に用いられる液晶駆動素子の一実施の形態の基本構成図である。

40

【 図 3 】 図 1 に示した第 1 の実施の形態の画素回路をより詳細に表した詳細回路図である。

【 図 4 】 本発明の液晶表示装置における画素回路の第 2 の実施の形態の詳細回路図である。

【 図 5 】 本発明の液晶表示装置における画素回路の第 3 の実施の形態の回路図である。

【 図 6 】 画素回路として図 5 の回路を用いた本発明の液晶表示装置の一実施の形態の要部の構成図である。

【 図 7 】 本発明の液晶表示装置の交流駆動制御の概要を説明するためのタイミングチャートである。

50

【図 8】液晶表示装置の画素に書込まれる正極性映像信号と、負極性映像信号の黒レベルから白レベルまでの関係を示す図である。

【図 9】本発明の液晶表示装置の要部の一実施の形態の構成図である。

【図 10】図 9 の各部の信号のタイミングチャートである。

【図 11】本発明の液晶表示装置の画素駆動電極と共通電極の極性切り替えの相互タイミング制御の適正化の一例について説明するタイミングチャートである。

【図 12】図 11 で説明した本発明の一実施の形態によるタイミング制御を実現するタイミング発生回路の回路図である。

【図 13】本発明の液晶表示装置における映像信号の書き込み動作と画素極性切り替えの同期動作のタイミング制御の実施例を説明するタイミングチャートである。

【図 14】図 13 で説明した映像信号の書き込みタイミングと画素極性切り替えタイミングとを同期制御するためのタイミング制御回路の回路図である。

【図 15】垂直走査周期毎に各走査ラインについて走査時点の極性切り替えの極性を反転させる駆動制御の実施例を説明するタイミングチャートである。

【図 16】図 15 で説明した動作タイミング制御を行う実施例のタイミング制御回路の回路図である。

【図 17】本発明の液晶表示装置の一実施例の全体構成図である。

【図 18】図 17 中の水平ドライバ回路の回路図である。

【図 19】図 17 及び図 18 の動作説明用タイミングチャートである。

【図 20】本発明の液晶表示装置における水平ドライバ回路の他の実施例の回路図である。

【図 21】本発明の液晶表示装置における水平ドライバ回路への基準電圧給電に関する一実施例の構成図である。

【図 22】従来液晶表示装置に用いられる液晶駆動素子の一例の基本構成図である。

【図 23】液晶表示装置の画素を構成する液晶素子の一例の構成図である。

【符号の説明】

【0177】

1 - 1 a , 1 - 1 b , 1 - 2 a , 1 - 2 b ビデオスイッチ

4、PE 反射電極（画素駆動電極）

5 a . 5 b 水平信号線

6 - 1 a , 6 - 1 b , 6 - 2 a , 6 - 2 b、D1(+)-Dm(+), D1(-)-Dm(-), Di+, Di-

7 共通電極線

8 - 1 , 8 - 2、Gj、G1~Gn ゲート線

10 水平方向駆動回路

20 垂直方向駆動回路

30 画素部

41、42、51、52 画素

60 コントローラ回路

71 a 正側の映像信号（正極性映像信号）

71 b 負側の映像信号（負極性映像信号）

81、206 画素回路

90 - 1 ~ 90 - h 分割画素部

91 a、91 b、91 c シフトレジスタ

100 タイミング発生回路

101 ~ 105、133 D型フリップフロップ（D-FF）

106、107、137 インバータ

108、109 AND回路

110 排他的論理和回路

120、130 タイミング制御回路

10

20

30

40

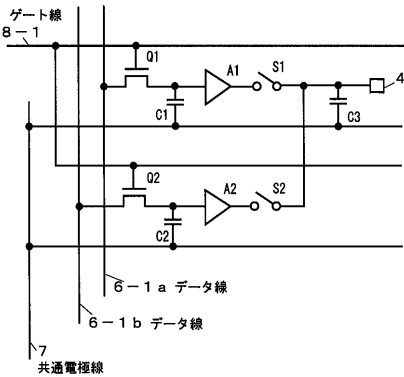
50

- 1 2 1、1 3 1 2 n分周回路
- 1 3 2 極性制御回路
- 1 3 4 ~ 1 3 6 セレクタ回路
- 2 0 0 液晶表示装置
- 2 0 1 a、2 0 1 b シフトレジスタ回路
- 2 0 2 1ラインラッチ回路
- 2 0 3 コンパレータ
- 2 0 4 階調カウンタ
- 2 0 5 アナログスイッチ
- 2 0 7 タイミング発生器
- 2 0 8 極性切り替え制御回路
- 2 0 9 垂直シフトレジスタ/レベルシフタ
- 2 2 1 入力端子部
- S 1 , S 2 切り替えスイッチ
- C 1 , C 2 , C 3 , C s1 , C s2 信号保持容量
- A 1 , A 2 バッファアンプ
- Q 1 , Q 2 画素選択トランジスタ
- Q 3 , Q 4 バッファアンプ用トランジスタ
- Q 5 , Q 6 スwitching用トランジスタ
- Q 7 , Q 8 定電流源負荷用トランジスタ
- Q 9 定電流源トランジスタ
- Q 1 0 検査用スitchingトランジスタ
- C E 共通電極 (対向電極)
- L C M 液晶表示体 (液晶層)

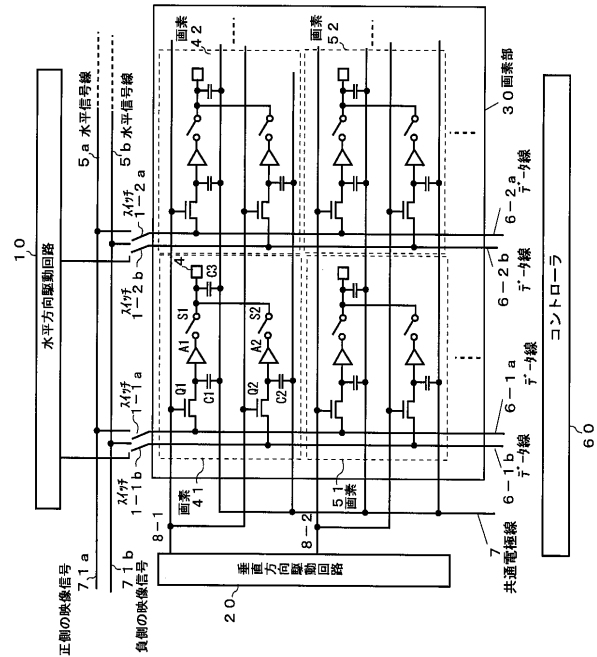
10

20

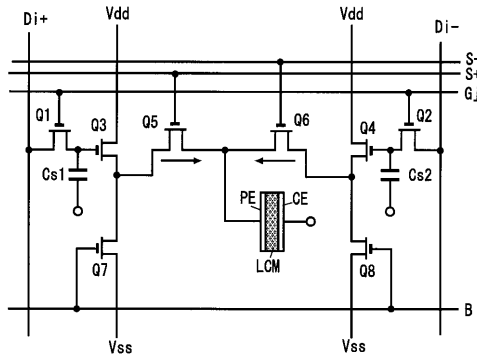
【 図 1 】



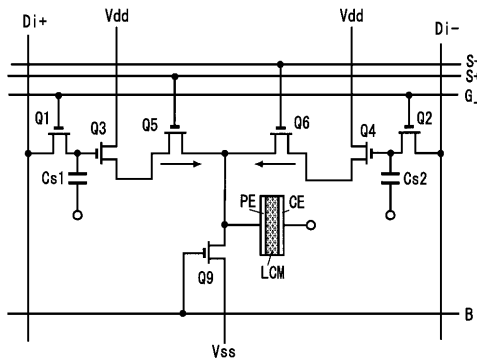
【 図 2 】



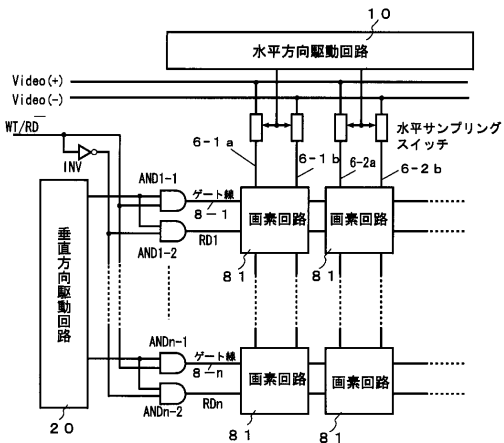
【 図 3 】



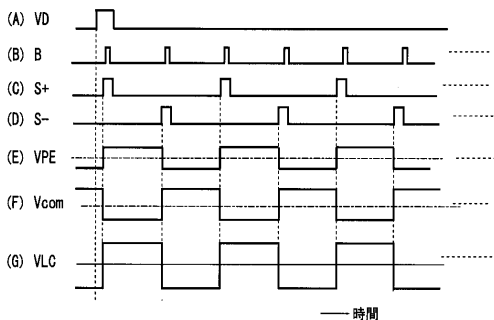
【 図 4 】



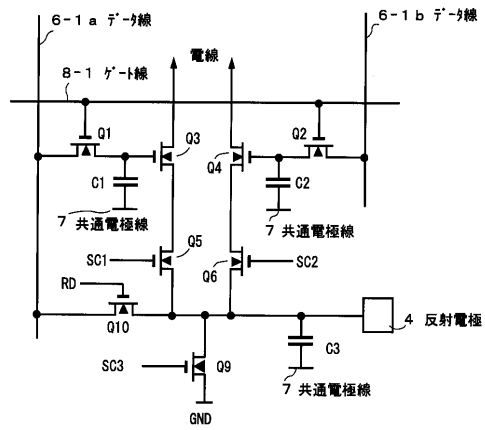
【 図 6 】



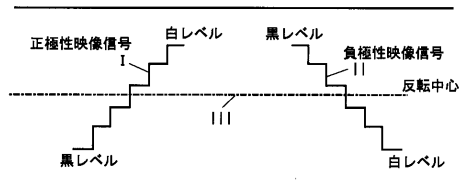
【 図 7 】



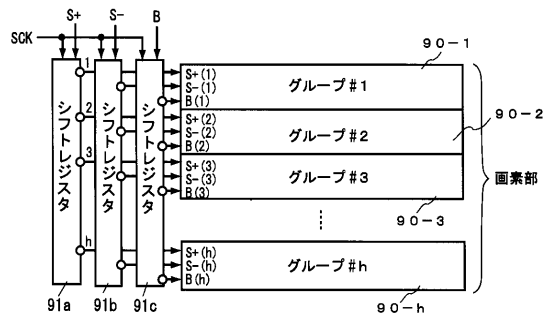
【 図 5 】



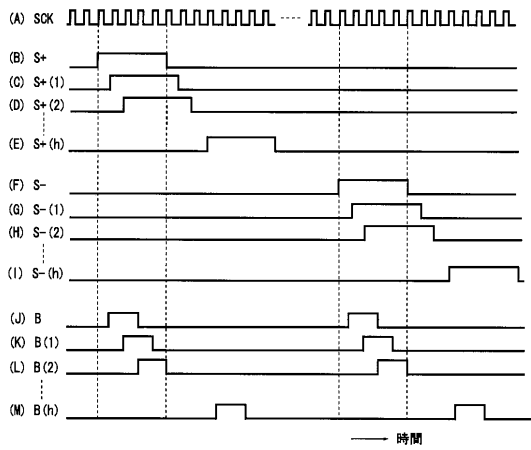
【 図 8 】



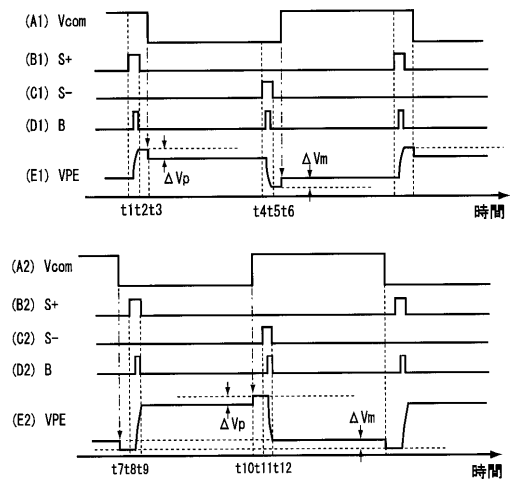
【 図 9 】



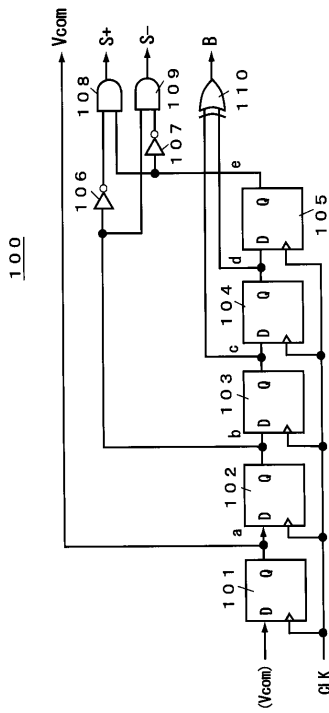
【図 1 0】



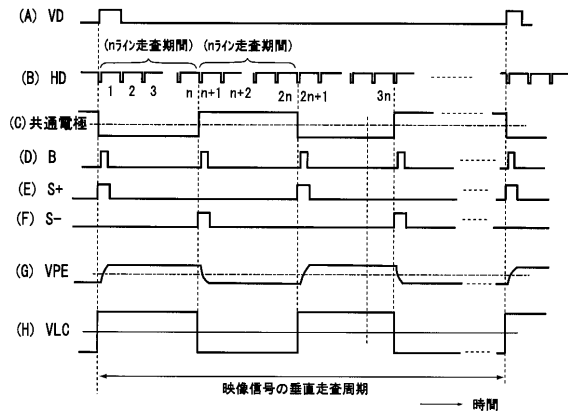
【図 1 1】



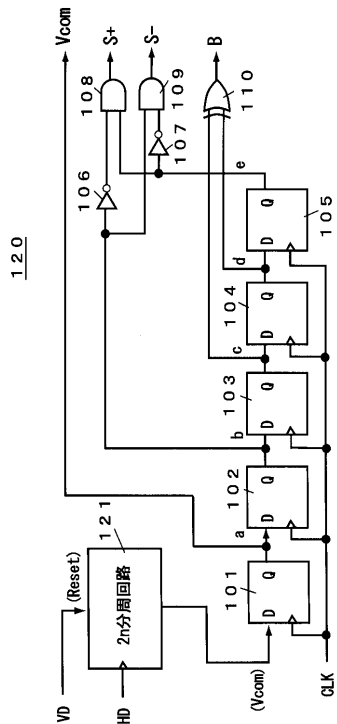
【図 1 2】



【図 1 3】

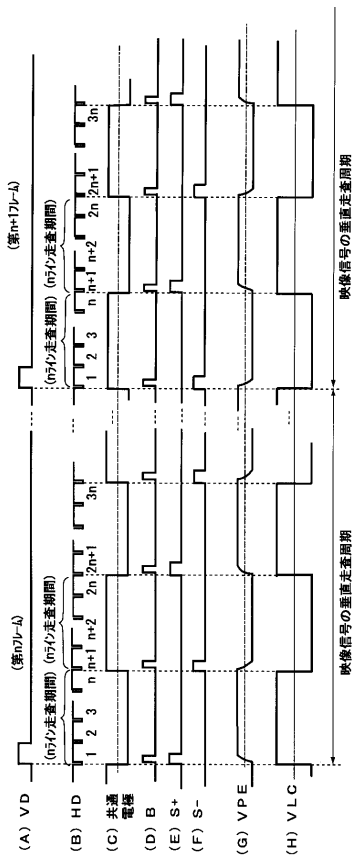


【 図 1 4 】

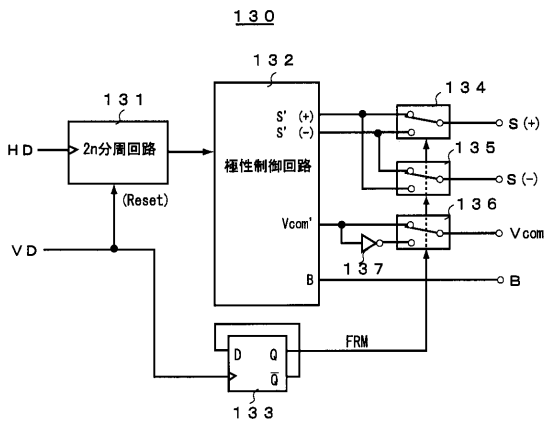


120

【 図 1 5 】

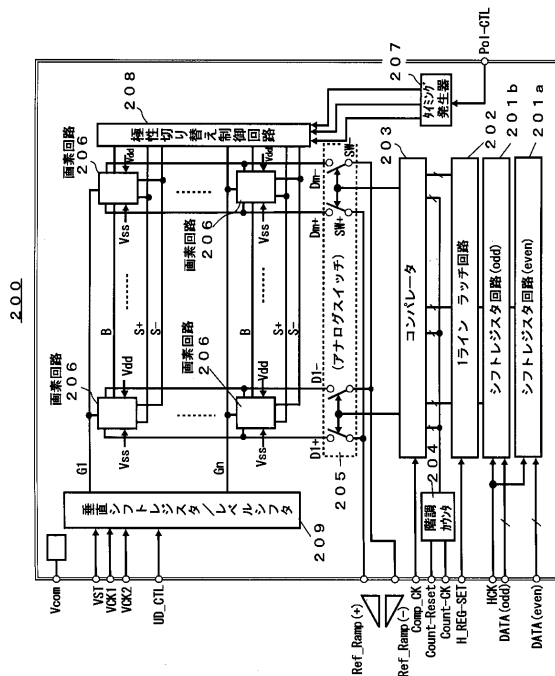


【 図 1 6 】



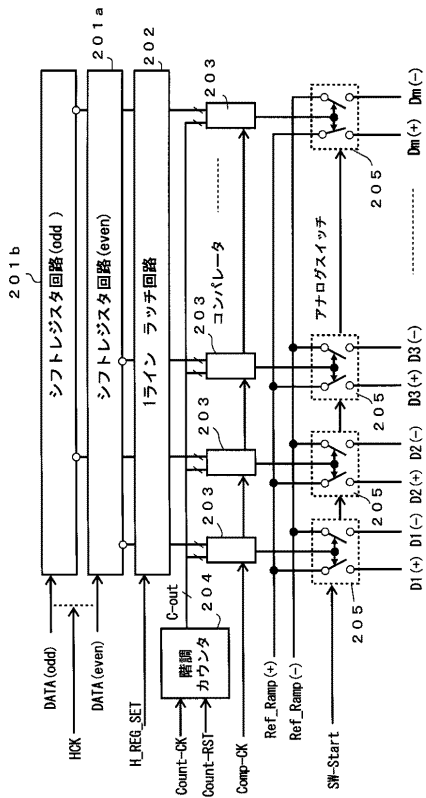
130

【 図 1 7 】

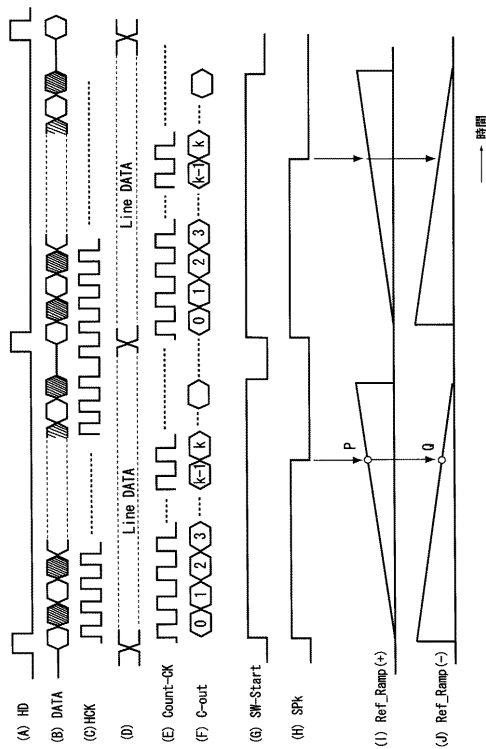


200

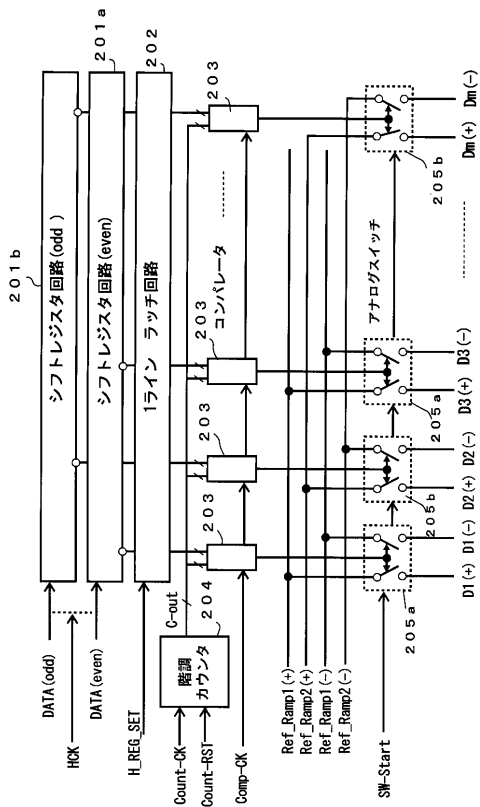
【 図 1 8 】



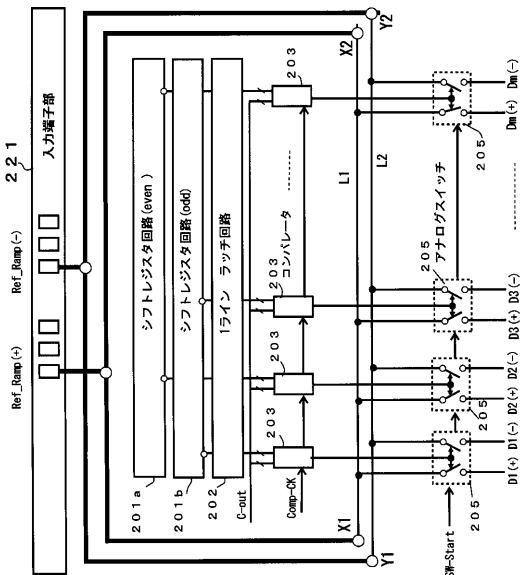
【 図 1 9 】



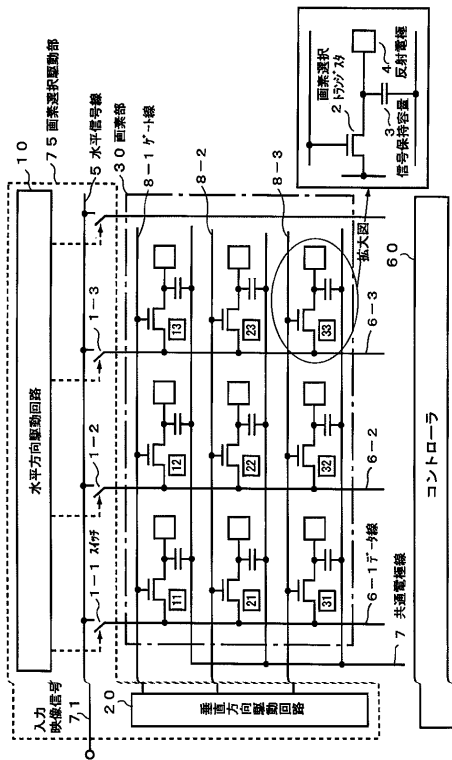
【 図 2 0 】



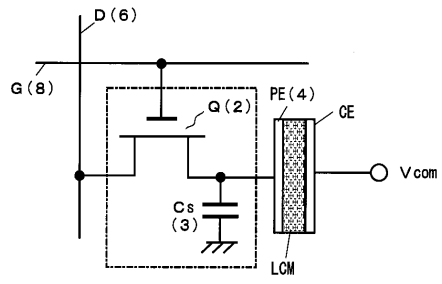
【 図 2 1 】



【 図 2 2 】



【 図 2 3 】



## フロントページの続き

| (51)Int.Cl. | F I          | テーマコード(参考) |
|-------------|--------------|------------|
|             | G 0 9 G 3/20 | 6 2 3 A    |
|             | G 0 9 G 3/20 | 6 2 3 B    |
|             | G 0 9 G 3/20 | 6 2 2 K    |
|             | G 0 9 G 3/20 | 6 2 3 H    |
|             | G 0 9 G 3/20 | 6 2 3 G    |
|             | G 0 9 G 3/20 | 6 2 4 B    |
|             | G 0 9 G 3/20 | 6 2 3 R    |
|             | G 0 9 G 3/20 | 6 2 4 D    |
|             | G 0 9 G 3/20 | 6 2 2 D    |
|             | G 0 9 G 3/20 | 6 4 1 C    |
|             | G 0 9 G 3/20 | 6 7 0 K    |
|             | G 0 9 G 3/20 | 6 1 1 H    |
|             | G 0 9 G 3/20 | 6 4 2 P    |
|             | G 0 9 G 3/20 | 6 7 0 B    |

- (72)発明者 堀 義弘  
神奈川県横浜市神奈川区守屋町3丁目12番地 日本ビクター株式会社内
- (72)発明者 小堺 隆  
神奈川県横浜市神奈川区守屋町3丁目12番地 日本ビクター株式会社内
- (72)発明者 藤山 愛一郎  
神奈川県横浜市神奈川区守屋町3丁目12番地 日本ビクター株式会社内
- (72)発明者 片山 琢  
神奈川県横浜市神奈川区守屋町3丁目12番地 日本ビクター株式会社内
- (72)発明者 鐵 英男  
神奈川県横浜市神奈川区守屋町3丁目12番地 日本ビクター株式会社内

Fターム(参考) 2H093 NA16 NA34 NA43 NC22 NC23 NC25 NC26 NC33 NC34 NC40  
ND10 ND12 NG02  
2H193 ZA03 ZA04 ZC20 ZR02  
5C006 AA16 AC21 AC23 AC24 AC25 AC26 AF42 AF43 AF46 AF64  
BB16 BC03 BC06 BC11 BF03 BF04 BF11 BF14 BF22 BF25  
BF31 BF43 EC11 FA21 FA34  
5C080 AA10 BB06 DD05 DD06 DD15 DD19 DD28 EE29 FF11 FF12  
JJ02 JJ03 JJ04 JJ05 JJ06

|                |  |         |            |
|----------------|--|---------|------------|
| 专利名称(译)        | 液晶显示装置，液晶显示装置的驱动电路和液晶显示装置的驱动方法   |         |            |
| 公开(公告)号        | <a href="#">JP2009223289A</a>  | 公开(公告)日 | 2009-10-01 |
| 申请号            | JP2008329050   | 申请日     | 2008-12-25 |
| [标]申请(专利权)人(译) | 日本胜利株式会社   |         |            |
| 申请(专利权)人(译)    | 日本有限公司Victor公司   |         |            |
| [标]发明人         | 古屋正人<br>今野秀一<br>遠藤学<br>堀義弘<br>小堺隆<br>藤山愛一郎<br>片山琢<br>鐵英男   |         |            |
| 发明人            | 古屋 正人<br>今野 秀一<br>遠藤 学<br>堀 義弘<br>小堺 隆<br>藤山 愛一郎<br>片山 琢<br>鐵 英男   |         |            |
| IPC分类号         | G09G3/36 G02F1/133 G09G3/20  |         |            |
| CPC分类号         | G09G3/3677 G09G3/006 G09G3/3614 G09G3/3655 G09G3/3659 G09G3/3666 G09G3/3688<br>G09G2300/0814 G09G2300/0823 G09G2300/0833 G09G2300/0852 G09G2320/0233 G09G2320/0295<br>G09G2330/021   |         |            |
| FI分类号          | G09G3/36 G02F1/133.550 G09G3/20.621.B G09G3/20.623.D G09G3/20.623.L G09G3/20.623.A<br>G09G3/20.623.B G09G3/20.622.K G09G3/20.623.H G09G3/20.623.G G09G3/20.624.B G09G3/20.623.<br>R G09G3/20.624.D G09G3/20.622.D G09G3/20.641.C G09G3/20.670.K G09G3/20.611.H G09G3/20.<br>642.P G09G3/20.670.B   |         |            |
| F-TERM分类号      | 2H093/NA16 2H093/NA34 2H093/NA43 2H093/NC22 2H093/NC23 2H093/NC25 2H093/NC26 2H093<br>/NC33 2H093/NC34 2H093/NC40 2H093/ND10 2H093/ND12 2H093/NG02 2H193/ZA03 2H193/ZA04<br>2H193/ZC20 2H193/ZR02 5C006/AA16 5C006/AC21 5C006/AC23 5C006/AC24 5C006/AC25 5C006<br>/AC26 5C006/AF42 5C006/AF43 5C006/AF46 5C006/AF64 5C006/BB16 5C006/BC03 5C006/BC06<br>5C006/BC11 5C006/BF03 5C006/BF04 5C006/BF11 5C006/BF14 5C006/BF22 5C006/BF25 5C006<br>/BF31 5C006/BF43 5C006/EC11 5C006/FA21 5C006/FA34 5C080/AA10 5C080/BB06 5C080/DD05<br>5C080/DD06 5C080/DD15 5C080/DD19 5C080/DD28 5C080/EE29 5C080/FF11 5C080/FF12 5C080<br>/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 2H193/ZA07 2H193/ZA19 2H193/ZA20 2H193<br>/ZB03 2H193/ZB07 2H193/ZB16 2H193/ZC05 2H193/ZC15 2H193/ZC16 2H193/ZD23 2H193/ZE04<br>2H193/ZF12 2H193/ZF22 2H193/ZF32 2H193/ZF33 2H193/ZF35 2H193/ZF36 2H193/ZF45 2H193<br>/ZH25 2H193/ZH42 2H193/ZH44 2H193/ZH52 2H193/ZJ20 2H193/ZK03 |         |            |
| 优先权            | 2008037180 2008-02-19 JP   |         |            |
| 其他公开文献         | JP5206397B2  |         |            |
| 外部链接           | <a href="#">Espacenet</a>  |         |            |

### 摘要(译)

要解决的问题：通过交流驱动方法以比以往更高的速度驱动液晶，并改善液晶的允许变化程度和生产率。ŽSOLUTION：像素选择晶体管Q1和Q2交替接通。当像素晶体管Q1导通时，来自数据线6-1a的正视频信号被保持在保持电容器C1中。当像素晶体管Q2导通时，来自数据线6-1b的负视频信号保持在保持电容器C2中。一旦正负视频信号基于每帧一次写入保持电容器C1和C2，液晶就可以通过交流驱动方法驱动，通过交替切换转换开关S1和S2任意数量的在一个帧周期期间直到写入下一帧中的视频信号为止。液晶显示装置的对电极的电压与反转极性同步地改变，并且信号电压能够减小到传统的一半。电压或更低。Ž

