

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-42255

(P2009-42255A)

(43) 公開日 平成21年2月26日(2009.2.26)

(51) Int.Cl.	F I	テーマコード (参考)
G02F 1/1368 (2006.01)	G02F 1/1368	2H092
H01L 29/786 (2006.01)	H01L 29/78 612C	5F110
H01L 21/336 (2006.01)	H01L 29/78 627D	
	H01L 29/78 627A	

審査請求 未請求 請求項の数 13 O L (全 19 頁)

(21) 出願番号	特願2007-203805 (P2007-203805)	(71) 出願人	502356528
(22) 出願日	平成19年8月6日(2007.8.6)		株式会社 日立ディスプレイズ
			千葉県茂原市早野3300番地
		(74) 代理人	100075959
			弁理士 小林 保
		(72) 発明者	河村 哲史
			東京都国分寺市東恋ヶ窪一丁目280番地
			株式会社日立製作所中央研究所内
		(72) 発明者	佐藤 健史
			東京都国分寺市東恋ヶ窪一丁目280番地
			株式会社日立製作所中央研究所内
		(72) 発明者	波多野 睦子
			東京都国分寺市東恋ヶ窪一丁目280番地
			株式会社日立製作所中央研究所内

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

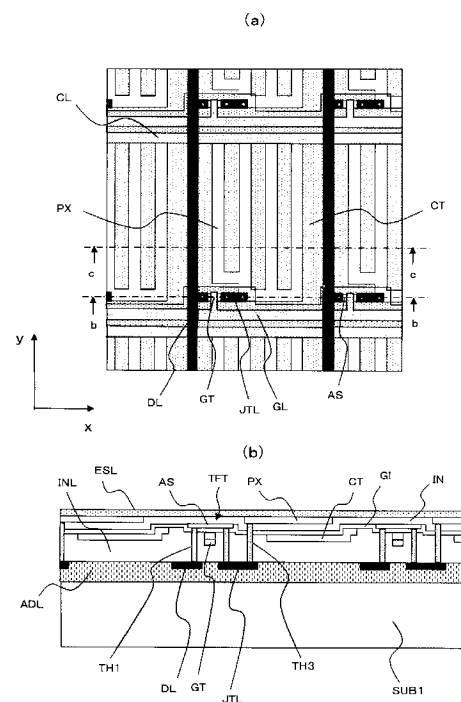
【課題】 液晶分子への電界の印加を向上させた液晶表示装置の提供。

【解決手段】 基板と、この基板の表面に被着された画素アレイを備え、

前記画素アレイは、少なくとも薄膜トランジスタとこの薄膜トランジスタに接続された画素電極を備え、

前記基板に対して、前記画素電極は薄膜トランジスタよりも上層に形成されている。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

基板と、この基板の表面に被着された画素アレイを備え、
前記画素アレイは、少なくとも薄膜トランジスタとこの薄膜トランジスタに接続された画素電極を備え、

前記基板に対して、前記画素電極は薄膜トランジスタよりも上層に形成されていることを特徴とする液晶表示装置。

【請求項 2】

前記基板と前記薄膜トランジスタとの間に少なくとも絶縁層が介在され、前記絶縁層の基板側の面には、前記薄膜トランジスタの半導体層の各導電領域と重畳して配置される金属層が形成されていることを特徴とする請求項 1 に記載の液晶表示装置。

10

【請求項 3】

前記金属層の一方はドレイン信号線であることを特徴とする請求項 2 に記載の液晶表示装置。

【請求項 4】

前記金属層の一方は薄膜トランジスタのソース領域と画素電極とを電気的に接続させる接続層であることを特徴とする請求項 2 に記載の液晶表示装置。

【請求項 5】

絶縁膜を間にして、その下層に透明導電膜からなる平板状の第 2 電極が形成され、上層に前記第 2 電極に重畳されて櫛歯状の第 1 電極が形成され、

20

前記画素電極は前記第 1 電極であることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 6】

前記第 1 電極は絶縁膜に埋設されて形成され、前記第 1 電極の表面は前記絶縁膜の表面と面一になっていることを特徴とする請求項 5 に記載の液晶表示装置。

【請求項 7】

前記絶縁膜の表面に前記第 1 電極をも被って配向膜が形成されていることを特徴とする請求項 6 に記載の液晶表示装置。

【請求項 8】

前記絶縁膜は無機材料からなることを特徴とする請求項 7 に記載の液晶表示装置。

【請求項 9】

30

前記第 1 電極は、ゲート信号線からの走査信号によってオンされる前記薄膜トランジスタを介してドレイン信号線からの映像信号が供給され、

前記第 2 電極は、前記映像信号に対して基準となる電圧が印加されることを特徴とする請求項 5 に記載の表示装置。

【請求項 10】

前記基板は樹脂材から構成されていることを特徴とする請求項 1 に記載の表示装置。

【請求項 11】

前記基板の前記画素アレイと被着される面にブラックマトリックスおよびカラーフィルタが形成されていることを特徴とする請求項 1 に記載の表示装置。

【請求項 12】

40

前記画素アレイの前記基板と被着される面にブラックマトリックスおよびカラーフィルタが形成されていることを特徴とする請求項 1 に記載の表示装置。

【請求項 13】

前記薄膜トランジスタは透明酸化膜半導体層を備え、前記第 1 電極は、前記透明酸化物半導体層と同層で形成され、少なくとも薄膜トランジスタの該透明酸化物半導体層の一方の導電領域に直付けされていることを特徴とする請求項 5 に記載の表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は液晶表示装置に係り、特に、基板の表面にたとえば接着材層を介して被着され

50

た画素アレイを備える液晶表示装置に関する。

【背景技術】

【0002】

このような液晶表示装置は、たとえばガラス等の高熱に耐える仮基板の上面にパターン化された導電層、半導体層、あるいは絶縁層等を積層させることによって画素アレイを形成し、該画素アレイの前記仮基板が形成されている側と反対側の面に新たな基板を接着材層を介して被着させ、その後、前記仮基板を除去させることによって構成される。

【0003】

このような構成からなる液晶表示装置は、前記新たな基板として、たとえば樹脂材からなる基板を用いることにより、フレキシブルで軽量の表示装置を得ることができる。

10

【0004】

このような構成の液晶表示装置は、たとえば下記特許文献1に詳細に開示されている。

【0005】

そして、下記特許文献1において、各画素の画素電極は、新たな基板の液晶側の面から比較的厚さの大きな層間絶縁膜等の下層に位置づけられた構成となっている。

【0006】

仮基板に画素アレイを形成する際に、該仮基板上に薄膜トランジスタを形成し、層間絶縁膜等を介して前記薄膜トランジスタに接続される画素電極を形成するようにしているからである。

【特許文献1】特開2004-297084号公報

20

【発明の開示】

【発明が解決しようとする課題】

【0007】

しかし、上記特許文献1に開示された液晶表示装置は、その画素電極が新たに被着された基板に近接し、液晶から遠ざかる位置に配置されている構成となっているため、該画素電極によって形成される電界の液晶の分子への影響力が小さくなり、該画素電極に印加させる電圧を大きくさせなければならないという不都合が生じる。

【0008】

また、前記液晶表示装置は、その薄膜トランジスタにおいて、たとえばバックライトからの光が半導体層に照射されやすい構成となっており、いわゆるフォトリークの対策がなされていない構成となっている。

30

【0009】

本発明は、液晶分子への電界の印加を向上させた液晶表示装置を提供することにある。

【0010】

また、本発明は、薄膜トランジスタにおけるフォトリークの発生を低減させた液晶表示装置を提供することにある。

【課題を解決するための手段】

【0011】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

40

【0012】

(1) 本発明による液晶表示装置は、たとえば、基板と、この基板の表面に被着された画素アレイを備え、

前記画素アレイは、少なくとも薄膜トランジスタとこの薄膜トランジスタに接続された画素電極を備え、

前記基板に対して、前記画素電極は薄膜トランジスタよりも上層に形成されていることを特徴とする。

【0013】

(2) 本発明による液晶表示装置は、たとえば、(1)の構成を前提とし、前記基板と前記薄膜トランジスタとの間に少なくとも絶縁層が介在され、前記絶縁層の基板側の面には

50

、前記薄膜トランジスタの半導体層の各導電領域と重畳して配置される金属層が形成されていることを特徴とする。

【0014】

(3) 本発明による液晶表示装置は、たとえば、(2)の構成を前提とし、前記金属層の一方はドレイン信号線であることを特徴とする。

【0015】

(4) 本発明による液晶表示装置は、たとえば、(2)の構成を前提とし、前記金属層の一方は薄膜トランジスタのソース領域と画素電極とを電氣的に接続させる接続層であることを特徴とする。

【0016】

(5) 本発明による液晶表示装置は、たとえば、(1)の構成を前提とし、絶縁膜を間にして、その下層に透明導電膜からなる平板状の第2電極が形成され、上層に前記第2電極に重畳されて櫛歯状の第1電極が形成され、

前記画素電極は前記第1電極であることを特徴とする。

【0017】

(6) 本発明による液晶表示装置は、たとえば、(5)の構成を前提とし、前記第1電極は絶縁膜に埋設されて形成され、前記第1電極の表面は前記絶縁膜の表面と面一になっていることを特徴とする。

【0018】

(7) 本発明による液晶表示装置は、たとえば、(6)の構成を前提とし、前記絶縁膜の表面に前記第1電極をも被って配向膜が形成されていることを特徴とする。

【0019】

(8) 本発明による液晶表示装置は、たとえば、(7)の構成を前提とし、前記絶縁膜は無機材料からなることを特徴とする。

【0020】

(9) 本発明による液晶表示装置は、たとえば、(5)の構成を前提とし、前記第1電極は、ゲート信号線からの走査信号によってオンされる前記薄膜トランジスタを介してドレイン信号線からの映像信号が供給され、

前記第2電極は、前記映像信号に対して基準となる電圧が印加されることを特徴とする。

【0021】

(10) 本発明による液晶表示装置は、たとえば、(1)の構成を前提とし、前記基板は樹脂材から構成されていることを特徴とする。

【0022】

(11) 本発明による液晶表示装置は、たとえば、(1)の構成を前提とし、前記基板の前記画素アレイと被着される面にブラックマトリックスおよびカラーフィルタが形成されていることを特徴とする。

【0023】

(12) 本発明による液晶表示装置は、たとえば、(1)の構成を前提とし、前記画素アレイの前記基板と被着される面にブラックマトリックスおよびカラーフィルタが形成されていることを特徴とする。

【0024】

(13) 本発明による液晶表示装置は、たとえば、(5)の構成を前提とし、前記薄膜トランジスタは透明酸化膜半導体層を備え、前記第1電極は、前記透明酸化膜半導体層と同層で形成され、少なくとも薄膜トランジスタの該透明酸化膜半導体層の一方の導電領域に直付けされていることを特徴とする。

【0025】

なお、本発明は以上の構成に限定されず、本発明の技術思想を逸脱しない範囲で種々の変更が可能である。

【発明の効果】

10

20

30

40

50

【0026】

このように構成した表示装置は、液晶分子への電界の印加を向上させることができる。また、薄膜トランジスタにおけるフォトリークの発生を低減させることができる。さらには、画素アレイの平面を平坦化して形成することができるようになる。

【発明を実施するための最良の形態】

【0027】

以下、本発明による液晶表示装置の実施例を図面を用いて説明をする。

【0028】

〈実施例1〉

(等価回路)

10

図2は、本発明の液晶表示装置の液晶を介して対向配置される各基板のうちいわゆるTFT基板と称される基板の液晶側の面に形成される等価回路図である。

【0029】

該基板の面において、図中x方向に延在されy方向に並設されるゲート信号線(走査信号線)GLと、図中y方向に延在されx方向に並設されるドレイン信号線(映像信号線)DLが形成されている。

【0030】

これら各ゲート信号線GLとドレイン信号線DLとで囲まれる矩形状の領域において各画素が形成される画素領域となっている。

【0031】

20

各ゲート信号線GLは、たとえば図中右側の端部において、走査信号駆動回路Vに接続され、各ゲート信号線GLにたとえば図中上側から下側へかけて順次走査信号が供給されるようになっている。

【0032】

各ドレイン信号線DLは、たとえば図中下側の端部において、映像信号駆動回路Heに接続され、前記走査信号のそれぞれの供給のタイミングに合わせて各ドレイン信号線DLに映像信号が供給されるようになっている。

【0033】

前記各画素領域には、図中点線丸を拡大して示した図に示すように、ゲート信号線GLからの走査信号の供給によってONされる薄膜トランジスタTFTと、このONされた薄膜トランジスタTFTを介してドレイン信号線DLからの映像信号が供給される画素電極PXと、この画素電極PXとの間に電界を生じせしめるコモン電極CTとを備えている。

30

【0034】

コモン電極CTはたとえば前記ゲート信号線GLと平行に配置されたコモン信号線CLを介して前記映像信号に対して基準となる電圧が印加されるようになっている。

【0035】

なお、図2において示される走査信号駆動回路V、映像信号駆動回路Heは必ずしも前記基板上に形成されていなくてもよい。

【0036】

(画素の構成)

40

図1はTFT基板における画素の一実施例を示す構成図で、(a)は平面図、(b)は(a)のb-b線における断面図である。

【0037】

まず、樹脂からなるフレキシブルな基板SUB1があり、この基板SUB1の液晶側の面に接着材層ADLが形成されている。

【0038】

そして、この接着材層ADLの表面に、図中y方向に延在しx方向に並設されるドレイン信号線DL、後述の薄膜トランジスタTFTの形成領域の近傍に配置される接続層JTLが形成されている。

【0039】

50

前記ドレイン信号線 D L は、後述の薄膜トランジスタ T F T の形成領域の近傍において該薄膜トランジスタ T F T 側へ突出部を有するパターンで形成されている。この突出部は前記薄膜トランジスタ T F T のドレイン領域に接続されるための接続部として機能するようになっている。

【0040】

なお、該ドレイン信号線 D L の突出部は、図 1 (a) に示すように、後述の半導体層 A S の一部を充分に覆うように形成され、これにより、前記基板 S U B 1 側からの光が前記半導体層 A S に照射されるのを回避できるようになっている。

【0041】

前記接続層 J T L は、後述の薄膜トランジスタ T F T のソース領域と後述の画素電極 P X を電氣的に接続させる接続部として機能するようになっている。

10

【0042】

また、この接続層 J T L も、図 1 (a) に示すように、後述の半導体層 A S の一部を充分に覆うように形成され、これにより、前記基板 S U B 1 側からの光が前記半導体層 A S に照射されるのを回避できるようになっている。

【0043】

前記ドレイン信号線 D L と接続部 J T L は、いずれもたとえば A l からなり、前記接着材層 A D L に埋設されて形成され、それらの各表面は前記接着材層 A D L の表面と面一になるようにして形成されている。

【0044】

そして、前記接着材層 A D L の上面には、前記前記ドレイン信号線 D L と接続部 J T L を被って、絶縁膜 I N L が形成されている。

20

【0045】

前記絶縁膜 I N L の表面には、薄膜トランジスタ T F T のゲート電極 G T、このゲート電極 G T と接続されるゲート信号線 G L、コモン電極 C T、このコモン電極 C T と接続されるコモン信号線 C L が形成されている。

【0046】

ゲート信号線 G L とゲート電極 G T はそれぞれ基板 S U B 1 側からたとえば M o 合金およびたとえば I T O (Indium Tin Oxide) からなる透明導電膜の順次積層体から構成されている。

30

【0047】

コモン信号線 C L は基板 S U B 1 側からたとえば M o 合金および I T O からなる透明導電膜の順次積層体から構成され、コモン電極 C T は前記コモン信号線 C L を構成する前記透明導電膜が該コモン信号線 C L の形成領域の外方に延在されることによって構成されている。

【0048】

また、該コモン電極 C T は、薄膜トランジスタ T F T の形成領域を回避させ、図中 x 方向に並設される各画素における各コモン電極 C T と共通に接続されて形成されている。これにより、該コモン電極 C T は、各画素領域のほぼ全域に形成された板状の電極として形成されている。

40

【0049】

また、コモン電極 C T が図中 x 方向に並設される各画素において共通に接続されていることにより、各コモン電極 C T は図 2 に示したコモン信号線 C L を内在された構成となっている。

【0050】

この場合、前記透明導電膜は、前記絶縁膜 I N L に埋設されて形成され、該透明導電膜の表面は該絶縁膜 I N L の表面と面一になっている。

【0051】

前記絶縁膜 I N L の上面には、前記透明導電膜を被って絶縁膜 G I が形成されている。この絶縁膜 G I は薄膜トランジスタ T F T の形成領域においてゲート絶縁膜として機能す

50

るものである。

【0052】

前記絶縁膜 G I の上面の薄膜トランジスタ T F T の形成領域に半導体層 A S が埋設されて形成され、この半導体層 A S の表面は前記絶縁膜 G I の表面と面一になっている。

【0053】

該半導体層 A S は前記ゲート電極 G T のほぼ中央を跨いで形成され、該半導体層 A S の該ゲート電極 G T に対する一方の側の領域（ドレイン領域）は前記絶縁膜 G I および絶縁膜 I N に形成されているスルーホール T H 1 を通してドレイン信号線 D L の一部に接続され、他方の領域（ソース領域）は前記絶縁膜 G I および絶縁膜 I N に形成されているスルーホール T H 2 を通して前記接続層 J T L の一端に接続されている。

10

【0054】

なお、薄膜トランジスタ T F T において、そのドレイン領域およびソース領域は、バイアスの印加によってそれらが入れ替わるものであるが、この明細書では、便宜上、ドレイン信号線 D L と接続される側をドレイン領域とし、後述の画素電極 P Z X と接続される側をソース領域とする。

【0055】

前記絶縁膜 G I の上面には前記半導体層 A S を被って絶縁膜 I N が形成され、この絶縁膜 I N の上面には画素電極 P X が該絶縁膜 I N に埋設されて形成され、該画素電極 P X の表面は該絶縁膜 I N の表面と面一になっている。

【0056】

該画素電極 P X は、板状電極からなる前記コモン電極 C T に重畳されたたとえば櫛歯状のパターンとして形成されている。

20

【0057】

そして、該画素電極 P X の一部は前記絶縁膜 I N 、絶縁膜 G I 、絶縁膜 I N L に形成されているスルーホール T H 3 を通して前記接続層 J T L の他端に接続されている。

【0058】

このように、前記画素電極 P X は絶縁膜 I N に埋設されて形成され、換言すれば、絶縁膜 I N の上面に形成された該画素電極 P X は、それがパターン化されて形成されているにも拘わらず、絶縁膜 I N と段差を有することなく形成されている。すなわち、画素電極 P X が形成された面は完全な平坦化を実現できる構成となっている。

30

【0059】

前記絶縁膜 I N の上面には、前記画素電極 P X を被ってエッチストップ層 E S L が形成されている。

【0060】

このエッチストップ層 E S L は、T F T 基板の製造の工程において、図示しない仮基板 T M S をエッチングする際にそのストッパーとなる層として設けられるもので、本実施例の構成においてそのまま残存させているものとなっている。

【0061】

このため、このエッチストップ層 E S L は必ずしも存在させておく必要のないものであり、なくてもよい。

40

【0062】

しかし、本実施例の構成のように、該エッチストップ層 E S L を残存させておくようにしても、その表面は完全に平坦化がなされた構成となっている。

【0063】

そして、図示されていないが、前記エッチストップ層 E S L の表面には配向膜 O R I 1 が形成されている（図 6 参照）。この配向膜 O R I 1 は液晶 L C と直接に接触する膜で、該液晶 L C の分子の初期配向方向を決定させるようになっている。そして、この配向膜 O R I 1 においても完全に平坦化がなされた状態で形成することができ、該液晶 L C の分子の初期配向方向への設定を信頼性よく行う効果を奏する。

【0064】

50

このように構成したTFT基板は、その液晶側の面において完全に平坦化が図れることは上述した通りである。そして、液晶側の面に平坦化を図る技術としてたとえばコモン電極CTと画素電極PXとの間の層間絶縁膜として樹脂膜等の材料を用いることが知られている。

【0065】

しかし、本実施例では、前記層間絶縁膜としてたとえば SiO_2 、 SiN 等の無機材料を用いるようにしても、液晶側の面において平坦化を図ることができるようになる。そして、この場合、コモン電極CTおよび画素電極PXとの重畳領域において形成される容量を大きな値とできる効果を奏する。

【0066】

このように構成した液晶表示装置は、画素電極PXが薄膜トランジスタTFTより上層に形成され、該画素電極PXによって生じる電界の液晶への影響力を向上させることができる。

【0067】

(製造方法)

図3ないし図5は、上述した液晶表示装置のTFT基板の製造方法の一実施例を示した工程図である。

【0068】

図3および図4の各工程において、その左側の図は断面図、右側の図は平面図であり、前記断面図は前記平面図に示す一点鎖線の箇所における断面図となっている。また、図5の各工程においては、その平面図は図4(c)における平面図と同様であることから、その図示を省略している。

【0069】

以下、工程順に説明をする。

【0070】

工程1. (図3(a))

まず、たとえばガラスからなる仮基板TMSを用意する。そして、該仮基板TMSの一方の表面の全域にたとえば窒化シリコン(SiN)膜からなるエッチストップ層ESLを形成する。

【0071】

このエッチングストップ層ESLは、前記仮基板TMSをエッチングする際に該エッチングストップ層ESLの上面に形成される画素の構成体(画素アレイ)を保護するもので、約 550°C までの耐熱性を有し前記仮基板TMSの材料に対しエッチングレートが低い材料であればよい。

【0072】

工程2. (図3(b))

前記エッチングストップ層ESLの上面の全域にたとえばスパッタリング法を用いてたとえばITO(Indium Tin Oxide)からなる透明導電膜を形成する。

【0073】

そして、前記透明導電膜をフォトリソグラフィ技術による選択エッチングによってパターン化することによって画素電極PXを形成する。

【0074】

工程3. (図3(c))

前記画素電極PXを被って前記エッチングストップ層ESLの上面に絶縁膜INを形成する。この絶縁膜INはたとえば酸化シリコン(SiO_2)膜あるいは窒化シリコン(SiN)膜からなり、たとえばプラズマCVD法を用いて形成する。

【0075】

そして、プラズマCVD法を用いて前記絶縁膜INの上面の全域にたとえばアモルファスSi膜を約 $50\sim 100\text{nm}$ の厚さに成膜する。なお、他の実施例として、この後、該アモルファスSi膜にたとえばエキシマレーザアニール(ELA)を施し結晶化させるよ

10

20

30

40

50

うにしてもよい。

【0076】

さらに、フォトリソグラフィ技術による選択エッチングにより前記アモルファスSi膜を島状にパターン化し、薄膜トランジスタTFETの半導体層ASを形成する。

【0077】

工程4. (図4(a))

前記半導体層ASを被って前記絶縁膜INの上面にたとえば酸化シリコン(SiO₂)膜あるいは窒化シリコン(SiN)膜からなる絶縁膜GIを形成する。

【0078】

この絶縁膜GIは薄膜トランジスタTFETの形成領域においてゲート絶縁膜として機能するもので、たとえばプラズマCVD法を用いて約100nmの厚さに成膜される。

【0079】

前記絶縁膜GIの上面にたとえばITO(Indium Tin Oxide)からなる透明導電膜およびたとえばMo合金層を順次形成し、これらの各層をいわゆるハーフトーンマスクを用いたフォトリソグラフィ技術による選択エッチングによってそれぞれ所定のパターンに形成する。

【0080】

すなわち、前記透明導電膜によって、薄膜トランジスタTFETのゲート電極GTおよびコモン電極CTを形成するとともに、前記Mo合金層によって、前記ゲート電極GTに積層されるゲート信号線GLおよび前記コモン電極CTに積層されるコモン信号線CLを形成する。

【0081】

なお、前記ゲート電極GTは前記半導体層ASのほぼ中央を横切って形成され、その後の工程において、前記ゲート電極GTをマスクとして薄膜トランジスタTFETのドレイン領域、ソース領域に不純物をドーピングする工程を有するようにしてもよい。また、LD領域を形成する工程を含ませるようにしてもよい。

【0082】

工程5. (図4(b))

前記ゲート電極GT、ゲート信号線GL、コモン電極CT、およびコモン信号線CLを被って前記絶縁膜GIの上面に、たとえばプラズマCVD法を用いて、酸化シリコン(SiO₂)膜あるいは窒化シリコン(SiN)膜からなる層間絶縁膜INLを形成する。

【0083】

この場合、該層間絶縁膜INLとしてエポキシ系、アクリル系、ポリイミド系、あるいはこれらの積層体による有機樹脂層を形成するようにしてもよい。

【0084】

そして、この層間絶縁膜INLにスルーホールTH1、TH2、TH3を形成し、これらスルーホールTH1、TH2、TH3によって、それぞれ、前記薄膜トランジスタTFETの前記半導体層ASにおけるドレイン領域およびソース領域のそれぞれの一部、および前記画素電極PXの一部を露出させるようにする。

【0085】

工程6. (図4(c))

前記スルーホールTH1、TH2、TH3を被って前記層間絶縁膜INLの上面にたとえばAl層を形成し、このAl層をフォトリソグラフィ技術による選択エッチング法によってパターン化する。

【0086】

すなわち、パターン化された前記Al層によって、前記薄膜トランジスタTFETのドレイン領域に接続されたドレイン信号線DLを形成するとともに、前記薄膜トランジスタTFETのソース領域と画素電極PXとを接続させる接続層JTLを形成する。

【0087】

これにより、仮基板TMSの上面にはマトリックス状に配置された各画素が形成され、

10

20

30

40

50

以下、この明細書において仮基板 T M S の上面に形成された各画素の構造体を画素アレイ P A と称する場合がある。そして、この画素アレイ P A は前記エッチングストップ層 E S L が形成されている場合と形成されていない場合を含む。

【0088】

工程 7. (図 5 (a))

前記層間絶縁膜 I N の上面に前記ドレイン信号線 D L および接続層 J T L を被って接着材を塗布し接着材層 A D L を形成する。

【0089】

前記接着材としてはたとえば U V 硬化型のエポキシ樹脂を用いるのが適当である。また、これに限らず、アクリル系、ポリイミド系などの有機樹脂、あるいはそれらの積層体であつてもよい。

10

【0090】

工程 8. (図 5 (b))

たとえば P E T 等からなるフレキシブルな基板 S U B 1 を用意し、この基板 S U B 1 の一方の面に、前記画素アレイ P A の接着材層 A D L が形成された面を対向させる。そして、前記画素アレイ P A とフレキシブル基板 S U B 1 を前記接着材層 A D L を介して相互に接着させる。

【0091】

工程 9. (図 5 (c))

前記基板 S U B 1 を保護テープ等を用いて覆い、仮基板 T M S をエッチングによって完全に除去する。これにより、前記基板 S U B 1 を新たな基板とする画素アレイ P A ' が形成される。該画素アレイ P A ' は前述した画素アレイ P A に対して反転された位置関係を有するようになっている。

20

【0092】

この工程では、該画素アレイ P A ' の表面 (前記基板 S U B 1 と反対の面) にはエッチストップ層 E S L が残存するが、これをそのままにしてもよく、また、除去するようにしてもよい。

【0093】

(カラーフィルタ基板との組立構成)

図 6 は、前記 T F T 基板を液晶を介してカラーフィルタ基板である F I L 基板と組み立てて液晶表示装置として機能させた要部断面図を示している。

30

【0094】

図 6 (a) は図 1 の b - b 線における箇所の断面に相当し、図 6 (b) は図 1 の c - c 線における箇所の断面に相当している。

【0095】

図 6 (a)、(b) 中、T F T 基板は、基板 S U B 1 に接着材層 A D L を介して画素アレイ P A ' を備えたものとして構成されている。その構成の詳細は図 1 に示した通りである。

【0096】

なお、該 T F T 基板が図 1 に示したのと異なる部分は、その液晶 L C 側の面のエッチストップ層 E S L の上面に配向膜 O R I 1 が形成されていることにある。

40

【0097】

そして、F I L 基板は前記 T F T 基板と液晶 L C を介して対向配置されて構成されている。

【0098】

すなわち、たとえば樹脂からなる基板 S U B 2 があり、この基板 S U B 2 の液晶側の面には、ブラックマトリックス B M が形成されている。このブラックマトリックス B M は、たとえば各画素領域の周辺を除く中央部に開口部を有し、かつ薄膜トランジスタ T F T の形成領域を被うようにして形成されている。薄膜トランジスタ T F T に光が照射されるとその特性が変化してしまうのを回避させるためである。

50

【0099】

基板SUB2の表面には前記ブラックマトリックスBMを被ってカラーフィルタFILが形成されている。このカラーフィルタFILは赤色(R)、緑色(G)、青色(B)からなり、たとえばこの順番で図中左側から右側にかけて各画素ごとに繰り返し替えられて形成されている。

【0100】

カラーフィルタFILの上面には平坦化膜OCが形成され、この平坦化膜OCの上面にはいわゆる柱状スペーサSPが形成されている。この柱状スペーサSPはTFT基板に対するFIL基板の間隙を均一にし、ひいては液晶LCの膜厚の均一化を図るためのものである。

10

【0101】

そして、前記平坦化膜OCおよび柱状スペーサSPの液晶LCと接触する面には配向膜OP12が形成されている。

【0102】

前記基板SUB2の液晶LCとは反対側の面には帯電防止用の透明導電膜TSCが形成され、また偏光板POL2が配置されている。

【0103】

TFT基板側においても、該基板SUB1の液晶LCと反対側の面に偏光板POL1が形成され、この偏光板POL1は前記偏光板POL2とともに、液晶LCの分子の電界による挙動を可視化できるようになっている。

20

【0104】

なお、このようなTFT基板とFIL基板の液晶LCを介した配置により液晶表示パネルが形成されるが、この液晶表示パネルの背面にはバックライトBLが配置されるようになっている。

【0105】

該バックライトBLは、図6に示すように、基板SUB1に対向して配置される導光板と、図示されていないが、該導光板の側面に配置される光源とで構成されている。該光源からの光は前記導光板の側面から入射され、該導光板の前記基板SUB1に対向する面から液晶表示パネル側へ出射されるようになっている。

【0106】

30

〈実施例2〉

図7は本発明による表示装置の他の実施例を示す図で、図6(a)と対応した図となっている。

【0107】

図7において、図6(a)の場合と比較して異なる構成は、ブラックマトリックスBMおよびカラーフィルタFILがTFT基板側に形成されている点にある。

【0108】

このため、該TFT基板と対向する他方の基板(この実施例ではOPS基板と命名している)にはブラックマトリックスBMおよびカラーフィルタFILは形成されていない構成となっている。

40

【0109】

すなわち、図7において、TFT基板側の基板SUB1の偏光板POL1とは反対側の面にカラーフィルタFILおよびブラックマトリックスBMが順次積層されて形成されている。そして、該ブラックマトリックスBMが形成された面には接着材層ADLを介して画素アレイPA'が被着されて形成されている。

【0110】

このような構成の液晶表示装置の製造にあつては、仮基板TMS上に形成した画素アレイPAを、基板SUB1に接着材層ADLを介して接着させる際に、前記基板SUB1の接着側の面に予めカラーフィルタFIL及びブラックマトリックスBMを形成しておくことによって、上述した構成を形成することができる。

50

【0111】

また、図8は本発明による表示装置の他の実施例を示す図で、図7に対応した図となっている。

【0112】

図8において、図7と同様に、TFT基板側にブラックマトリックスBMおよびカラーフィルタFILが形成されている。

【0113】

しかし、図7の場合と異なり、前記ブラックマトリックスBMおよびカラーフィルタFILは、そのうちのブラックマトリックスBMが接着材層ADLを介して基板SUB1に接着されている構成となっている。

10

【0114】

このような構成の液晶表示装置の製造方法にあつては、仮基板TMS上に形成した画素アレイPAの表面に、さらにカラーフィルタFILおよびブラックマトリックスBMを順次形成し、その後、基板SUB1に接着材層ADLを介して接着させることにより、上述した構成を形成することができる。

【0115】

このように、ブラックマトリックスBMおよびカラーフィルタFILをTFT基板側に形成することによって、該TFT基板とOPS基板との張り合わせの際のマージンを小さくでき、結果として、画素の開口率を向上できる効果を奏する。

【0116】

20

〈実施例3〉

図9は本発明による表示装置の他の実施例を示す図で、図6(a)に対応した図となっている。

【0117】

図9に示す表示装置は、光透過領域となる各画素のそれぞれの一領域に光反射領域を備えたものとして構成されている。

【0118】

これにより、バックライトBLからの光で各画素を通した画像を認識できるとともに、たとえば太陽等の外来光を各画素において反射させて画像を認識することができる。

【0119】

30

図9において、まず、TFT基板側において、その絶縁膜INLと接着材層ADLとの間にたとえば感光性有機膜からなる絶縁膜INFが形成されている。

【0120】

そして、ドレイン信号線DLおよびゲート信号線GLによって囲まれた画素の領域の一部において、前記絶縁膜INFと接着材層ADLとの界面にたとえばAlからなる光反射膜RFFが形成されている。

【0121】

この場合、該光反射膜PFFは、光反射の散乱を充分に行わしめるため、少なくとも液晶LC側の面において凹凸が形成されている。

【0122】

40

この光反射膜PFFは、仮基板TMSに形成された画素アレイPAの上面に前記絶縁膜INFを形成し、その表面の光反射領域において、ハーフトーンマスクを用いたフォトリソグラフィ技術による選択エッチングによって凹凸面を形成し、該凹凸面上にAlからなる金属膜を選択的に形成することによって、構成することができる。

【0123】

また、前記絶縁膜INLと絶縁膜INFとの界面において、前記光反射膜RFFと重畳するようにして位相差板PHLが形成されている。この位相差板PHLは、前記光反射膜PFFによって反射された光の位相が変化してしまうのを補償するためのものである。

【0124】

この位相差板PHLは、仮基板TMSに形成された画素アレイPAの上面（絶縁膜IN

50

Lの上面)の光反射領域において形成することによって、構成することができる。

【0125】

そして、FIL基板側において、その平坦化膜OC上の光反射領域(前記光反射膜RFF、位相差板PHLと重畳する領域)に光路長調整層LRLが形成されている。

【0126】

この光路長調整層LRLは、液晶LC中を往復する反射光の光路長を透過光の光路長と等しくするために設けられるもので、前記柱状スペーサSPの高さの約1/2の高さに設定されている。

【0127】

なお、この光路長調整層LRLの表面は、前記柱状スペーサSPの場合と同様に、配向膜ORI1に被われて形成されている。

【0128】

図10は本発明による表示装置の他の実施例を示す図で、図6(b)に対応した図となっている。

【0129】

図10の構成において、図9の場合と同様に、TF T基板側に光反射膜PFFおよび位相差板PFFが形成され、FIL基板側に光路長調整層LRLが形成されている。

【0130】

そして、図9の場合と比較して異なる構成はブラックマトリックスBMにあり、このブラックマトリックスBMは、各画素を画するブラックマトリックスBMの他に、光透過領域と光反射領域とを画するブラックマトリックスBM'も形成されている点にある。

【0131】

〈実施例4〉

図11は本発明による表示装置の他の実施例を示す図で、図6(a)に対応した図となっている。

【0132】

図6(a)の場合と比較して異なる構成は、まず、薄膜トランジスタTF Tの半導体層MSとして、たとえばZnOからなる透明酸化物半導体層が用いられている点にある。このような薄膜トランジスタTF Tはいわゆるフォトリークを低減させる構成とすることができる。

【0133】

このように構成される薄膜トランジスタTF Tは、たとえばそのソース領域に相当する部分を画素電極PXに直付けでき、図11ではそのようにして構成している。

【0134】

これにより、前記半導体層MSと画素電極PXとを同層に形成でき、たとえば図6(a)の構成において形成されている絶縁膜INを用いなくて済む効果を奏する。

【0135】

また、薄膜トランジスタTF Tのソース領域に相当する部分を画素電極PXに直付けしていることから、たとえば図6(a)の構成において形成される接続層JTL等を用いなくて済む効果を奏する。

【0136】

また、図12は本発明による表示装置の他の実施例を示す図で、図11に対応した図となっている。

【0137】

薄膜トランジスタTF Tの半導体層MSとして、たとえばZnOからなる透明酸化物半導体層が用いられ、該薄膜トランジスタTF Tのソース領域に相当する部分を画素電極PXに直付けしていることにおいて、図11と同様の構成となっている。

【0138】

そして、図12の場合、薄膜トランジスタTF Tのドレイン領域に相当する部分をドレイン信号線DLと直付けするようにしていることにおいて、図6(a)の場合と異なった

10

20

30

40

50

構成となっている。

【0139】

すなわち、前記ドレイン信号線DLは半導体層MSと同層に形成されている。このため、図6(a)に示すように、異なった層に形成される半導体層ASとドレイン信号線DLとの接続を図るスルーホールTH1を形成しなくても済む効果を奏する。

【0140】

〈実施例5〉

上述した実施例では、仮基板TMSの表面にエッチストップ層ESLを形成し、このエッチストップ層ESLの上面に画素アレイPAを形成するようにしたものである。

【0141】

しかし、前記エッチストップ層ESLの代わりにたとえばZnO系膜を形成するようにしてもよい。このようにした場合、酸あるいはアルカリに対して前記ZnO系膜は極めてエッチングレートが高く、前記画素アレイPAに基板SUB1を接着後、該ZnO系膜をエッチングすることで、前記仮基板TMSを除去できるからである。

【0142】

なお、仮基板TMSに上述したZnO系膜を形成する場合、その上面にSiO₂あるいはSiNからなる保護膜を形成しておくことが望ましい。画素アレイPAの形成時に該ZnO系膜が溶出してしまうのを防止するためである。

【0143】

このようにした場合、画素アレイPAからの仮基板TMSの除去を短時間で行うことができ、また、剥離された該仮基板TMSの再利用できる効果を奏する。

【0144】

上述した各実施例はそれぞれ単独に、あるいは組み合わせて用いても良い。それぞれの実施例での効果を単独であるいは相乗して奏することができるからである。

【図面の簡単な説明】

【0145】

【図1】本発明によるたとえば液晶表示装置のいわゆるTF T基板の一実施例を示す構成図である。

【図2】TF T基板に形成される回路を等価回路として示した図である。

【図3】本発明によるたとえば液晶表示装置のTF T基板の製造方法の一実施例を示す工程図の一部で、図4、図5とともに連続して用いられる図である。

【図4】本発明によるたとえば液晶表示装置のTF T基板の製造方法の一実施例を示す工程図の一部で、図3、図5とともに連続して用いられる図である。

【図5】本発明によるたとえば液晶表示装置のTF T基板の製造方法の一実施例を示す工程図の一部で、図3、図4とともに連続して用いられる図である。

【図6】本発明によるたとえば液晶表示装置の一実施例を示す断面図である。

【図7】本発明によるたとえば液晶表示装置の他の実施例を示す断面図である。

【図8】本発明によるたとえば液晶表示装置の他の実施例を示す断面図である。

【図9】本発明によるたとえば液晶表示装置の他の実施例を示す断面図である。

【図10】本発明によるたとえば液晶表示装置の他の実施例を示す断面図である。

【図11】本発明によるたとえば液晶表示装置の他の実施例を示す断面図である。

【図12】本発明によるたとえば液晶表示装置の他の実施例を示す断面図である。

【符号の説明】

【0146】

SUB1、SUB2……基板、ADL……接着材層、INL、GI、IN、INF……絶縁膜、DL……ドレイン信号線、JTL……接続層、GL……ゲート信号線、GT……ゲート電極、AS……半導体層、CL……コモン信号線、CT……コモン電極、PX……画素電極、V……走査信号駆動回路、He……映像信号駆動回路、TF T……薄膜トランジスタ、TMS……仮基板、ESL……エッチングストップ層、LC……液晶、TH1、TH2、TH3……スルーホール、PA、PA'……画素アレイ、BM……ブラックマト

10

20

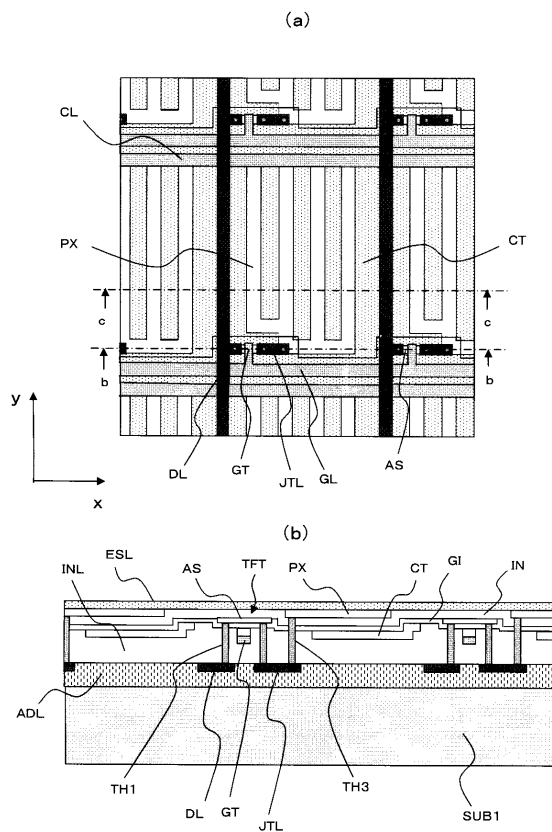
30

40

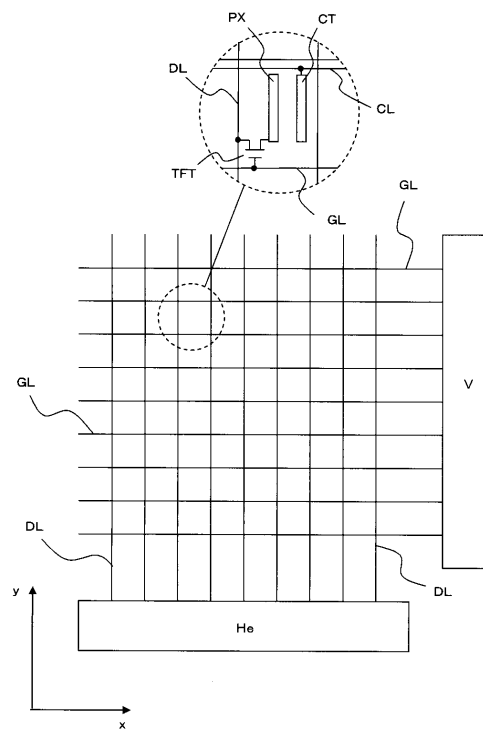
50

リックス、F I L ……カラーフィルタ、S P ……柱状スペーサ、O C ……平坦化膜、O R I 1、O R I 2 ……配向膜、P O L 1、P O L 2 ……偏光板、B L ……バックライト、P F F ……光反射膜、P H L ……位相差板、L R L ……光路長調整層。

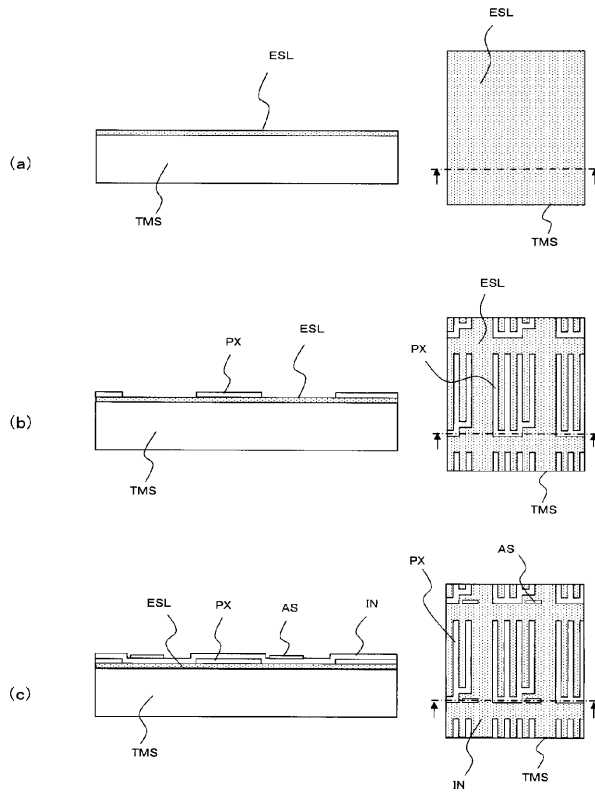
【図 1】



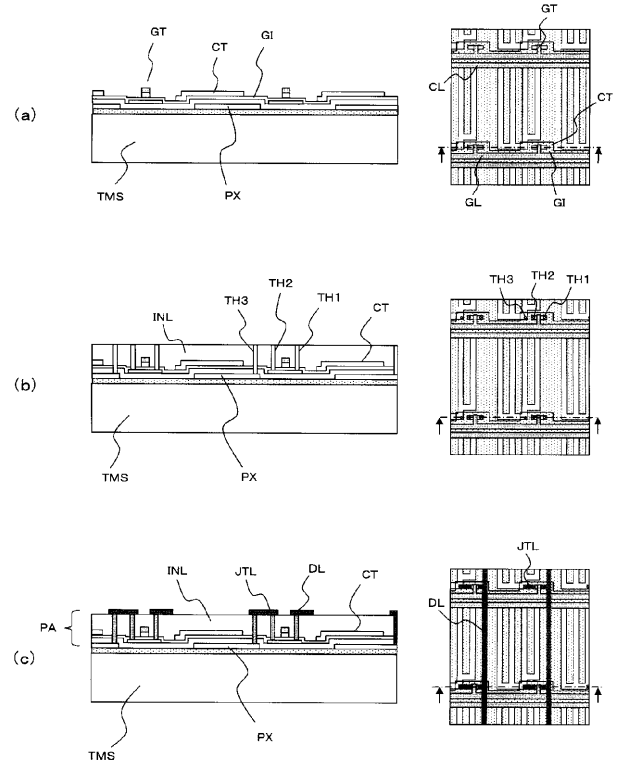
【図 2】



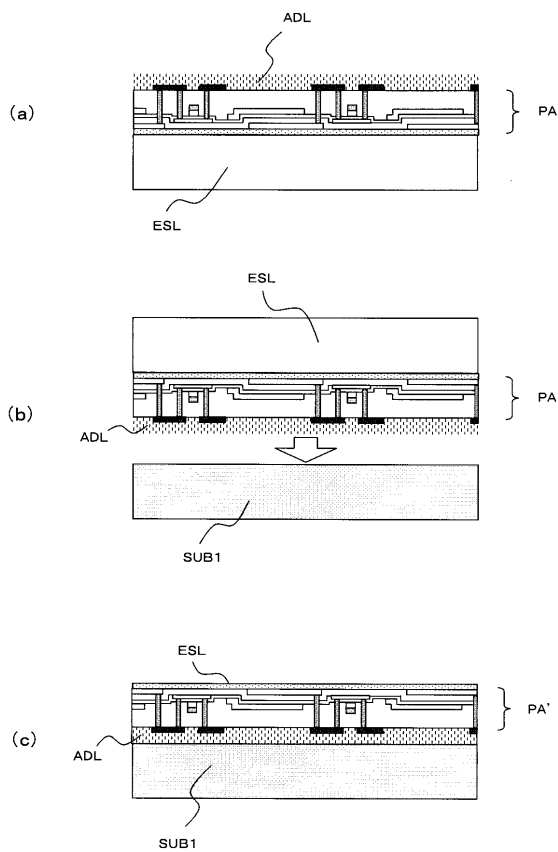
【図 3】



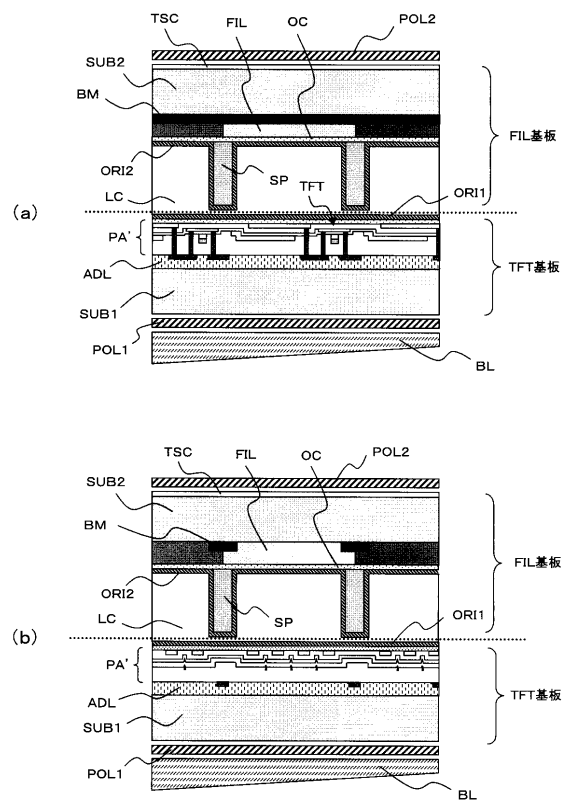
【図 4】



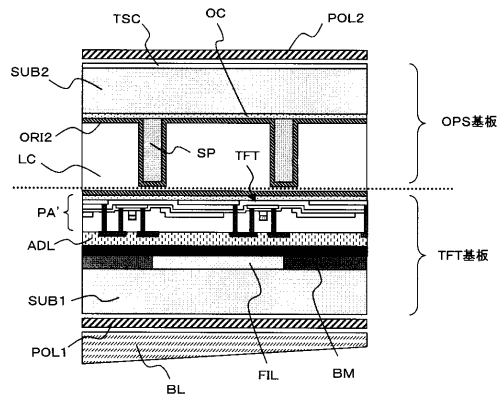
【図 5】



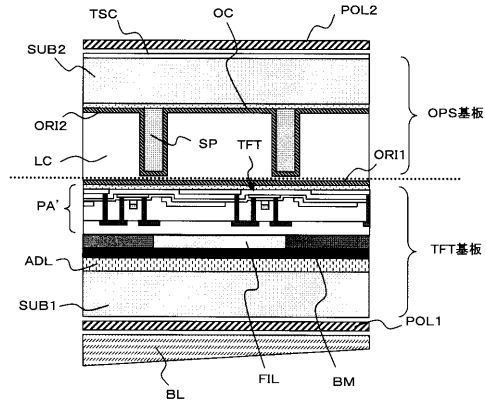
【図 6】



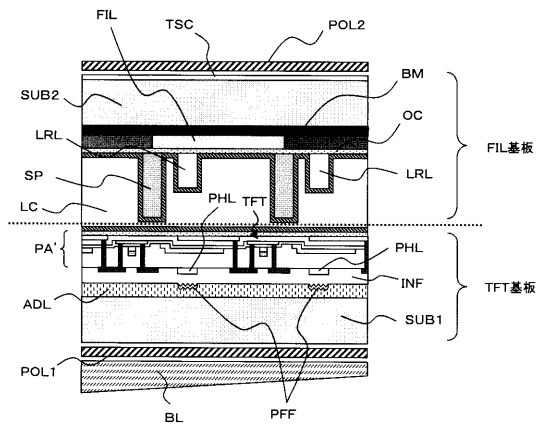
【図 7】



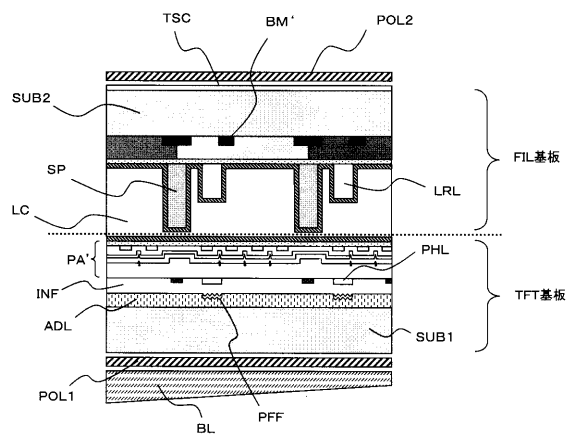
【図 8】



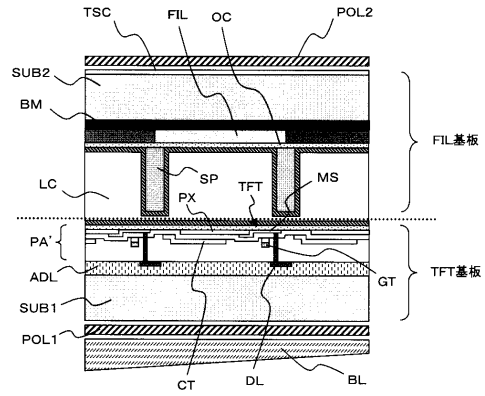
【図 9】



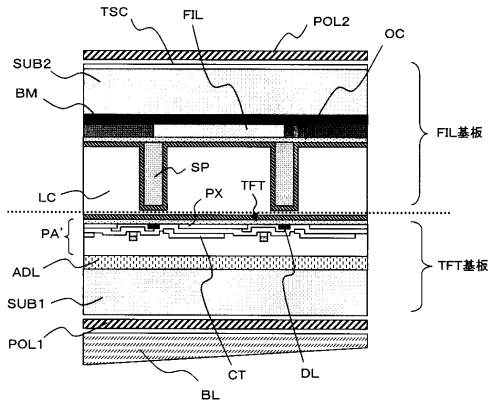
【図 10】



【図 1 1】



【図 1 2】



フロントページの続き

(72)発明者 松村 三江子

東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内

Fターム(参考) 2H092 GA11 GA14 JA24 JA37 JA46 JB22 JB31 JB52 JB56 MA08
MA13 MA17 NA25 PA01 PA03 PA06 PA08 PA10 PA11 PA13
5F110 AA06 AA18 AA21 CC02 CC04 DD13 DD14 EE06 EE07 EE14
FF02 FF03 FF30 GG02 GG04 GG13 GG15 HL03 HM15 HM18
NN03 NN23 NN24 NN27 NN35 NN44 NN47 NN72 PP03 QQ02
QQ08 QQ11 QQ16

专利名称(译)	液晶表示装置		
公开(公告)号	JP2009042255A	公开(公告)日	2009-02-26
申请号	JP2007203805	申请日	2007-08-06
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	日立显示器有限公司		
[标]发明人	河村哲史 佐藤健史 波多野睦子 松村三江子		
发明人	河村 哲史 佐藤 健史 波多野 睦子 松村 三江子		
IPC分类号	G02F1/1368 H01L29/786 H01L21/336		
CPC分类号	G02F1/1368 G02F1/136209 G02F1/136227 G02F2001/13613		
FI分类号	G02F1/1368 H01L29/78.612.C H01L29/78.627.D H01L29/78.627.A		
F-TERM分类号	2H092/GA11 2H092/GA14 2H092/JA24 2H092/JA37 2H092/JA46 2H092/JB22 2H092/JB31 2H092/JB52 2H092/JB56 2H092/MA08 2H092/MA13 2H092/MA17 2H092/NA25 2H092/PA01 2H092/PA03 2H092/PA06 2H092/PA08 2H092/PA10 2H092/PA11 2H092/PA13 5F110/AA06 5F110/AA18 5F110/AA21 5F110/CC02 5F110/CC04 5F110/DD13 5F110/DD14 5F110/EE06 5F110/EE07 5F110/EE14 5F110/FF02 5F110/FF03 5F110/FF30 5F110/GG02 5F110/GG04 5F110/GG13 5F110/GG15 5F110/HL03 5F110/HM15 5F110/HM18 5F110/NN03 5F110/NN23 5F110/NN24 5F110/NN27 5F110/NN35 5F110/NN44 5F110/NN47 5F110/NN72 5F110/PP03 5F110/QQ02 5F110/QQ08 5F110/QQ11 5F110/QQ16 2H192/AA24 2H192/BB13 2H192/BB86 2H192/BC42 2H192/BC44 2H192/BC64 2H192/BC74 2H192/BC82 2H192/CB02 2H192/CB37 2H192/CC32 2H192/EA02 2H192/EA04 2H192/EA15 2H192/EA22 2H192/EA42 2H192/EA43 2H192/GA06 2H192/GD06 2H192/GD43 2H192/HA24 2H192/HA44 2H192/JA32		
代理人(译)	小林 保		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种液晶显示装置，其中改善了对液晶分子的电场施加。解决方案：液晶显示装置包括基板和沉积在基板表面上的像素阵列。像素阵列至少设置有薄膜晶体管和与薄膜晶体管连接的像素电极，并且相对于基板形成在薄膜晶体管上方的层上。Ž

