

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-191664
(P2008-191664A)

(43) 公開日 平成20年8月21日(2008.8.21)

(51) Int.Cl.

G02F 1/1343 (2006.01)
G02F 1/1368 (2006.01)

F 1

G02F 1/1343
G02F 1/1368

テーマコード(参考)

2 H 0 9 2

審査請求 未請求 請求項の数 11 O L (全 13 頁)

(21) 出願番号 特願2008-21081 (P2008-21081)
 (22) 出願日 平成20年1月31日 (2008.1.31)
 (31) 優先権主張番号 10-2007-0010562
 (32) 優先日 平成19年2月1日 (2007.2.1)
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 390019839
 三星電子株式会社
 SAMSUNG ELECTRONICS
 CO., LTD.
 大韓民国京畿道水原市靈通区梅灘洞 416
 416, Maetan-dong, Yeongtong-gu, Suwon-si,
 Gyeonggi-do 442-742
 (KR)
 (74) 代理人 110000671
 八田国際特許業務法人
 (72) 発明者 権知 ▲げん▼
 大韓民国忠清南道牙山市湯井面 三星クリ
 スタル寄宿舍翡翠棟406号

最終頁に続く

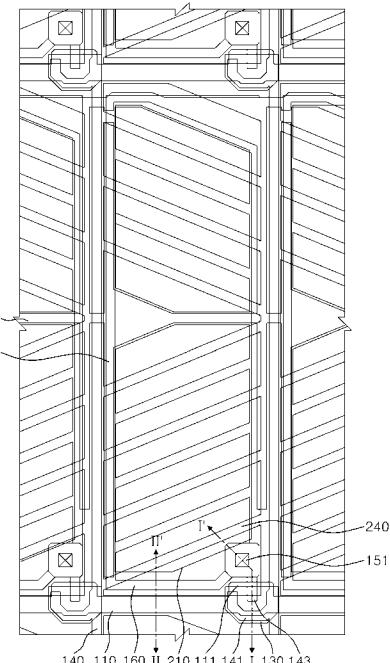
(54) 【発明の名称】 液晶表示パネル

(57) 【要約】

【課題】コントラスト比を向上させる液晶表示パネルを提供する。

【解決手段】第1基板101、第1基板101上に互いに交差されて形成されたゲートライン110及びデータライン140、第1基板101上に位置しゲートライン110と互いに異なる方向に傾いた第1斜線ラインと第2斜線ラインとを含む画素電極160、第2基板201、第2基板201に画素電極160と交代で交番的に配置されゲートライン110と重畳されるように形成される共通電極240、及び第1基板101と第2基板201との間に形成された液晶層を含む液晶表示パネル。

【選択図】図1



【特許請求の範囲】**【請求項 1】**

第 1 基板と、

前記第 1 基板上に互いに交差されて形成されたゲートライン及びデータラインと、

前記第 1 基板上に位置し、前記ゲートラインと互いに異なる方向に傾いた第 1 斜線ライン及び第 2 斜線ラインを含む画素電極と、

第 2 基板と、

前記第 2 基板に前記画素電極と交代で交番的に配置され前記ゲートラインと重畠するよう

に形成された共通電極と、

前記第 1 基板と前記第 2 基板との間に配置された液晶層と、
を含むことを特徴とする液晶表示パネル。

10

【請求項 2】

前記画素電極は所定間隔で離隔された線形で形成され、

前記共通電極は前記画素電極から離隔され互いに交代で交番的に配置され、前記ゲート

ラインと重畠するように線形に形成されていることを特徴とする請求項 1 記載の液晶表示

パネル。

15

【請求項 3】

前記共通電極の一部は、前記第 1 基板上に形成されている薄膜トランジスタのゲート電

極と重畠されることを特徴とする請求項 1 記載の液晶表示パネル。

【請求項 4】

第 1 基板と、

前記第 1 基板上に互いに交差されて形成されたゲートライン及びデータラインと、

前記第 1 基板上に位置し、前記ゲートラインと互いに異なる方向に傾いた第 1 斜線ライン及び第 2 斜線ラインを含む画素電極と、

第 2 基板と、

前記第 2 基板上に位置し、データラインと平行に形成された第 1 パターンライン、前記

画素電極と液晶駆動電界を形成するために前記画素電極と同一の間隔を維持して交代で交番

的に形成される第 2 パターンライン、及び前記ゲートラインと重畠するように形成され

た第 3 パターンラインを含む共通電極と、

20

前記第 1 基板と前記第 2 基板との間に配置された液晶層と、
を含むことを特徴とする液晶表示パネル。

30

【請求項 5】

第 3 パターンラインは、少なくとも前記ゲートラインの幅以上に形成されることを特徴

とする請求項 4 記載の液晶表示パネル。

【請求項 6】

前記第 2 パターンラインは、前記画素電極と対応して斜線形態に形成されることを特徴

とする請求項 4 記載の液晶表示パネル。

【請求項 7】

前記共通電極は、前記ゲートラインの上側に前記第 3 パターンラインに形成されるスリ

ットを含むことを特徴とする請求項 4 記載の液晶表示パネル。

40

【請求項 8】

前記スリットは、前記ゲートラインの上側に前記ゲートラインと並んで形成されること

を特徴とする請求項 7 記載の液晶表示パネル。

【請求項 9】

前記スリットは、前記ゲートラインと重畠される第 3 パターンラインを少なくとも 2 つ

部分以上に分割することを特徴とする請求項 7 記載の液晶表示パネル。

【請求項 10】

前記共通電極の一部は、前記第 1 基板上に形成されている薄膜トランジスタのゲート電

極と重畠されることを特徴とする請求項 4 記載の液晶表示パネル。

【請求項 11】

50

画素電極と隣接したゲートラインを含む第1基板と、共通電極が形成された第2基板を有し、

前記共通電極と画素電極は正面視野角及び側面視野角を向上させるために、前記第1基板と前記第2基板との間に多様に配向されて配置される液晶を駆動する液晶駆動電界を形成するために互いに交代に配置されており、

前記共通電極は前記ゲートラインとの間で電界を生じるように前記ゲートラインと重畳されて配置されており、当該電界と前記液晶駆動電界の少なくとも一部が混合されて前記液晶に影響を与えることを特徴とする液晶表示装置アセンブリ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の側面視認性確保と透過率を向上させた液晶配向モードでゲートライン周辺の光漏れを防止してコントラスト比を向上させる液晶表示パネルに関する。

【背景技術】

【0002】

一般的に、液晶表示装置は液晶表示パネルにマトリクス形態で配列された個別液晶セルそれぞれをビデオ信号に合わせて画素駆動信号に応じて光透過率を調節することで画像を表示する。液晶表示装置は画面を見る位置によってイメージが歪曲されて見える視野角問題点を克服するために光視野角技術が発展しつつある。

【0003】

液晶表示装置の代表的な光視野角技術としては、PVA (P a t t e r n e d - I T O V e r t i c a l A l i g n) モード、IPS (I n P l a n e S w i t c h i n g) モード及びPLS (P l a n e t o L i n e S w i t c h i n g) モードがある。

【0004】

PVAモードは電極にスリットが形成された上／下板の共通電極及び画素電極によってフリンジ電界 (F r i n g e e l e c t r i c F i e l d) が発生される。液晶分子はスリットの位置を基準にして対称的な配向で駆動し、スリットの周辺でフリンジ電界が生成されることでマルチ - ドメインを形成する。IPSモードは下部基板に並んで配置された画素電極と共通電極と間の水平電界によって液晶を駆動する。PLSモードは各画素領域に絶縁膜を間に置いた共通電極と画素電極を具備する。また、PLSモードは共通電極と画素電極と間の水平及び垂直の電界を形成して上／下板の間に満たされた液晶分子を各画素領域毎に動作させる。しかし、IPS及びPLSモードは一つの基板に2つの電極を形成して電界を発生させてるので、残像が発生し透過率の低い短所を有する。また、PVAモードは共通電極と画素電極のスリットの存在に起因して開口率が低くなるという短所を有する。このような問題点を解決するためにDFS (D u a l F i e l d S w i t c h i n g) モードが提案された。

【0005】

DFSモードは液晶表示パネルの上下透明基板に形成された電極パターンによって形成される電界に水平または垂直に液晶を配向させる。特に、DFSモードは上下板にそれぞれ画素電極と共通電極が線形パターンに形成され、2つの電極間に形成される水平電界及び垂直電界が混合された液晶駆動電界を用いて液晶を配向させて側面視認性と透過率を向上させる。このような、DFSモードでは画素単位領域全体に渡って形成された電極によって液晶が駆動されるので透過される領域が広くて透過率のよい長所がある。しかし、DFSモードは液晶分子が周辺電極、特に、ゲートライン周辺で発生した電界影響で容易に動くのでゲートライン周辺に形成される所望しない液晶配向を防ぐことが難しい。

【0006】

従来のDFSモードを用いた液晶表示パネルはゲートライン周辺にある液晶分子の所望しない配向のため、ゲートラインの周辺で光漏れが発生してブラックまたはダーク階調を表現する場合コントラスト比がよくない。具体的に、DFSモードでゲートライン周辺の

液晶は水平スキャン区間の間ゲートラインから発生されるフリンジ電界によって不規則に配列される。このようなゲートラインの周辺電界は単位画素領域の周りの画素電極に印加された制御電圧の影響を受けない。ゲートライン地域に不規則に配列された液晶分子はブラックまたはダーク階調が画素領域で表示されるとき、光透過率を適当に調節することができない。そこで、液晶分子は光漏れを発生させ、特定の状況で画素領域周辺のブラックまたはダーク階調のコントラスト比が減少する。それにより、D F Sパネルの使用者は所望するほど暗くない印象を受ける。この際、D F Sモードの液晶表示パネルは各画素領域の角周辺の光漏れを遮断するためにゲートライン周辺にブラックマトリックスを形成する。しかし、液晶表示パネルは組み立ての際、上下板の整列誤差に起因してブラックマトリックスの位置が正常位置より移動される整列不良が発生する。このように、整列不良のブラックマトリックスはゲートライン周辺の液晶で発生される光漏れを遮断できず、ブラックまたはダーク階調のコントラスト比を下落させる。

10

【発明の開示】

【発明が解決しようとする課題】

【0007】

したがって、本発明が達成しようとする技術的課題は、ゲートラインから発生される電界の影響を遮蔽させ、光漏れを防止してコントラスト比を向上させることができる液晶表示パネルを提供するにある。

【課題を解決するための手段】

【0008】

上述した技術的課題を達成するために、本発明は第1基板と、前記第1基板上に互いに交差されて形成されたゲートライン及びデータラインと、前記第1基板上に位置し、前記ゲートラインと互いに異なる方向に傾いた第1斜線ライン及び第2斜線ラインを含む画素電極と、第2基板と、前記第2基板に前記画素電極と交代で交番的に配置され前記ゲートラインと重畳するように形成される共通電極と、前記第1基板と前記第2基板との間に形成された液晶層と、を含むことを特徴とする液晶表示パネルである。

20

【0009】

また本発明の液晶表示パネルにおいて、前記画素電極は所定間隔で離隔された線形で形成され、前記共通電極は前記画素電極から離隔され互いに交代で交番的に配置され、前記ゲートラインと重畳するように線形に形成されることを特徴とする。

30

【0010】

また、本発明は、共通電極が前記データラインと並んで形成される第1パターンラインと、前記画素電極と液晶駆動電界を形成するために前記画素電極と同一の間隔を維持して交代で交番的に形成される第2パターンラインと、前記ゲートラインと重畳するように形成される第3パターンラインと、を含むことを特徴とする。

【0011】

この際、第3パターンラインは、少なくとも前記ゲートラインの幅以上に形成されることを特徴とする。

【0012】

また、前記第2パターンラインは、前記画素電極と対応されるように斜線形態に形成される。

40

【0013】

また、前記共通電極は、前記ゲートラインの上側に前記第3パターンラインに形成されるスリットを含むことを特徴とする。

【0014】

ここで、前記スリットは、前記ゲートラインの上側に前記ゲートラインと並んで形成されることを特徴とする。

【0015】

また、前記スリットは、前記ゲートラインと重畳される第3パターンラインを少なくとも2つ部分以上に分割することを特徴とする。

50

【0016】

さらに本発明は、画素電極と隣接したゲートラインを含む第1基板と、共通電極が形成された第2基板において、前記共通電極と画素電極は正面視野角及び側面視野角を向上させるために、前記第1基板と前記第2基板との間に多様に配向されて介在される液晶を駆動する液晶駆動電界を形成するために互いに交代に形成され、前記共通電極は前記ゲートライン隣接部分で前記ゲートラインと重畠され、少なくとも液晶駆動電界のうち一つが、ゲートライン重畠部分とゲートラインの間に形成される不要な電界を混合させて当該不要な電界によって影響を受ける液晶に影響を与えることを特徴とする液晶表示装置アセンブリを提供する。

【0017】

10

上述した技術的課題及び他の技術的課題は、後述する本発明の実施形態によって添付した図面及び説明によって明確にする。

【発明を実施するための最良の形態】

【0018】

以下、図面を参照して本発明の望ましい一実施形態を図面を参照してより詳細に説明する。

【0019】

図1は本発明の実施形態による液晶表示パネルを示す平面図であり、図2は図1に示されたI-I'線に沿って形成された断面を示す断面図であり、図3は図1に示されたII-II'線に沿って形成された断面を示す断面図である。

20

【0020】

図1乃至図3を参照すると、本実施形態による液晶表示パネルは液晶を間に置いて互いに対向され合着される薄膜トランジスタ基板100、及びカラーフィルタ基板200を含む。

【0021】

薄膜トランジスタ基板100は、第1基板101上に形成されたゲートライン110、データライン140、及び画素領域内に形成された画素電極160を含む。

【0022】

薄膜トランジスタ基板100と合着されるカラーフィルタ基板200は、画素電極160と液晶駆動電界を形成する共通電極240(図4参照)が第2基板201上に画素電極160と離隔され交番的に配置されゲートライン110と重畠されるように線形で形成されている。

30

【0023】

液晶は第1基板と第2基板の間に配置される。液晶は、薄膜トランジスタ基板100の画素電極160に印加されたデータ電圧と、カラーフィルタ基板200の共通電極240に印加された共通電圧との差異によって駆動され光源から供給される光の透過率を調節する。ここで、液晶は正の誘電率を有し水平に配向される。

【0024】

薄膜トランジスタ基板100は第1基板101上に互いに交差されて形成されたゲートライン110及びデータラインと、それぞれの画素領域に薄膜トランジスタTFTと、薄膜トランジスタTFTに接続された画素電極160と、薄膜トランジスタTFTを覆って絶縁させる保護膜150と、ストレージライン115と、ストレージ電極116と、を含む。ストレージライン115はゲートライン110と平行に形成され、ストレージキャパシタを形成するストレージ電極116と連結される。

40

【0025】

薄膜トランジスタ基板100の一部である第1基板101はガラスまたはプラスチックのような透明な絶縁物質から形成される。

【0026】

ゲートライン110は第1基板101上で横方向に形成される。この際、ゲートライン110はモリブデンMo、ナオブNb、銅Cu、アルミニウムAl、クロムCr、銀Ag

50

、タンゲステンWまたはこれらの合金のうちいずれか一つの材質で単一または多重の導電層から形成される。また、ゲートライン110はデータライン140と交差される部分にゲート電極111が形成される。

【0027】

データライン140は第1基板101上で縦方向に形成される。データライン140は、モリブデンMo、ニオブNb、銅Cu、アルミニウムAl、クロムCr、銀Ag、チタンTiまたはこれらの合金のうちいずれか一つの材質からなる単一層または多重層に形成される。データライン140はゲートライン110と交差される部分にソース電極141とドレイン電極143が形成される。

【0028】

薄膜トランジスタTFTはゲート電極111、ゲート電極111を絶縁させるゲート絶縁膜120、ゲート絶縁膜120の上部に形成された半導体層130、半導体層130の上部で互いに離隔され、対向に形成されたソース電極141、及びドレイン電極143を含む。

【0029】

ゲート電極111はゲートライン110から一側に突出されて形成される。また、ゲート電極111はゲートライン110から供給されるゲート駆動信号を介して薄膜トランジスタTFTの駆動を制御する。水平スキャン期限の間、ゲート駆動信号は画素電極160にデータ電圧が充電できるようにTFTをターンオンさせる。

【0030】

ゲート絶縁膜120はゲート電極11を覆うように形成され導電性金属材質から形成されたゲート電極111を他金属材質の電極と絶縁させる。

【0031】

半導体層130は非晶質シリコンから形成されるアクティブ層131、及び例えば、N⁺で濃密にドーピングされた非晶質シリコンから形成されたオーミックコンタクト層132を含む。

【0032】

ソース電極141はドレイン電極143を取り囲むU字形態でドレイン電極143と一定距離を維持するように形成される。ここで、ソース電極141の形態はU字形態に限定されるのではなくドレイン電極143と対向される多様な形態に形成されることがある。

【0033】

ドレイン電極143は一側がソース電極141に対向される形態に形成され、他側が後述される各画素領域の画素電極160と連結されるための一側より広い面積で形成される。これを通じて、ドレイン電極143の形態が限定されるのではなく、ソース電極141に対向され画素電極160に連結される多様な形態に形成されることができる。

【0034】

ソース電極141にはデータライン140から画像を表示するためのデータ信号が供給される。ドレイン電極143はTFTがターンオンされると、半導体層130のチャンネルを通じてソース電極141からデータ電圧が供給される。ドレイン電極143に供給されたデータ電圧はドレイン電極143の他側に接続された画素電極160に供給される。

【0035】

保護膜150は絶縁のために窒化シリコンSiNxまたは酸化シリコンSiOxなどのような無機物質から形成されるか、アクリル、ポリイミードまたはBCBなどのような有機物質から形成される。ここで、保護膜150は無機物質及び有機物質が単一層または複層で積層されて形成される。このような、保護膜150は薄膜トランジスタTFTとゲート絶縁膜120を覆うように形成され薄膜トランジスタTFTと画素電極160とを絶縁させる。保護膜150は画素電極160と接続するためにドレイン電極143の一部を露出させるコンタクトホール151を含む。コンタクトホール151はドレイン電極143を覆う保護膜150の一部分をマスクを通じてエッチングして形成されることがある。

10

20

30

40

50

【0036】

画素電極 160 は保護膜 150 の上部に形成され、コンタクトホール 151 を介して薄膜トランジスタ TFT のドレイン電極 143 と連結される。このような画素電極 160 は画素領域内で所定の幅を有するライン形成に形成される。さらに詳細には、画素電極 160 は横ライン、縦ライン及び斜線ラインを含んで形成される。画素電極 160 の横ライン及び縦ラインはそれぞれストレージライン 115 及びストレージ電極 116 と重畠されてストレージキャパシタを形成する。画素電極 160 の斜線ラインは縦ラインを連結し、画素領域の中央に位置したストレージライン 115 と同じ位置にある横ラインを中心にして対称された形態に所定の間隔で離隔されて形成される。したがって、この傾斜ラインは、ゲートライン 110 と互いに異なる方向に傾いた第 1 斜線ラインと第 2 斜線ラインからなる。また、この斜線ラインは第 1 基板 101 の長辺または短辺に対して傾いた状態で配置される。

【0037】

このような画素電極 160 が形成された薄膜トランジスタ基板 100 の最上面には一番目液晶配向膜（図示せず）が形成される。本実施形態においては薄膜トランジスタ基板 100 に水平配向膜が形成される。この際、配向膜のラビング方向は第 1 基板 101 の長辺または短辺と平行な方向である。これを通じて画素電極 160 の斜線ラインは配向膜のラビング方向と所定の角度を成す。特に、画素電極 160 の斜線ラインと配向膜のラビング方向は 10° ~ 30° 範囲の角度を成すことが望ましい。

【0038】

カラーフィルタ基板 200 は第 2 基板 201 上に光漏れ防止のためのブラックマトリックス 210 を含む。また、カラーフィルタ基板 200 は色具現のためのカラーフィルタ 220、ブラックマトリックス 210 とカラーフィルタ 220 の段差を緩和させるためのオーバーコート 230、及び液晶に共通電圧を印加するための共通電極 240 を含む。

【0039】

ブラックマトリックス 210 は液晶を制御することのできない領域を通じて光が出光されることを防ぐために薄膜トランジスタ基板 100 の薄膜トランジスタ TFT、ゲートライン 110、データライン 140 及びストレージライン 115 と垂直に重畠されて形成される。これのために、ブラックマトリックス 210 は不透明な有機物質または不透明な金属から形成される。

【0040】

カラーフィルタ 220 はブラックマトリックス 210 の下部に形成され、色具現のため細部的に赤色、緑色及び青色カラーフィルタ 220 から形成される。カラーフィルタ 220 はそれ自身が含んでいる赤色、緑色及び青色顔料を通じて特定波長の光を吸収または透過させることで赤色、緑色及び青色を帯びるようになる。この際、液晶表示パネルはそれぞれ透過した赤色、緑色及び青色光の加法混色を通じて多様な色相が具現される。

【0041】

オーバーコート 230 は透明な有機物質から形成されカラーフィルタ 220 とブラックマトリックス 210 を保護し、共通電極 240 の良好なステップカバーレージ及び絶縁のために形成される。

【0042】

共通電極 240 は ITO または IZO のような透明な導電体、例えば、金属から形成される。また、共通電極 240 には基準電圧である共通電圧が印加される。これを通じて、共通電極 240 の形態は共通電圧と画素電極のデータ電圧との電圧差によって形成された液晶層を通じて発生される電界を定義するに寄与する。図 4 及び図 5 を参照すると共通電極 240 は第 2 基板 201 の長辺または短辺と傾いた斜線形態と対称的に配列されることがわかる。

【0043】

このような共通電極 240 が形成されたカラーフィルタ基板 200 の最下面には薄膜トランジスタ基板 100 と同様に二番目配向膜が形成される。本発明の一実施形態において

10

20

30

40

50

はカラーフィルタ基板 200 に二番目水平配向膜が形成される。この際、二番目配向膜のラビング方向は薄膜トランジスタ基板 100 のラビング方向と同様に第 2 基板 201 の長辺または短辺と平行な方向である。これを通じて共通電極 240 は配向膜のラビング方向と所定の角度を成す。特に、共通電極 240 と配向膜のラビング方向は 10° ~ 30° 範囲の角度を成すことが望ましい。

【0044】

共通電極 240 の形状は図 1 乃至図 4 を参照してさらに詳細に説明する。

【0045】

図 4 は図 1 に示された共通電極の一実施形態を説明するために示した平面図である。

【0046】

共通電極 240 は図 4 に示されたように、縦方向に形成された第 1 パターンライン 241、第 1 パターンライン 241 を連結する第 2 パターンライン 242、及び第 3 パターンライン 243 を含む。

【0047】

第 1 パターンライン 241 は薄膜トランジスタ基板 100 のデータライン 140 と重畠するように縦方向に連続的に形成される。

【0048】

第 2 パターンライン 242 は第 1 パターンライン 241 から斜線形態に形成され線形に伸びて隣接した第 1 パターンライン 241 に連結される。このような第 2 パターンライン 242 は画素電極 160 の 2 つの斜線ラインの間に同一間隔でかつ画素電極 160 の斜線ラインと平行に形成される。ここで、同一の間隔は画素電極 160 の斜線ラインの間隔と同じである。第 2 パターンライン 242 は薄膜トランジスタ基板 100 の斜線ラインとカラーフィルタ基板 200 の斜線ラインの間隔を維持するために画素電極 160 の斜線ラインと交代で交番的に形成される。交代間隔は、図 3 に示したとおりである。このような交代形状は電圧差異が共通電極部分と画素電極部分との間に形成されるとき、第 2 パターンライン 242 は画素電極 160 の斜線ラインとの間に水平電界及び垂直電界が混合された液晶駆動電界を形成することができる。

【0049】

共通電極の第 3 パターンライン 243 は図 3 に示されたように横方向にゲートライン 110 と重畠されるように形成される。このとき第 3 パターンライン 243 は、画素電極 160 とゲートライン 110 との隣接部分に至るように重畠されている。

【0050】

第 3 パターンライン 243 は共通電圧が印加される。この際、第 3 パターンライン 243 とゲートライン 110との間には電界が形成される。この形成された電界は交互に配置されている斜線ラインの間で形成されるフリンジ電界とは異なる。

【0051】

第 3 パターンライン 243 は電界による所望しない液晶配向の影響を防いで、隣接画素電極の斜線ラインと隣接第 2 パターンライン 242との間で発生される液晶駆動電界に影響を受ける液晶分子が第 2 パターンライン 242 の周りで第 3 パターンライン 243 とゲートライン 110 が重畠される方に動くように規則的に配列させることができる。このため、第 3 パターンライン 243 は図 2 に示すようにゲートライン 110 の上側に少なくともゲート電極 111 の幅以上に形成される。第 3 パターンライン 243 はゲートライン 110 の下に発生させた電界を形成することでゲートライン周辺に生じた光漏れを防止する。第 3 パターンライン 243 とゲートライン 110 の間に形成された電界は、画素電極 160 と第 2 パターンライン 242 周辺の間に形成された液晶駆動電界と少なくとも部分的に混合される。したがって、ゲートライン 110 の間に形成された電界は液晶駆動電界による影響を受ける。さらに詳細には、共通電極 240 の第 3 パターンライン 243 は画素電極 160 との電界とゲートライン 110 の電界との間にクローストーケを意図的に誘導して、整列不良のブラックマトリックス 210 で発生する光漏れ現象を防止する。例えば、液晶表示パネルは画素電極周辺の画素領域にブラックまたはダーク階調を表現するため

10

20

30

40

50

に液晶を駆動する場合、ゲートライン 110 が画素電極 160 の周辺に貯蔵されているブラックまたはダーク階調電圧から、例えば、ゲートターンオン電圧を受ける間、画素電極 160 周辺と第 3 パターンライン 243 との間に形成されたフリンジ電界の影響のためゲートライン 110 周辺の液晶が不規則に配列されてしまう。

【0052】

ブラックマトリックス 210 はゲートライン 110 の電圧と関係なしにゲートライン 110 周辺に不規則に配列された液晶による光漏れを防止しなければならない。しかし、ブラックマトリックス 210 が組み立ての際の整列不良に起因して正常位置より整列マージン以上放れる場合、ブラックマトリックス 210 はゲートライン 110 の電圧によって影響を受けた光を遮断することができない。しかし、ゲートライン 110 の周辺に形成された電界は画素電極 160 の最も近い斜線ラインと第 3 パターンライン 243 との間に形成された電界が原因となるブラックまたはダーク電界から自由ではないのである。しかし、意図的なクローストークを起こすことで、その影響により、液晶表示装置パネルはゲートラインとゲートラインと重畳される共通電極で整列されていないパネルで発生する光漏れのため見られるブラックまたはダーク階調に対するコントラスト比の低下が抑えられる。意図的に発生されるクローストークのため、ゲートライン 110 周辺の液晶は、第 3 パターンライン 243 とゲートライン 110 との電界と、画素電極 160 と第 2 パターンライン 242 との間で発生される電界との混合によって部分的に制御される。したがって、共通電極 240 の第 3 パターンライン 243 はブラックマトリックス 210 が遮断することができない光漏れ現象を防止する。

10

20

30

【0053】

以下では、本発明による共通電極の第 2 実施形態を図 5 及び図 6 を参照して説明する。

【0054】

図 5 及び図 6 は図 4 に示された共通電極の他の実施形態を説明するための平面図及び断面図である。

【0055】

図 5 及び図 6 に示すように、共通電極 240 は第 3 パターンライン 243 にスリット 244 を含む。スリット 244 はゲートライン 110 の上側中央に形成され、ゲートライン 110 と重畳するように形成され、第 3 パターンライン 243 を第 1 周辺ライン 245、第 2 周辺ライン 246 に分割する。

30

【0056】

共通電極 240 は縦方向に伸びている第 1 パターンライン 241、傾斜した第 2 パターンライン 242、及び横方向に伸びる第 3 パターンライン 243 を含む。ここで、第 1 パターンライン 241 及び第 2 パターンライン 242 は図 4 に示した実施形態と同一であるので詳細な説明は省略する。

【0057】

第 3 パターンライン 243 はゲートライン 110 と重畳するように横方向に形成される。また、第 3 パターンライン 243 は、例えば、スリット 244 によって 2 部分以上に分割される。例えば、第 3 パターンライン 243 はスリット 244 によって第 1 周辺ライン 245 及び第 2 周辺ライン 246 に分割されて形成される。ここで、スリット 244 は第 3 パターンライン 243 で図 5 に示された所定の長さと幅で形成される。このように形成された第 1 周辺ライン 245 及び第 2 周辺ライン 246 はより狭いゲートライン 110 から発生される電界の影響を遮蔽する。第 1 周辺ライン 245 及び第 2 周辺ライン 246 の組み合わせはクローストークを発生するために十分に広くて、画素電極 160 と第 2 パターンライン 242 との間で発生された電界がゲートライン 110 から発生された電界と混合されゲートライン 110 周辺の液晶分子の配列を調節する。これを通じて、第 1 ライン 245 及び第 2 ライン 246 の広い形状は組立不良によるブラックマトリックス 210 の不整合な位置と、不規則に配列された液晶によって発生される光漏れ現象を防止する。

40

【0058】

上述したように、本発明による液晶表示パネルは狭いゲートラインと重畳するように形

50

成され、画素電極の最も近い斜線から放れている広い共通電極を含み、画素電極近所の電界によって影響を受けたクローストークであるゲートラインと電界を形成する。それにより、画素電極近所にブラックまたはダーク階調を発光するとき拡散光の発生を防止する。また、液晶表示パネルはゲートラインの周辺に不規則に配列される液晶を制御することで液晶の上側に形成されたブラックマトリックスが整列不良である場合発生される光漏れを防止することができる。したがって、液晶表示パネルは光漏れを防止してコントラスト比を向上させる。

【0059】

以上本発明を適用した液晶表示パネルの実施形態を説明したが、本発明は、例えば、液晶を封入する前の段階の第1基板および第2基板からなるとして提供される液晶表示装置アセンブリとして提供されてもよい。

10

【0060】

以上、本発明の実施形態によって詳細に説明したが、本発明はこれに限定されず、本発明が属する技術分野において通常の知識を有する者であれば、本発明の思想と精神を離れることなく、本発明を修正または変更できる。

【図面の簡単な説明】

【0061】

【図1】本発明の実施形態による液晶表示パネルを示す平面図である。

【図2】図1に示されたI-I'線に沿って切断された断面を示す断面図である。

20

【図3】図1に示されたII-II'線に沿って切断された断面を示す断面図である。

【図4】図1に示された共通電極の一実施形態を説明するために示した平面図である。

【図5】図4に示された共通電極の他の実施形態を説明するための平面図及び断面図である。

【図6】図4に示された共通電極の他の実施形態を説明するための平面図及び断面図である。

【符号の説明】

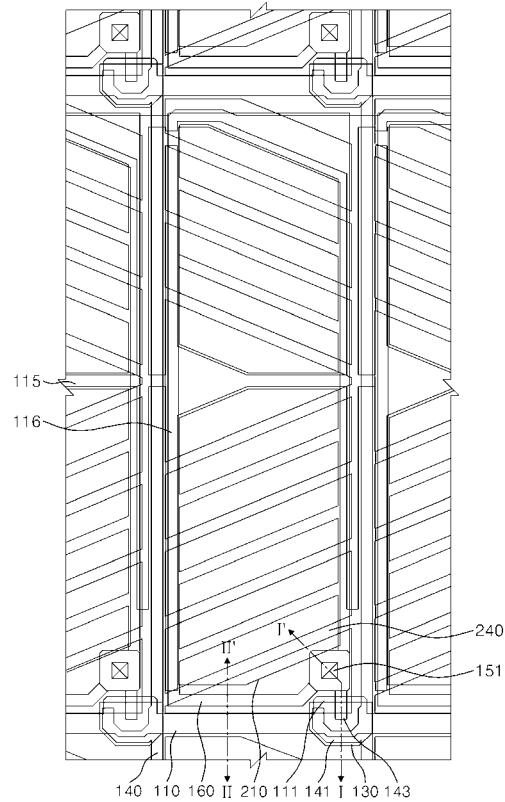
【0062】

- 100 薄膜トランジスタ基板、
- 101 第1基板、
- 110 ゲートライン、
- 111 ゲート電極、
- 115 ストレージライン、
- 116 ストレージ電極、
- 120 ゲート絶縁膜、
- 130 半導体層、
- 140 データライン、
- 141 ソース電極、
- 143 ドレイン電極、
- 150 保護膜、
- 160 画素電極、
- 200 カラーフィルタ基板、
- 201 第2基板、
- 210 ブラックマトリックス、
- 220 カラーフィルタ、
- 230 オーバーコート、
- 240 共通電極。

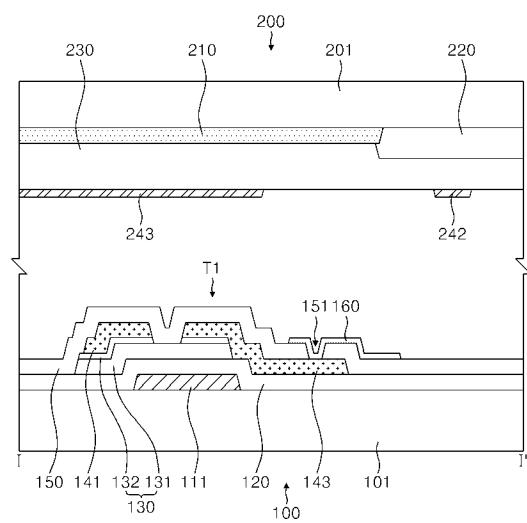
30

40

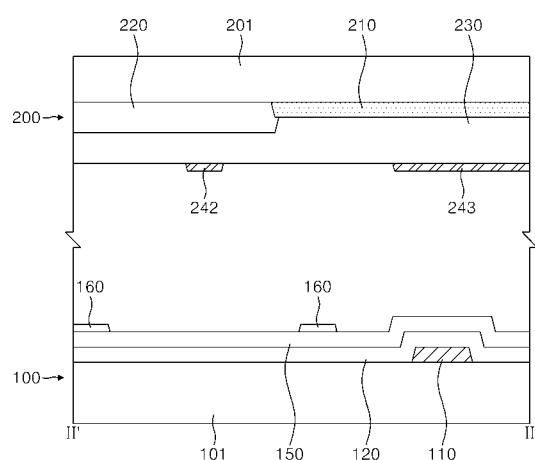
【図1】



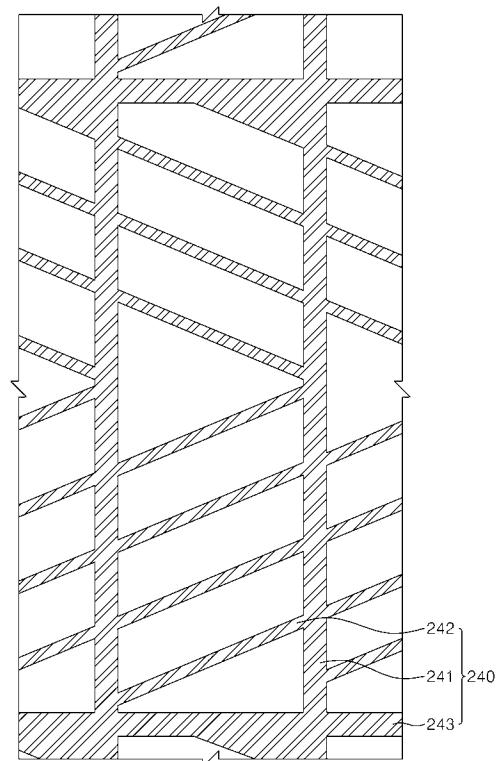
【図2】



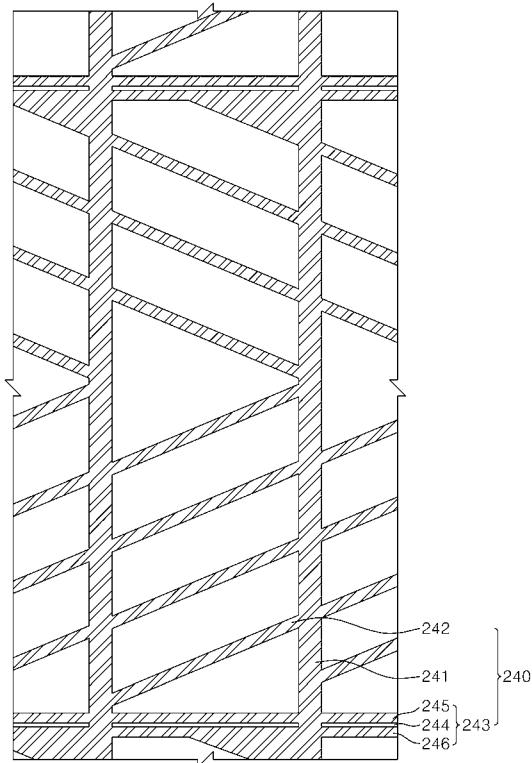
【図3】



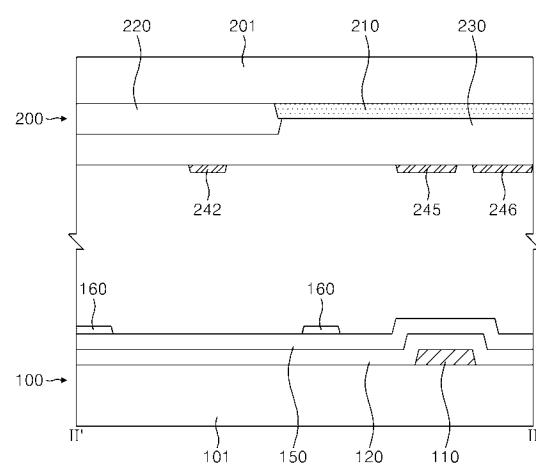
【図4】



【図5】



【図6】



フロントページの続き

(72)発明者 李 赫 珍

大韓民国京畿道城南市盆唐区九美洞 Kカチマウルロッテアパート415棟1002号

(72)発明者 羅 柄 善

大韓民国京畿道水原市長安区栗田洞 バンゴットマウルトランチェアパート108棟301号

(72)発明者 陸 建 鋼

大韓民国京畿道水原市靈通区靈通洞 擘積ゴル8団地833棟404号

(72)発明者 奇 桐 賢

大韓民国忠清南道天安市雙龍3洞 住公9団地アパート410棟1105号

(72)発明者 禹 和 成

大韓民国京畿道水原市靈通区梅灘1洞 住公4団地アパート419棟107号

F ターム(参考) 2H092 GA14 GA17 GA25 GA26 HA02 HA06 JA24 JB16 JB22 JB31

MA13 NA01 NA04 QA06

专利名称(译)	液晶显示面板		
公开(公告)号	JP2008191664A	公开(公告)日	2008-08-21
申请号	JP2008021081	申请日	2008-01-31
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
[标]发明人	權知げん 李赫珍 羅柄善 陸建鋼 奇桐賢 禹和成		
发明人	権知げん▼ 李赫珍 羅柄善 陸建鋼 奇桐賢 禹和成		
IPC分类号	G02F1/1343 G02F1/1368		
CPC分类号	G02F1/136286 G02F1/134309 G02F2001/134318 G02F2001/136218 G02F2201/121 G02F2201/122		
FI分类号	G02F1/1343 G02F1/1368		
F-TERM分类号	2H092/GA14 2H092/GA17 2H092/GA25 2H092/GA26 2H092/HA02 2H092/HA06 2H092/JA24 2H092/JB16 2H092/JB22 2H092/JB31 2H092/MA13 2H092/NA01 2H092/NA04 2H092/QA06 2H192/AA24 2H192/BA16 2H192/BA32 2H192/BC31 2H192/CB05 2H192/DA12 2H192/EA22 2H192/EA43 2H192/JA03 2H192/JA13		
优先权	1020070010562 2007-02-01 KR		
其他公开文献	JP2008191664A5 JP5475955B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供具有改进的对比度的液晶显示板。SOLUTION：
 液晶显示面板包括第一基础基板101，栅极线110和设置在第一基础基板101上并彼此交叉的数据线140，像素电极160包括第一斜线和第二斜线，第一斜线和第二斜线设置在第一基础基板101上。第一基础基板101并且相对于栅极线110在彼此不同的方向上倾斜，第二基础基板201，公共电极240设置在第二基础基板201上并且与像素电极160交替地定位，其中共同的电极与栅极线110重叠，并且液晶层设置在第一和第二基础基板101和201之间。

