

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-185644

(P2008-185644A)

(43) 公開日 平成20年8月14日(2008.8.14)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G02F 1/133 (2006.01)	G02F 1/133 505	5C006
G09G 3/20 (2006.01)	G09G 3/20 621A	5C080
	G09G 3/20 612F	
	G09G 3/20 642A	
審査請求 未請求 請求項の数 9 O L (全 19 頁) 最終頁に続く		

(21) 出願番号 特願2007-17033 (P2007-17033)
 (22) 出願日 平成19年1月26日 (2007.1.26)

(71) 出願人 302062931
 NECエレクトロニクス株式会社
 神奈川県川崎市中原区下沼部1753番地
 (74) 代理人 100102864
 弁理士 工藤 実
 (72) 発明者 能勢 崇
 神奈川県川崎市中原区下沼部1753番地
 NECエレクトロニクス株式会社内
 Fターム(参考) 2H093 NA34 NA43 NA44 NC02 NC22
 NC26 NC34 ND09 ND10 NE03
 5C006 AA22 AF43 AF71 BB16 BC12
 BC16 BC23 BF24 FA01 FA22
 FA36
 5C080 AA10 BB06 CC03 DD05 EE30
 FF11 JJ02 JJ03 JJ04 JJ05
 JJ06

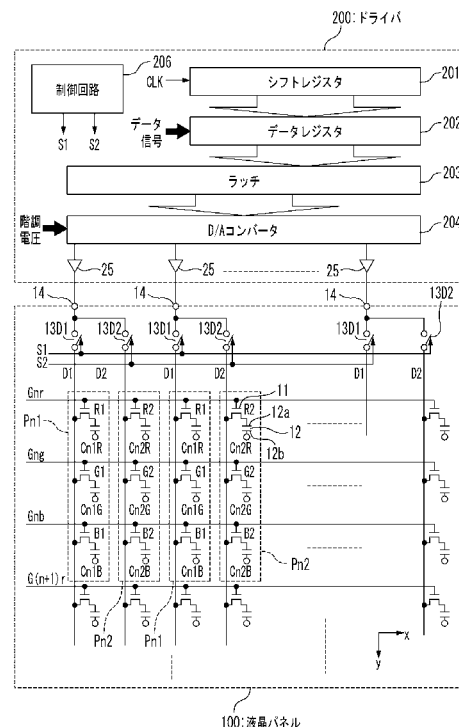
(54) 【発明の名称】 液晶表示装置及び液晶表示装置の駆動方法

(57) 【要約】

【課題】 1つのアンプによって複数の信号線を時分割で駆動する場合、その画質を向上することが可能な液晶表示装置及び液晶表示装置の駆動方法を提供する。

【解決手段】 液晶表示装置は、液晶パネル100と駆動部200とを具備する。液晶パネル100は、複数の走査線Gと複数の信号線Dと走査線Gに沿って並ぶものが同一色である複数の画素Pとを備える。駆動部200は、複数の信号線Dを駆動する複数のアンプ25を備える。駆動部200は、複数のアンプ25の各々が、1つの走査線選択期間の第1期間に、複数の画素のうち1つの走査線G_nに接続された第1グループの画素P_{n1}を駆動し、1つの走査線選択期間の第2期間に、1つの走査線G_nに接続された第2グループの画素P_{n2}を駆動するように、複数のアンプ25の各々を時分割で制御する。

【選択図】 図5



【特許請求の範囲】**【請求項 1】**

液晶パネルと、
前記液晶パネルを駆動する駆動部と
を具備し、
前記液晶パネルは、
第 1 方向へ延伸する複数の走査線と、
第 2 方向へ延伸する複数の信号線と、
前記複数の走査線と前記複数の信号線のそれぞれの交差部に配置され、前記走査線に沿って並ぶものが同一色である複数の画素と
を備え、
前記駆動部は、前記複数の信号線を駆動する複数のアンプを備え、
前記複数のアンプの各々が、1 つの走査線選択期間の第 1 期間に、前記複数の画素のうち 1 つの走査線に接続された第 1 グループの画素を駆動し、前記 1 つの走査線選択期間の第 2 期間に、前記 1 つの走査線に接続された第 2 グループの画素を駆動するように、前記複数のアンプの各々を時分割で制御する
液晶表示装置。

10

【請求項 2】

請求項 1 に記載の液晶表示装置において、
前記時分割で駆動される前記走査線に沿って並ぶ同一色の画素の極性が同じである
液晶表示装置。

20

【請求項 3】

請求項 1 に記載の液晶表示装置において、
前記駆動部は、
前記時分割の制御を、1 つの走査線に沿って並ぶ第 1 色の画素について実行後、隣り合う他の 1 つの走査線に沿って並ぶ第 2 色の画素について実行する
液晶表示装置。

【請求項 4】

請求項 1 に記載の液晶表示装置において、
前記液晶パネルは、
前記複数の信号線のうち前記第 1 グループの画素に接続される第 1 信号線と前記複数のアンプの各々との間に設けられた第 1 スイッチと、
前記複数の信号線のうち前記第 2 グループの画素に接続される第 2 信号線と前記複数のアンプの各々との間に設けられた第 2 スイッチと
を備え、
前記駆動部は、前記複数のアンプの各々と前記第 1 スイッチ及び前記第 2 スイッチとを同期させて、前記時分割の制御を実行する
液晶表示装置。

30

【請求項 5】

請求項 1 に記載の液晶表示装置において、
前記複数の画素は、前記信号線に沿って並ぶ第 1 色の画素、第 2 色の画素及び第 3 色の画素が一つの画素セットを構成する
液晶表示装置。

40

【請求項 6】

請求項 1 乃至 4 のいずれか一項に記載の液晶表示装置において、
前記液晶パネルの第 1 色、第 2 色、第 3 色の各色の各々の階調電圧特性に対応する基準階調電圧を発生する基準階調電圧発生部を更に具備し、
前記基準階調電圧発生部は、前記時分割で駆動され前記走査線に沿って並ぶ同一色の画素に印加される入力階調データに応じた階調電圧特性を、前記第 1 色、前記第 2 色、前記第 3 色の各色の走査線の走査ごとに、前記第 1 色、前記第 2 色、前記第 3 色の各色の階調

50

電圧特性に対応するそれぞれの基準階調電圧に切り替える
液晶表示装置。

【請求項 7】

1つのアンプによって複数の信号線を時分割にして駆動する液晶表示装置の駆動方法において、

(a) 1つの走査線選択期間に1つの走査線に沿って並ぶ複数の画素を選択するステップと、

(b) 前記1つの走査線選択期間の第1期間に、前記複数の画素のうち第1グループの画素を前記1つのアンプにより駆動するステップと、

(c) 前記1つの走査線選択期間の第2期間に、前記複数の画素のうち第2グループの画素を前記1つのアンプにより駆動するステップと

10

を具備し、

前記1つの走査線に沿って並ぶ前記複数の画素は同一色である

液晶表示装置の駆動方法。

【請求項 8】

請求項7記載の液晶表示装置の駆動方法は、

前記(b)ステップ及び前記(c)ステップにおいて、前記1つの走査線に沿って並ぶ同一色の前記複数の画素の極性が同じである

液晶表示装置の駆動方法。

【請求項 9】

20

請求項7又は8に記載の液晶表示装置の駆動方法において、

前記(a)乃至前記(c)ステップは、1つの走査線に沿って並ぶ第1色の画素について実行後、隣り合う他の1つの走査線に沿って並ぶ第2色の画素について実行される

液晶表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置及び液晶表示装置の駆動方法に関し、特に、1つのアンプで複数の信号線(データ線)を時分割で駆動するように構成された液晶パネルを駆動する駆動技術に関する。

30

【背景技術】

【0002】

近年の液晶パネルの高解像度化を背景として、液晶パネルの信号線(データ線)の数はますます増加し、加えて、その間隔はますます狭くなっている。信号線の数の増加と、その間隔の減少がもたらす一つの問題は、信号線をドライバに接続する外部接続配線に対して十分なピッチを確保することが困難になることである。信号線の間隔の減少は、外部接続配線に許容されるピッチを減少させ、液晶パネルと、それを駆動するドライバ(駆動部)との接続を困難にする。他の一つの問題は、信号線を駆動するためにドライバに搭載されるアンプの数が増加することである。アンプの数が増加すると、ドライバの大型化や、それに伴うドライバのコストの増加のような悪影響が出ることになる。

40

【0003】

このような問題を克服するために、液晶パネルの複数の信号線を1つのアンプによって時分割で駆動する駆動技術が広く使用されている。例えば、特開平4-52684号公報には、液晶表示パネルの駆動方法が開示されている。この駆動方法は、3本の信号線を、液晶表示パネルに搭載された3つのスイッチング素子で切り替えることによって信号線を時分割で駆動する。

【0004】

図1は、特開平4-52684号公報に開示された技術に対応する表示装置の構成を示すブロック図である。その表示装置は、1つのアンプにより3本の信号線を時分割で駆動するように構成されている。すなわち、当該表示装置は、液晶パネル10とドライバ20

50

とを備えている。液晶パネル 10 は、赤 (R)、緑 (G)、青 (B) にそれぞれに対応した信号線 DR、DG、DB と、走査線 (ゲート線) G1、G2、 $\dots$ 、Gi、 $\dots$ 、GM ($1 < i \leq M$; i、M は 2 以上の自然数) とを備えている。ただし、ここでは、 $i = n$ 、 $n + 1$ のみを示している。信号線 DR、DG、DB は、それらを区別する必要のない場合、信号線 D と総称される。信号線 DR と走査線 Gi とが交差する位置には、赤に対応する R 画素 CiR が設けられている。同様に、信号線 DG と走査線 Gi とが交差する位置には、緑に対応する G 画素 CiG が設けられている。更に、信号線 DB と走査線 Gi とが交差する位置には、青に対応する B 画素 CiB が設けられている。同一の走査線 Gi に沿って水平方向に並べられた一組の R 画素 CiR、G 画素 CiG 及び B 画素 CiB は、液晶パネル 10 の 1 ドットに対応する画素セット Pi を構成する。

10

【0005】

画素のそれぞれは、TFT (Thin Film Transistor) 11 と、液晶容量 12 とを備えている。液晶容量 12 は、その間に液晶が満たされた画素電極 12a 及び共通電極 12b で構成されている。R 画素 CiR、G 画素 CiG 及び B 画素 CiB の TFT 11 のソースは、それぞれ信号線 DR、DG、DB に接続されている。ゲートは走査線 Gi に共通に接続されている。ドレインは、液晶容量 12 の画素電極 12a に接続されている。

【0006】

信号線 DR、DG、DB は、それぞれ、スイッチ素子 13R、13G、13B を介して入力端子 14 に接続されている。スイッチ素子 13R、13G、13B は、液晶パネル 10 の基板上に形成された TFT で構成される。スイッチ素子 13R、13G、13B は、それぞれ、ドライバ 20 から送られる制御信号 S1 ~ S3 に応答して、オンオフされる。入力端子 14 は、各画素に書き込まれる電圧をドライバ 20 から受け取る。後述されるように、R 画素 CiR、G 画素 CiG 及び B 画素 CiB に書き込まれる書き込み電圧は、入力端子 14 にシリアルに供給される。スイッチ素子 13R、13G、13B は、R 画素 CiR、G 画素 CiG 及び B 画素 CiB に書き込まれる書き込み電圧が、対応する信号線 DR、DG、DB に供給されるように、順次に排他的にオンオフされる。以下において、スイッチ素子 13R、13G、13B は、単に、スイッチ素子 13 と総称されることがある。

20

【0007】

ドライバ 20 は、シフトレジスタ 21 と、データレジスタ 22 と、ラッチ 23 と、D/A コンバータ 24 と、アンプ 25 とを備えている。シフトレジスタ 21 は、供給されるクロック信号 CLK をシフトしてシフトパルス生成する。データレジスタ 22 は、受信したシフトパルスをトリガとして、供給されるデータ信号をラッチすることにより、当該データ信号を順次に取得する。データ信号は、各画素の階調を指定する RGB データである。ラッチ 23 は、データレジスタ 22 から RGB データを順次にラッチする。そして、ラッチした RGB データを順次に D/A コンバータ 24 に供給する。D/A コンバータ 24 は、順次に供給される RGB データに応答して、供給される複数の階調電圧のうちから所望の階調電圧を選択する。そして、選択した階調電圧を逐次にアンプ 25 に供給する。アンプ 25 は、D/A コンバータ 24 から供給される階調電圧に対応する書き込み電圧を、逐次に液晶パネル 10 の入力端子 14 に供給する。

30

40

【0008】

ドライバ 20 は、更に、制御信号 S1 ~ S3 を生成する制御回路 26 を備えている。制御回路 26 は、制御信号 S1 ~ S3 を対応するスイッチ素子 13 に供給して、所望のスイッチ素子 13 を選択的にオンする。制御回路 26 は、アンプ 25 が書き込み電圧を入力端子 14 に供給するタイミングと制御信号 S1 ~ S3 のタイミングとが同期するように、タイミング制御を行う。このタイミング制御により、書き込み電圧の入力端子 14 への供給に同期して所望の信号線に所望の書き込み電圧が供給されるようにスイッチ素子 13 がオンオフされる。制御回路 26 は、ドライバ 20 の記憶装置 (図示されない) に記憶されたプログラムに従って上記のタイミング制御を行う。

50

【 0 0 0 9 】

当該表示装置の第 n ラインの R 画素 $C_n R$ 、G 画素 $C_n G$ 、B 画素 $C_n B$ への書き込み電圧の書き込みは、典型的には、以下のシーケンスによって実行される。

【 0 0 1 0 】

まず、走査線デコーダ（図示されず）が、ドライバ 20 からの制御信号により、第 n ラインの R 画素 $C_n R$ 、G 画素 $C_n G$ 、B 画素 $C_n B$ （画素セット P_n ）に接続された走査線 G_n を活性化する。それにより、R 画素 $C_n R$ 、G 画素 $C_n G$ 、B 画素 $C_n B$ の T F T 11 がオンになる。これにより、R 画素 $C_n R$ 、G 画素 $C_n G$ 、B 画素 $C_n B$ が書き込み可能な状態になる。更に、アンプ 25 が、R 画素 $C_n R$ に書き込まれる書き込み電圧を入力端子 14 に供給する。その書き込み電圧の供給に同期して、制御回路 26 が、制御信号 S_1 により、信号線 D_R を選択する。即ち、スイッチ素子 13 R がオンされ、他のスイッチ素子 13 G、13 B がオフされる。これにより、信号線 D_R が入力端子 14 に接続され、他の信号線 D_G 、 D_B がハイインピーダンス状態になる。その結果、R 画素 $C_n R$ に書き込まれる書き込み電圧は、信号線 D_R を介して R 画素 $C_n R$ に供給され、R 画素 $C_n R$ に書き込まれる。即ち、R 画素 $C_n R$ の液晶容量 12 に、書き込み電圧が生成される。

10

【 0 0 1 1 】

続いて、アンプ 25 が、G 画素 $C_n G$ に書き込まれる書き込み電圧を入力端子 14 に供給する。その書き込み電圧の供給に同期して、制御回路 26 が、制御信号 S_2 により、信号線 D_G を選択する。これにより、信号線 D_G が入力端子 14 に接続され、書き込み電圧が信号線 D_G を介して G 画素 $C_n G$ に書き込まれる。即ち、G 画素 $C_n G$ の液晶容量 12 に、書き込み電圧が生成される。

20

【 0 0 1 2 】

同様に、アンプ 25 が、B 画素 $C_n B$ に書き込まれる書き込み電圧を入力端子 14 に供給する。その書き込み電圧の供給に同期して、制御回路 26 が、制御信号 S_3 により、信号線 D_B を選択する。これにより、信号線 D_B が入力端子 14 に接続され、書き込み電圧が信号線 D_B を介して B 画素 $C_n B$ に書き込まれる。即ち、B 画素 $C_n B$ の液晶容量 12 に、書き込み電圧が生成される。

【 0 0 1 3 】

以上のシーケンスにより、アンプ 25 が、信号線 D_R 、 D_G 、 D_B を時分割で駆動し、書き込み電圧が対応する画素に書き込まれる。書き込み電圧の書き込みは、R 画素 $C_n R$ 、G 画素 $C_n G$ 、B 画素 $C_n B$ の順に行われる。

30

【 0 0 1 4 】

特開平 4 - 5 2 6 8 4 号公報では、信号線は、必ずしも R G B に対応させる必要はなく、一のアンプによって駆動される信号線の数は、2 本、あるいは、4 本以上であり得ることを開示している（特開平 4 - 5 2 6 8 4 号公報：第 3 頁右上欄第 7 行～第 9 行）。

【 0 0 1 5 】

関連する技術として、特開平 10 - 2 9 3 2 8 5 号公報（英国公報 G B 2 3 2 0 7 9 0（A））に画素配列構造とこれを用いた液晶表示素子及びその駆動方法が開示されている。このカラーフィルタ画素配列構造では、走査方向に略直交する方向に R、G、B を順次的に配列した単位カラーフィルタ画素を複数個マトリックス形態に配列する。それとともに、偶数列のカラーフィルタ画素を、隣接する奇数列のカラーフィルタ画素から走査方向に一定距離突出させて配列したことを特徴とする。この文献には、1 つの走査線に接続される画素を同一色にすることが開示されている。ただし、この文献はパネルの画素のレイアウトやその駆動について開示するのみであり、ドライバ、特にアンプとの関係について記載は無い。

40

【 0 0 1 6 】

特開 2 0 0 1 - 1 0 9 4 3 5 号公報に表示装置が開示されている。この表示装置は、アレイ基板と信号線駆動手段とを備えている。アレイ基板は、基板上に互いに直交して配列された複数のゲート線及び複数の信号線と、ゲート線と信号線とのそれぞれの交差部に配置された画素トランジスタと、各画素トランジスタに接続された画素電極とを絶縁基板上

50

に備えている。信号線駆動手段は、前記信号線にアナログ映像信号を出力する。この表示装置において、前記信号線駆動手段は、駆動ＩＣと、選択手段とを備えている。駆動ＩＣは、入力されるデジタル信号をアナログ信号に変換すると共に、前記信号線を所定数の信号線から成る複数の信号線群に区分し、各前記信号線群毎に対応するアナログ信号をシリアルに出力する。選択手段は、前記アレイ基板上に一体的に形成され、前記駆動ＩＣからのシリアルアナログ信号を各前記信号線群の対応する信号線に順次振り分ける。この文献は、ディスプレイパネル基板上に形成された選択回路により、２つの信号線を切り替える技術を開示している。

【００１７】

特開２００１－３３７６５７号公報に液晶表示装置が開示されている。この液晶表示装置は、縦横に列設された信号線および走査線と、信号線および走査線の交点付近に形成された画素トランジスタとを備えている。この液晶表示装置は、複数の第１ラッチ回路と、複数の第２ラッチ回路と、複数のＤ／Ａ変換回路と、信号線選択回路とを備えている。複数の第１ラッチ回路は、複数ビットからなるデジタル階調データをそれぞれ異なるタイミングでラッチする。複数の第２ラッチ回路は、前記複数の第１ラッチ回路それぞれに対応して設けられ、前記複数の第１ラッチ回路のそれぞれでラッチされたラッチデータを同タイミングでラッチする。複数のＤ／Ａ変換回路は、前記複数の第２ラッチ回路それぞれに対応して設けられ、前記複数の第２ラッチ回路のそれぞれでラッチされたラッチデータをアナログ階調電圧に変換する。信号線選択回路は、信号線が複数本おきに複数回に分けて駆動されるように、各信号線に前記アナログ階調電圧を供給するか否かを切り替える。この文献は、６本の信号線を、６つのアナログスイッチによって切り替える技術を開示している。

10

20

【００１８】

【特許文献１】特開平０４－０５２６８４号公報

【特許文献２】特開平１０－２９３２８５号公報

【特許文献３】特開２００１－１０９４３５号公報

【特許文献４】特開２００１－３３７６５７号公報

【発明の開示】

【発明が解決しようとする課題】

【００１９】

上記駆動技術における一つの問題は、信号線がハイインピーダンス状態になった後に、各画素の液晶容量１２に保持される書き込み電圧が、所望の書き込み電圧から変動することである。書き込み電圧の変動の原因に、信号線Ｄを切り替えるために使用されるスイッチ素子１３を構成するＴＦＴのリークがある。図１に示される信号線Ｄは、その長さ及びそれに応じた抵抗成分と容量が大きい。そのため、信号線Ｄを駆動するためにはスイッチ素子１３を構成するＴＦＴに対して、大きなドライブ能力が要求される。このため、これらのＴＦＴは、そのゲート幅が大きく、ゲート長が短く、オン抵抗が小さくなるように形成される。しかし、このように設計されたＴＦＴは、本質的にリークが大きい。このため、各画素の画素電極１２ａに蓄積された電荷がスイッチ素子１３を構成するＴＦＴを介して流出し、画素の書き込み電圧が低下してしまう。隣接する信号線に供給される書き込み電圧が大きく異なる場合、このリークの問題は一層に重要である。

30

40

【００２０】

更に、書き込み電圧の変動は、１つのアンプあたりの信号線の数が増大するほど顕著になる。このため、近年検討されている、６本又はそれ以上の数の信号線を時分割で駆動する液晶パネルにおいては、書き込み電圧の変動はさらに顕著に発生することになる。

【００２１】

このような書き込み電圧の変動は、液晶パネル１０を観察する人間には、輝度ムラとして認識される。具体的には、書き込み電圧の変動は、縦方向（信号線Ｄの方向）に延伸する模様、即ち、縦筋ムラとして認識される。

【００２２】

50

図 2 は、従来の 6 本の信号線を時分割で駆動する液晶パネルの構成を示すブロック図である。各構成は、6 本の信号線用に 6 つのスイッチ素子 13 を用いている以外は基本的に図 1 と同様である。図 3 は、その液晶パネルに供給される信号波形の例を示すタイミングチャートである。V G n、V G n + 1 は、それぞれ走査線 G n、G n + 1 を選択するための電圧波形である。S 1 ~ S 6 は、それぞれスイッチ素子 13 R 1 ~ 13 B 2 を選択するための電圧波形である。図 4 は、その液晶パネルの各画素への書き込み順序の例を示す図である。矩形は画素を示し、画素中の数字は書き込み順序を示す。R 1 等及び G n 等は、図 2 と同様である。

【 0 0 2 3 】

例えば、図 2、図 3 及び図 4 に示されるように、各画素へ書き込み電圧が書き込まれる順番は、1 つの走査線選択期間において、R 1 画素 C n 1 R、G 1 画素 C n 1 G、B 1 画素 C n 1 B、R 2 画素 C n 2 R、G 2 画素 C n 2 G、B 2 画素 C n 2 B の順に行われる。このとき、B 2 画素 C n 2 B、G 2 画素 C n 2 G、R 2 画素 C n 2 R、B 1 画素 C n 1 B、G 1 画素 C n 1 G、R 1 画素 C n 1 R の順に、各画素へ電圧が書き込まれてからのリークしている時間が多くなる。そのため、例えば、赤 (R) の単一色表示の場合、R 1 画素 C n 1 R 及び R 2 画素 C n 2 R のリーク時間が多いため、それら画素での書き込み電圧の変動量が相対的に大きく、縦筋ムラが顕著に発生する。

【 0 0 2 4 】

特開 2 0 0 1 - 1 0 9 4 3 5 号公報は、1 つのアンプによって 2 本の信号線を駆動する表示装置において、信号線への書き込み順序を、所定の垂直走査期間及び水平走査期間の少なくとも一方毎に変更する技術を開示している (特開 2 0 0 1 - 1 0 9 4 3 5 号公報、段落 [0 0 3 1] ~ [0 0 4 3] 参照)。この技術は、書き込み電圧の変動が生じた画素を、時間的又は空間的に分散させることを可能にする。これにより縦筋ムラの発生を抑制する。しかし、このような抑制方法は、実質的な書き込み電圧の変動が減少するわけではないため、粒状感やフリッカーという新たな問題が発生する。

【 0 0 2 5 】

従って、本発明の目的は、1 つのアンプによって複数の信号線を時分割で駆動する場合に、その画質を向上することが可能な液晶表示装置及び液晶表示装置の駆動方法を提供することにある。

【 0 0 2 6 】

また、本発明の他の目的は、画素の書き込み電圧の変動に起因する縦筋ムラを抑制することが可能な液晶表示装置及び液晶表示装置の駆動方法を提供することにある。

【 0 0 2 7 】

本発明の更に他の目的は、液晶パネルの色の均一性を向上しつつ、画素の書き込み電圧の変動に起因する輝度ムラを一層に抑制することが可能な液晶表示装置及び液晶表示装置の駆動方法を提供することにある。

【課題を解決するための手段】

【 0 0 2 8 】

以下に、発明を実施するための最良の形態で使用される番号・符号を用いて、課題を解決するための手段を説明する。これらの番号・符号は、特許請求の範囲の記載と発明を実施するための最良の形態との対応関係を明らかにするために括弧付きで付加されたものである。ただし、それらの番号・符号を、特許請求の範囲に記載されている発明の技術的範囲の解釈に用いてはならない。

【 0 0 2 9 】

従って、上記課題を解決するために、本発明の液晶表示装置は、液晶パネル (1 0 0) と、液晶パネル (1 0 0) を駆動する駆動部 (2 0 0) とを具備する。液晶パネル (1 0 0) は、第 1 方向へ延伸する複数の走査線 (G) と、第 2 方向へ延伸する複数の信号線 (D) と、複数の走査線 (G) と複数の信号線 (D) のそれぞれの交差部に配置され、走査線 (G) に沿って並ぶものが同一色である複数の画素 (P) とを備える。駆動部 (2 0 0) は、複数の信号線 (D) を駆動する複数のアンプ (2 5) を備える。そして、駆動部 (

10

20

30

40

50

200)は、複数のアンプ(25)の各々が、1つの走査線選択期間の第1期間に、複数の画素のうち1つの走査線(G_n)に接続された第1グループの画素(P_{n1})を駆動し、1つの走査線選択期間の第2期間に、1つの走査線(G_n)に接続された第2グループの画素(P_{n2})を駆動するように、複数のアンプ(25)の各々を時分割で制御する。
【0030】

本発明では、液晶パネル(100)の画素(P)配列は、各走査線(G)に接続される画素(G)が同色であり、1画素を構成するR画素、G画素、B画素が垂直方向に並べられている。そのため、単一色表示時には、走査線方向に隣り合う画素(例示: C_{n1R} と C_{n2R})間の電荷量の差が概ね等しくなるので、一つのアンプ(25)で複数の信号線(例示: D_1 と D_2)を時分割で駆動する方式を用いても、スイッチ素子(13)を介してのリーク電流が発生しない。従って、液晶パネル(100)での色の均一性を向上しつつ、画素の書き込み電圧の変動に起因する輝度ムラを一層に抑制することができる。

【発明の効果】

【0031】

本発明により、1つのアンプによって複数の信号線を時分割で駆動する場合、その画質を向上することが可能となる。

【発明を実施するための最良の形態】

【0032】

以下、本発明の液晶表示装置及び液晶表示装置の駆動方法の実施の形態に関して、添付図面を参照して説明する。図5は、本発明の液晶表示装置の実施の形態の構成を示すブロック図である。なお、図5において、図2の構成要素と同様の機能を有する構成要素には、同じ又は類似の符号が付されている。

【0033】

この液晶表示装置は、液晶パネル100とドライバ200とを備えている。液晶パネル100は、複数の走査線(ゲート線)Gと、複数の信号線(データ線)Dと、複数の画素Pとを備えている。

【0034】

複数の走査線Gは、走査線 G_{1r} 、 G_{1g} 、 G_{1b} 、 G_{2r} 、 G_{2g} 、 G_{2b} 、・・・、 G_{ir} 、 G_{ig} 、 G_{ib} 、・・・、 G_{Mr} 、 G_{Mg} 、 G_{Mb} を有している。X方向に延伸している。ただし、添え字の数字は、走査線の通し番号を示し、 $1 < i \leq M$ (i 、 M は2以上の自然数)である。添え字のr、g、bは、それぞれ赤(R)、緑(G)、青(B)に対応することを示す。ここでは、 $i = n$ 、及び、 $i = n + 1$ の一部のみを図示している。複数の信号線Dは、第1グループに属する信号線 D_1 と、第2グループに属する信号線 D_2 とを有している。信号線 D_1 と信号線 D_2 とは交互に配置されている。Y方向に延伸している。ここでは、二組の信号線 D_1 と信号線 D_2 のみを図示している。

【0035】

信号線 D_1 と走査線 G_{ir} とが交差する位置には、赤に対応するR画素 C_{i1R} が設けられている。同様に、信号線 D_1 と走査線 G_{ig} とが交差する位置には、緑に対応するG画素 C_{i1G} が設けられている。信号線 D_1 と走査線 G_{ib} とが交差する位置には、青に対応するB画素 C_{i1B} が設けられている。また、信号線 D_2 と走査線 G_{ir} とが交差する位置には、赤に対応するR画素 C_{i2R} が設けられている。同様に、信号線 D_2 と走査線 G_{ig} とが交差する位置には、緑に対応するG画素 C_{i2G} が設けられている。信号線 D_2 と走査線 G_{ib} とが交差する位置には、青に対応するB画素 C_{i2B} が設けられる。ただし、添え字のiは、走査線の通し番号を示し、 $1 < i \leq M$ (i 、 M は2以上の自然数)である。添え字の1又は2は、信号線 D_1 又は信号線 D_2 を示し、添え字のR、G、Bは、それぞれ赤(R)、緑(G)、青(B)に対応することを示す。

【0036】

ここで、同一の信号線 D_1 に沿って垂直方向に並べられた一組のR画素 C_{i1R} 、G画素 C_{i1G} 及びB画素 C_{i1B} は、液晶パネル100の1ドットに対応する画素セット P_{i1} を構成する。同様に、信号線 D_2 に沿って垂直方向に並べられた一組のR画素 C_{i2R}

10

20

30

40

50

R、G画素 C_{i2G} 及びB画素 C_{i2B} は、画素セット P_{i2} を構成する。ただし、添え字の i は、走査線の通し番号を示し、 $1 < i \leq M$ (i 、 M は2以上の自然数)である。添え字の1又は2は、信号線D1又は信号線D2を示す。

【0037】

また、走査線 G_{ir} に沿って水平方向に並べられる画素は、R画素 C_{i1R} 、R画素 C_{i2R} であり、赤(R)に対応する画素のみが配置されている。同様に、走査線 G_{ig} に沿って水平方向に並べられる画素は、G画素 C_{i1G} 、G画素 C_{i2G} であり、緑(G)に対応する画素のみが配置されている。走査線 G_{ib} に沿って水平方向に並べられる画素は、B画素 C_{i1B} 、B画素 C_{i2B} であり、青に対応する画素のみが配置されている。すなわち、同一の走査線Gに沿って並べられている画素は、同一色である。

10

【0038】

画素のそれぞれは、TFT (Thin Film Transistor) 11と、液晶容量12とを備えている。液晶容量12は、その間に液晶が満たされた画素電極12a及び共通電極12bで構成されている。R画素 C_{i1R} 、G画素 C_{i1G} 及びB画素 C_{i1B} のTFT 11では、ソースはいずれも信号線D1に、ゲートはそれぞれ走査線 G_{ir} 、 G_{ig} 、 G_{ib} に接続されている。また、R画素 C_{i2R} 、G画素 C_{i2G} 及びB画素 C_{i2B} のTFT 11では、ソースはいずれも信号線D2に、ゲートはそれぞれ走査線 G_{ir} 、 G_{ig} 、 G_{ib} に接続されている。ドレインは、いずれも各画素における液晶容量12の画素電極12aに接続されている。

【0039】

20

信号線D1、D2は、それぞれ、スイッチ素子13D1、13D2、を介して入力端子14に接続されている。スイッチ素子13D1、13D2は、液晶パネル100の基板上に形成されたTFTで構成されている。それぞれ、ドライバ200から送られる制御信号S1、S2に応答して、オンオフされる。入力端子14は、各画素に書き込まれる電圧をドライバ200から受け取る。後述されるように、R画素 C_{i1R} 、 C_{i2R} に書き込まれる書き込み電圧は、入力端子14にシリアルに供給される。スイッチ素子13D1、13D2は、R画素 C_{i1R} 、 C_{i2R} に書き込まれる書き込み電圧が、対応する信号線D1、D2供給されるように、順次に排他的にオンオフされる。同様に、G画素 C_{i1G} 、 C_{i2G} に書き込まれる書き込み電圧は、入力端子14にシリアルに供給される。スイッチ素子13D1、13D2は、G画素 C_{i1G} 、 C_{i2G} に書き込まれる書き込み電圧が、対応する信号線D1、D2供給されるように、順次に排他的にオンオフされる。B画素 C_{i1B} 、 C_{i2B} に書き込まれる書き込み電圧は、入力端子14にシリアルに供給される。スイッチ素子13D1、13D2は、B画素 C_{i1B} 、 C_{i2B} に書き込まれる書き込み電圧が、対応する信号線D1、D2供給されるように、順次に排他的にオンオフされる。以下において、スイッチ素子13D1、13D2は、単に、スイッチ素子13と総称されることがある。

30

【0040】

ドライバ200は、シフトレジスタ201と、データレジスタ202と、ラッチ203と、D/Aコンバータ204と、アンプ25とを備えている。シフトレジスタ201は、供給されるクロック信号CLKをシフトしてシフトパルス生成する。データレジスタ202は、受信したシフトパルスをトリガとして、供給されるデータ信号をラッチすることにより、当該データ信号を順次に取得する。データ信号は、各画素の階調を指定するRGBデータである。ラッチ203は、データレジスタ202からRGBデータを順次にラッチする。そして、ラッチしたRGBデータを順次にD/Aコンバータ204に供給する。D/Aコンバータ204は、順次に供給されるRGBデータに応答して、供給される複数の階調電圧のうちから所望の階調電圧を選択する。そして、選択した階調電圧を逐次にアンプ25に供給する。アンプ25は、D/Aコンバータ204から供給される階調電圧に対応する書き込み電圧を、逐次に液晶パネル100の入力端子14に供給する。

40

【0041】

ドライバ200は、更に、制御信号S1、S2を生成する制御回路206を備えている

50

。制御回路206は、制御信号S1、S2を対応するスイッチ素子13D1、13D2に供給して、所望のスイッチ素子13D1、D2を選択的にオンする。制御回路206は、アンプ25が書き込み電圧を入力端子14に供給するタイミングと制御信号S1、S2のタイミングとが同期するように、タイミング制御を行う。このタイミング制御により、書き込み電圧の入力端子14への供給に同期して所望の信号線に所望の書き込み電圧が供給されるようにスイッチ素子13D1、13D2がオンオフされる。制御回路206は、ドライバ200の記憶装置（図示されない）に記憶されたプログラムに従って上記のタイミング制御を行う。すなわち、制御回路206は、アンプ25が、1つの走査線選択期間の第1期間に、複数の画素のうち1つの走査線（例示：Gnr）に接続された第1グループの画素（例示：Cn1R）を駆動し、その1つの走査線選択期間の第2期間に、その1つの走査線（例示：Gnr）に接続された第2グループの画素（例示：Cn2R）を駆動するように、アンプ25及びスイッチ素子13D1、13D2を時分割で制御する。

10

【0042】

図5に示される本発明の液晶パネル100は、図2に示される従来の液晶パネル10と比較すると、走査線の数が3倍、信号線の数が1/3となっている。

【0043】

図6は、本発明の液晶パネルの画素セットPn1、Pn2の画素構成を示す図である。信号線D1に沿って、赤（R）、緑（G）、青（B）の各一画素が並び、第1グループの画素セットPn1を構成している。同様に、信号線D2に沿って、赤（R）、緑（G）、青（B）の各一画素が並び、第2グループの画素セットPn2を構成している。一方、走査線Gnrに沿って、同一色である赤（R）の画素が並んでいる。同様に、走査線Gngに沿って、同一色である緑（G）の画素が並んでいる。走査線Gnbに沿って、同一色である青（B）の画素が並んでいる。

20

【0044】

次に、図6及び図7を参照して、本発明の液晶表示装置の実施の形態における動作方法（液晶表示装置の駆動方法）について説明する。ただし、図7は、本発明の液晶表示装置の実施の形態における動作方法を説明するタイミングチャートである。ここでは、例として、走査線Gnrからの動作について説明する。

【0045】

（1）t11～t21

30

まず、走査線デコーダ（図示されず）が、ドライバ200からの制御信号により、第nラインのR画素Cn1R、R画素Cn2Rに接続された走査線Gnrを活性化する。それにより、R画素Cn1R、R画素Cn2RのTFT11がオンになる。これにより、R画素Cn1R、R画素Cn2Rが書き込み可能な状態になる。一方、アンプ25が、R画素Cn1R、R画素Cn2Rに書き込まれる書き込み電圧を入力端子14にシリアルに供給する。

【0046】

続いて、t11において、R画素Cn1Rに書き込まれる書き込み電圧が入力端子14に供給されるときは、制御回路206は、その書き込み電圧の供給に同期して、制御信号S1を出力する。それにより、スイッチ素子13D1がオンになり、信号線D1が選択される。このとき、制御信号S2は出力されないで、スイッチ素子13D2はオフである。その結果、R画素Cn1Rに書き込まれる書き込み電圧は、信号線D1を経由して、R画素Cn1Rへ供給される。

40

【0047】

その後、t12において、R画素Cn2Rに書き込まれる書き込み電圧が入力端子14に供給されるときは、制御回路206は、その書き込み電圧の供給に同期して、制御信号S2を出力する。それにより、スイッチ素子13D2がオンになり、信号線D2が選択される。このとき、制御信号S1は出力されないで、スイッチ素子13D1はオフである。その結果、R画素Cn2Rに書き込まれる書き込み電圧は、信号線D2を経由して、R画素Cn2Rへ供給される。

50

【 0 0 4 8 】

このように、制御回路 2 0 6 は、R 画素 C_{n1R} 、R 画素 C_{n2R} に書き込まれる書き込み電圧が対応する信号線 D_1 、 D_2 に供給されるように、スイッチ素子 1 3 D_1 、1 3 D_2 を順次に排他的にオンオフさせる。

【 0 0 4 9 】

(2) $t_{21} \sim t_{31}$

次に、走査線デコーダ (図示されず) が、ドライバ 2 0 0 からの制御信号により、第 n ラインの G 画素 C_{n1G} 、G 画素 C_{n2G} に接続された走査線 G_{ng} を活性化する。それにより、G 画素 C_{n1G} 、G 画素 C_{n2G} の TFT 1 1 がオンになる。これにより、G 画素 C_{n1G} 、G 画素 C_{n2G} が書き込み可能な状態になる。一方、アンプ 2 5 が、G 画素 C_{n1G} 、G 画素 C_{n2G} に書き込まれる書き込み電圧を入力端子 1 4 にシリアルに供給する。

10

【 0 0 5 0 】

続いて、 t_{21} において、G 画素 C_{n1G} に書き込まれる書き込み電圧が入力端子 1 4 に供給されるときは、制御回路 2 0 6 は、その書き込み電圧の供給に同期して、制御信号 S_1 を出力する。それにより、スイッチ素子 1 3 D_1 がオンになり、信号線 D_1 が選択される。このとき、制御信号 S_2 は出力されないで、スイッチ素子 1 3 D_2 はオフである。その結果、G 画素 C_{n1G} に書き込まれる書き込み電圧は、信号線 D_1 を経由して、G 画素 C_{n1G} へ供給される。

【 0 0 5 1 】

その後、 t_{22} において、G 画素 C_{n2G} に書き込まれる書き込み電圧が入力端子 1 4 に供給されるときは、制御回路 2 0 6 は、その書き込み電圧の供給に同期して、制御信号 S_2 を出力する。それにより、スイッチ素子 1 3 D_2 がオンになり、信号線 D_2 が選択される。このとき、制御信号 S_1 は出力されないで、スイッチ素子 1 3 D_1 はオフである。その結果、G 画素 C_{n2G} に書き込まれる書き込み電圧は、信号線 D_2 を経由して、G 画素 C_{n2G} へ供給される。

20

【 0 0 5 2 】

このように、制御回路 2 0 6 は、G 画素 C_{n1G} 、G 画素 C_{n2G} に書き込まれる書き込み電圧が対応する信号線 D_1 、 D_2 に供給されるように、スイッチ素子 1 3 D_1 、1 3 D_2 を順次に排他的にオンオフさせる。

30

【 0 0 5 3 】

(3) $t_{31} \sim t_{41}$

次に、走査線デコーダ (図示されず) が、ドライバ 2 0 0 からの制御信号により、第 n ラインの G 画素 C_{n1B} 、B 画素 C_{n2B} に接続された走査線 G_{nb} を活性化する。それにより、B 画素 C_{n1B} 、B 画素 C_{n2B} の TFT 1 1 がオンになる。これにより、B 画素 C_{n1B} 、B 画素 C_{n2B} が書き込み可能な状態になる。一方、アンプ 2 5 が、B 画素 C_{n1B} 、B 画素 C_{n2B} に書き込まれる書き込み電圧を入力端子 1 4 にシリアルに供給する。

【 0 0 5 4 】

続いて、 t_{31} において、B 画素 C_{n1B} に書き込まれる書き込み電圧が入力端子 1 4 に供給されるときは、制御回路 2 0 6 は、その書き込み電圧の供給に同期して、制御信号 S_1 を出力する。それにより、スイッチ素子 1 3 D_1 がオンになり、信号線 D_1 が選択される。このとき、制御信号 S_2 は出力されないで、スイッチ素子 1 3 D_2 はオフである。その結果、B 画素 C_{n1B} に書き込まれる書き込み電圧は、信号線 D_1 を経由して、B 画素 C_{n1B} へ供給される。

40

【 0 0 5 5 】

その後、 t_{32} において、B 画素 C_{n2B} に書き込まれる書き込み電圧が入力端子 1 4 に供給されるときは、制御回路 2 0 6 は、その書き込み電圧の供給に同期して、制御信号 S_2 を出力する。それにより、スイッチ素子 1 3 D_2 がオンになり、信号線 D_2 が選択される。このとき、制御信号 S_1 は出力されないで、スイッチ素子 1 3 D_1 はオフである

50

。その結果、G画素 C_{n2G} に書き込まれる書き込み電圧は、信号線D2を経由して、B画素 C_{n2B} へ供給される。

【0056】

このように、制御回路206は、B画素 C_{n1B} 、B画素 C_{n2B} に書き込まれる書き込み電圧が対応する信号線D1、D2に供給されるように、スイッチ素子13D1、13D2を順次に排他的にオンオフさせる。

【0057】

以下、続く第 $n+1$ ライン以降も同様に、順次走査線 $G(n+1)r$ 、 $G(n+1)g$ 、 $G(n+1)b$ が選択され、それぞれの選択において、順次信号線D1、D2が選択される。それにより、R画素 $C(n+1)1R$ 、R画素 $C(n+1)2R$ 、G画素 $C(n+1)1G$ 、G画素 $C(n+1)2G$ 、B画素 $C(n+1)1B$ 、B画素 $C(n+1)2B$ へ順次書き込み電圧が供給される。

【0058】

図7において、1走査線選択期間（例示： $t_{11} \sim t_{21}$ 、 $t_{21} \sim t_{31}$ 、 $t_{31} \sim t_{41}$ 、 $t_{41} \sim t_{51}$ 、 $t_{51} \sim t_{61}$ 、 $t_{61} \sim t_{71}$ ）において、各スイッチ素子13を制御する制御信号S1、S2を順にオンさせ、各信号線Dに接続される各画素への書き込みを行なっている。本発明の液晶パネルの走査線Gの数は従来（図2）の場合の3倍となる。そのため、一本の走査線Gを走査選択する1走査線選択期間（例示： $t_{11} \sim t_{21}$ ）は、従来の1走査線選択期間（例示：図3、 $t_{11} \sim t_{41}$ ）の $1/3$ となる。しかし、スイッチ制御信号S1、S2により各信号線Dへの書き込みを行なうオン期間（例示： $t_{11} \sim t_{12}$ ）は、従来（図2）のオン期間（例示：図3、 $t_{11} \sim t_{12}$ ）と同じ時間となる。

【0059】

従来（図2）においては、各走査線Gが選択される1走査線選択期間（例示： $t_{11} \sim t_{41}$ ）において、6ラインの信号線Dが分割駆動される。それに対して、本発明では、各走査線Gが選択される1走査線選択期間（例示： $t_{11} \sim t_{21}$ ）において、2ラインの信号線Dのみが分割駆動される。そのため、各信号線Gに接続されるスイッチ素子13からのリーク電流が発生する時間を従来の $1/3$ にすることが可能になる。

【0060】

また、図8は、本発明の液晶表示装置の駆動方法における液晶パネルの各画素への書き込み順序を示す図である。矩形は画素を示し、画素中の数字は書き込み順序を示す。R1、R2、G1、G2、B1、B2は、それぞれ C_{i1R} 、 C_{i2R} 、 C_{i1G} 、 C_{i2G} 、 C_{i1B} 、 C_{i2B} を示す。各走査線 G_{ir} 、 G_{ig} 、 G_{ib} に接続される同色の画素、すなわちR画素、G画素、または、B画素は、水平方向に $R1 \rightarrow R2$ 、 $G1 \rightarrow G2$ 、 $B1 \rightarrow B2$ の順にそれぞれ書き込まれる。ここで、上記駆動方法において、液晶パネル100の極性反転方法を走査線方向の各画素の極性が同一であるゲートライン反転に限定した場合、例えば、赤の単一色表示の場合、R1画素 C_{n1R} とR2画素 C_{n2R} で書き込み電圧は同じ電位となり、スイッチ素子13Dからのリーク電流は発生しない。そのため、従来の6分割以上の多分割駆動において発生してしまう単一色表示での縦筋ムラを、より一層抑制することが出来る。

【0061】

また、上記駆動方法では、1フレーム分の画像データを表示するのに、1フレームにおける一本の水平走査線に対応して、一組の赤（R）用走査線 G_{ir} 、緑（G）用走査線 G_{ig} 、青（B）用走査線 G_{ib} ずつ順次駆動させている。この場合、1フレームにおける全ての水平走査線に対応して、一度に全ての赤（R）用走査線を駆動し、次に全ての緑（G）用走査線を駆動し、その後全ての青（B）用走査線を駆動する場合（特開平10-293285号公報、図3）に比較して、制御を容易に行うことができる。

【0062】

次に、本発明の液晶表示装置及び液晶表示装置の駆動方法の他の実施の形態に関して、添付図面を参照して説明する。図9は、本発明の液晶表示装置の他の実施の形態の構成を

示すブロック図である。なお、図 9 において、図 5 の構成要素と同様の機能を有する構成要素には、同じ又は類似の符号が付されている。

【 0 0 6 3 】

この液晶表示装置は、ドライバ 2 0 0 が R G B 可変階調電圧発生回路 2 0 7 を更に備えている点で上記図 5 の実施の形態と異なる。他の構成は上記実施の形態と同様であるのでその説明を省略する。

【 0 0 6 4 】

R G B 可変階調電圧発生回路 2 0 7 は、制御回路 2 0 6 からの R G B 階調選択信号に基づいて、液晶パネル 1 0 0 の赤 (R) 色、緑 (G) 色、青 (B) 色の各色の各々における階調電圧特性に対応する基準階調電圧を発生する。R G B 可変階調電圧発生回路 2 0 7 は、時分割で駆動され且つ走査線 G に沿って並ぶ同一色の画素 P に対して、信号線 D を介して印加される入力階調データに応じた階調電圧特性を、赤色、緑色、青色の各色の走査線の走査ごとに、赤色、緑色、青色の各色の階調電圧特性に対応するそれぞれの基準階調電圧に切り替える。

10

【 0 0 6 5 】

図 1 1 は、透過率と階調電圧との関係を示すグラフである。縦軸は、各画素において透過する光の透過率を示す。横軸は、各画素に印加される階調電圧である。三角印は赤 (R) 用階調電圧、丸は緑 (G) 用階調電圧、四角は青 (B) 用階調電圧である。このように、液晶パネル 1 0 0 では、同じ階調電圧を与えても光の透過率が異なるため、各色ごとに階調電圧を制御する必要がある。R G B 可変階調電圧発生回路 2 0 7 は、各色ごとに、このグラフのような階調電圧を生成する。

20

【 0 0 6 6 】

R G B 可変階調電圧発生回路 2 0 7 を追加することで、ドライバ 2 0 0 の階調電圧の配線数を増やすことなく、液晶パネル 1 0 0 の各色のガンマ補正を可能とすることができる。すなわち、各色ごとに階調電圧を出力するので、例えば、赤 (R)、緑 (G)、青 (B) が各 6 b i t の場合、 $2^6 \times 3 = 192$ 本ではなく、 $2^6 = 64$ 本で済む。

【 0 0 6 7 】

次に、図 1 0 を参照して、本発明の液晶表示装置の他の実施の形態における動作方法 (液晶表示装置の駆動方法) について説明する。ただし、図 1 0 は、本発明の液晶表示装置の他の実施の形態における動作方法を説明するタイミングチャートである。この液晶表示装置の駆動方法は、各走査線の選択期間の最初に、R G B 階調選択信号の入力時間が設定されている点で上記図 7 の実施の形態と異なる。ここでは、例として、走査線 G n r からの動作について説明する。

30

【 0 0 6 8 】

すなわち、例えば、赤 (R) の走査線選択期間 (V G n r の選択期間) において、制御回路 2 0 6 は、R 階調選択信号を R G B 可変階調電圧発生回路 2 0 7 へ出力する。R G B 可変階調電圧発生回路 2 0 7 は、その R 階調選択信号に基づいて、赤 (R) 用の複数の階調電圧を D / A コンバータ 2 0 4 へ出力する。その赤 (R) 用の階調電圧は、赤 (R) の走査線選択期間中、継続的に出力されている。D / A コンバータ 2 0 4 は、赤 (R) 用の複数の階調電圧と、ラッチ 2 0 3 からの R データとに基づいて、R データに対応する赤 (R) 用の階調電圧をアンプ 2 5 へ出力する。

40

【 0 0 6 9 】

一方、走査線デコーダ (図示されず) が、ドライバ 2 0 0 からの制御信号により、第 n ラインの R 画素 C n 1 R、R 画素 C n 2 R に接続された走査線 G n r を活性化する。それにより、R 画素 C n 1 R、R 画素 C n 2 R の T F T 1 1 がオンになる。これにより、R 画素 C n 1 R、R 画素 C n 2 R が書き込み可能な状態になる。一方、アンプ 2 5 が、R 画素 C n 1 R、R 画素 C n 2 R に書き込まれる書き込み電圧を入力端子 1 4 にシリアルに供給する。

【 0 0 7 0 】

R 画素 C n 1 R に書き込まれる書き込み電圧が入力端子 1 4 に供給されるときは、制御

50

回路 206 は、R 階調選択信号を RGB 可変階調電圧発生回路 207 へ出力後、その書き込み電圧の供給に同期して、制御信号 S1 を出力する。それにより、スイッチ素子 13D1 がオンになり、信号線 D1 が選択される。このとき、制御信号 S2 は出力されないで、スイッチ素子 13D2 はオフである。その結果、R 画素 Cn1R に書き込まれる書き込み電圧は、信号線 D1 を経由して、R 画素 Cn1R へ供給される。

【0071】

その後、R 画素 Cn2R に書き込まれる書き込み電圧が入力端子 14 に供給されるときは、制御回路 206 は、その書き込み電圧の供給に同期して、制御信号 S2 を出力する。それにより、スイッチ素子 13D2 がオンになり、信号線 D2 が選択される。このとき、制御信号 S1 は出力されないで、スイッチ素子 13D1 はオフである。その結果、R 画素 Cn2R に書き込まれる書き込み電圧は、信号線 D2 を経由して、R 画素 Cn2R へ供給される。

10

【0072】

このように、制御回路 206 は、R 画素 Cn1R、R 画素 Cn2R に書き込まれる書き込み電圧が対応する信号線 D1、D2 に供給されるように、スイッチ素子 13D1、13D2 を順次に排他的にオンオフさせる。

【0073】

緑 (G) の走査線選択期間 (VGnf の選択期間)、及び、青 (B) の走査線選択期間 (VGnb の選択期間) についても同様である。

【0074】

この他の実施の形態においても、上記実施の形態と同様の効果を得ることができる。加えて、ドライバ 200 の階調電圧の配線数を増やすことなく、液晶パネル 100 の各色のガンマ補正を可能とすることができる。

20

【0075】

本発明は上記各実施例に限定されず、本発明の技術思想の範囲内において、各実施例は適宜変形又は変更され得ることは明らかである。

【図面の簡単な説明】

【0076】

【図 1】図 1 は、従来の表示装置の構成を示すブロック図である。

【図 2】図 2 は、従来の別の表示装置のブロック図である。

30

【図 3】図 3 は、従来の表示装置の駆動方法における液晶パネルに供給される信号波形の例を示すタイミングチャートである。

【図 4】図 4 は、従来の表示装置の駆動方法における液晶パネルの各画素への書き込み順序の例を示す図である。

【図 5】図 5 は、本発明の液晶表示装置の実施の形態の構成を示すブロック図である。

【図 6】図 6 は、本発明の液晶パネルの画素セット Pn1、Pn2 の画素構成を示す図である。

【図 7】図 7 は、本発明の液晶表示装置の実施の形態における動作方法を説明するタイミングチャートである。

【図 8】図 8 は、本発明の液晶表示装置の駆動方法における液晶パネルの各画素への書き込み順序を示す図である。

40

【図 9】図 9 は、本発明の液晶表示装置の他の実施の形態の構成を示すブロック図である。

【図 10】図 10 は、本発明の液晶表示装置の他の実施の形態における動作方法を説明するタイミングチャートである。

【図 11】図 11 は、透過率と階調電圧との関係を示すグラフである。

【符号の説明】

【0077】

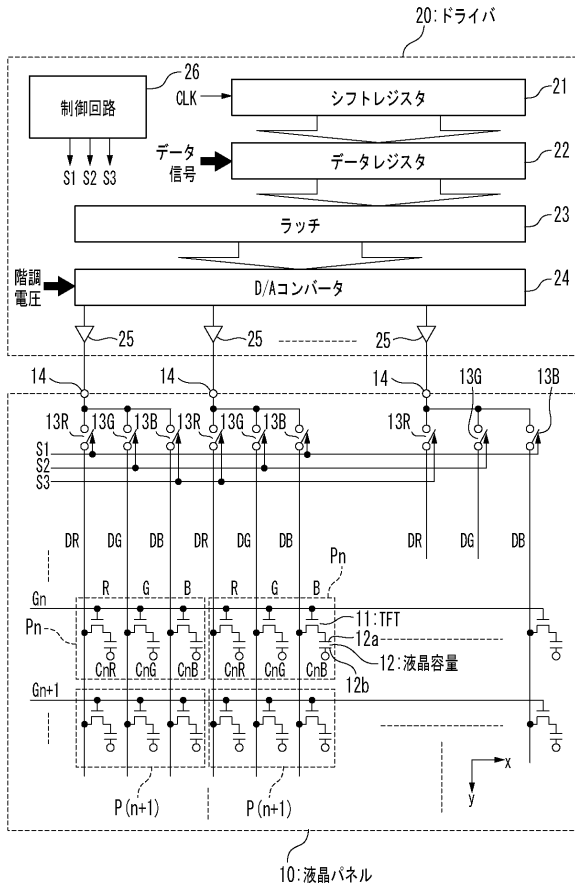
10、100：液晶パネル

11：TFT

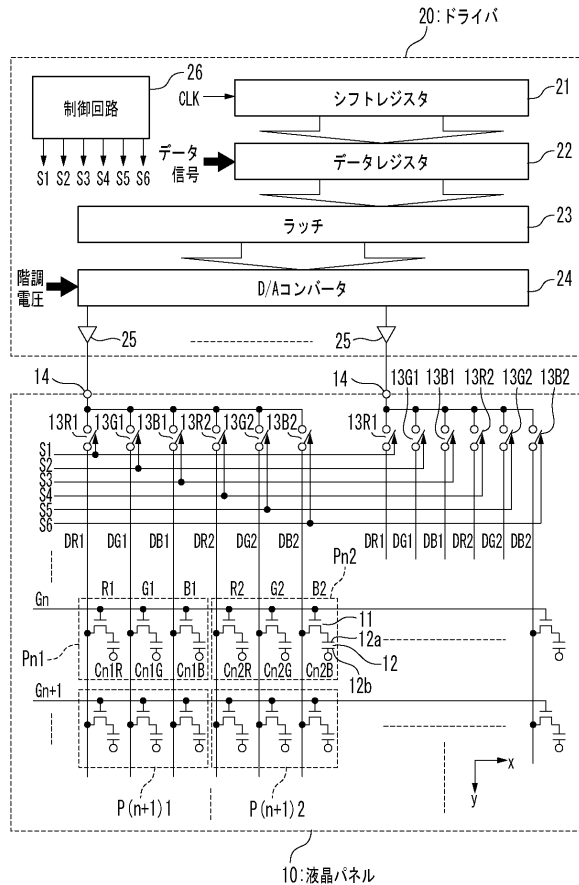
50

1 2 : 液晶容量
 1 2 a : 画素電極
 1 2 b : 共通電極
 1 3 : スイッチ
 1 4 : 入力端子
 2 0、2 0 0 : ドライバ
 2 1、2 0 1 : シフトレジスタ
 2 2、2 0 2 : データレジスタ
 2 3、2 0 3 : ラッチ
 2 4、2 0 4 : D / A コンバータ 10
 2 5 : アンプ
 2 6、2 0 6 : 制御回路
 2 0 7 : R G B 可変階調電圧発生回路
 D R 1、D G 1、D B 1、D R 2、D G 2、D B 2、D R、D G、D B、D 1、D 2 : 信号線 (データ線)
 G i : 走査線 (ゲート線)、 $1 < i \leq M$ 、 i 、 M (走査線数) は 2 以上の自然数
 G i r : R 画素用走査線 (ゲート線)、 $1 < i \leq M$ 、 i 、 M (走査線数) は 2 以上の自然数
 G i g : G 画素用走査線 (ゲート線)、 $1 < i \leq M$ 、 i 、 M (走査線数) は 2 以上の自然数 20
 G i b : B 画素用走査線 (ゲート線)、 $1 < i \leq M$ 、 i 、 M (走査線数) は 2 以上の自然数
 S 1、S 2、S 3、S 4、S 5、S 6 : 制御信号
 C i j R : R j 画素、 $1 < i \leq M$ 、 i 、 M (走査線数) は 2 以上の自然数、 $j = 1$ 又は 2 : 信号線番号
 C i j G : G j 画素、 $1 < i \leq M$ 、 i 、 M (走査線数) は 2 以上の自然数、 $j = 1$ 又は 2 : 信号線番号
 C i j B : B j 画素、 $1 < i \leq M$ 、 i 、 M (走査線数) は 2 以上の自然数、 $j = 1$ 又は 2 : 信号線番号
 P i j : 画素セット、 $1 < i \leq M$ 、 i 、 M (走査線数) は 2 以上の自然数、 $j = 1$ 又は 2 30 : 信号線番号

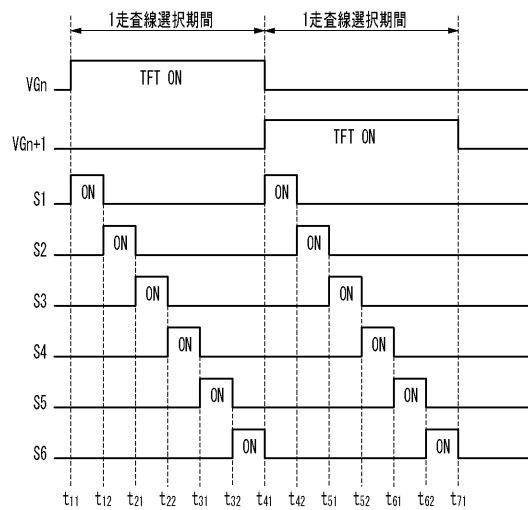
【図 1】



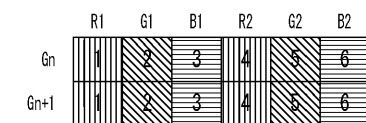
【図 2】



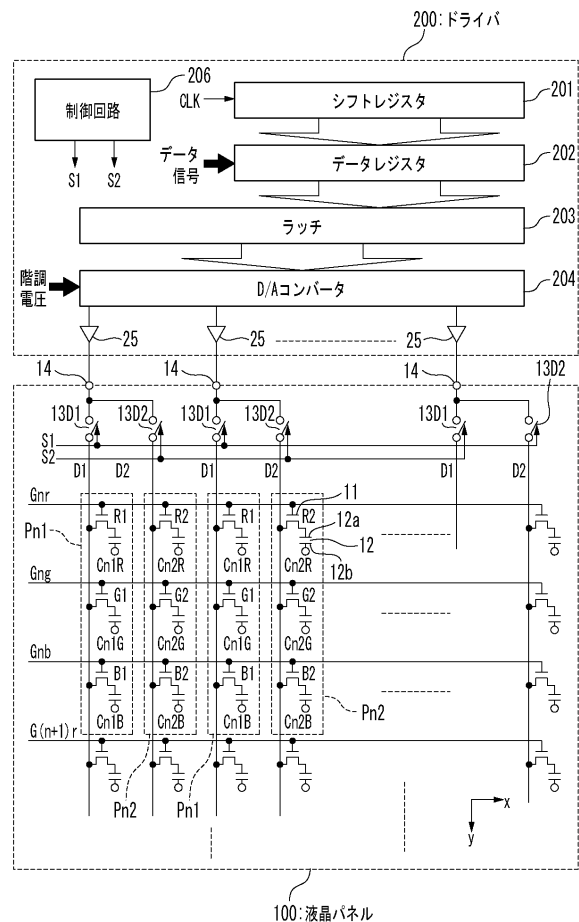
【図 3】



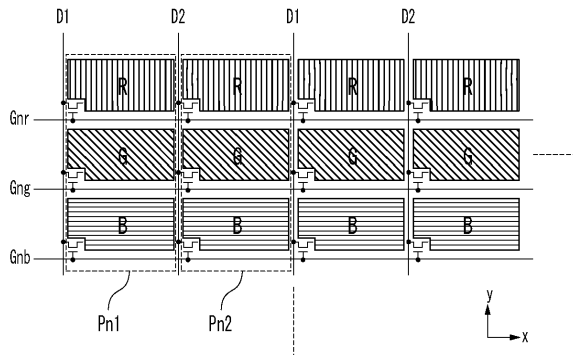
【図 4】



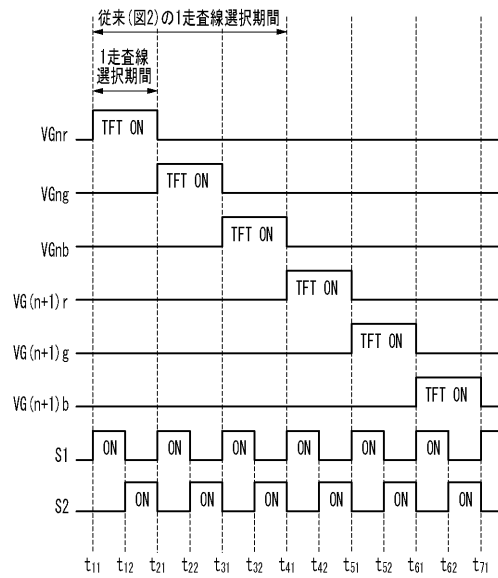
【図 5】



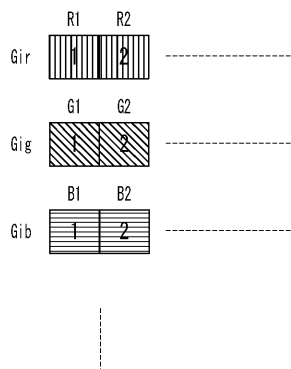
【図 6】



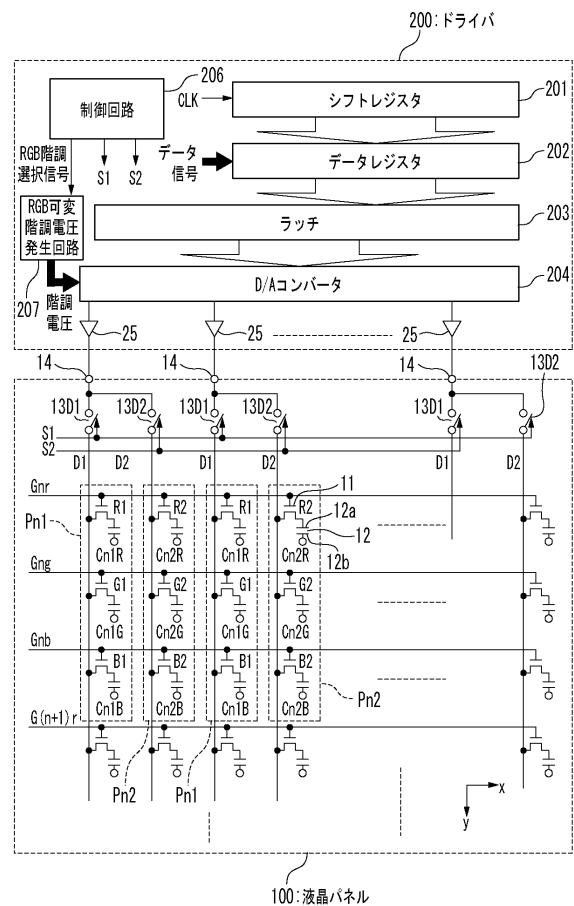
【図 7】



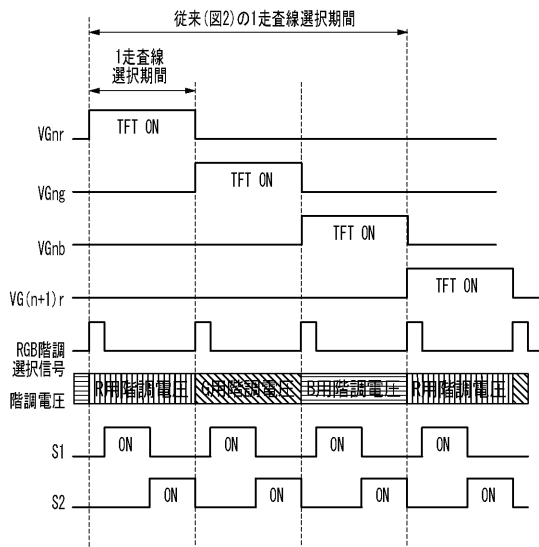
【図 8】



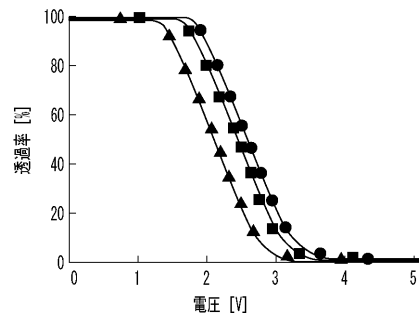
【図 9】



【図 10】



【図 11】



フロントページの続き

(51) Int. Cl.

F I

テーマコード (参考)

G 0 9 G	3/20	6 2 3 W
G 0 9 G	3/20	6 2 3 D
G 0 9 G	3/20	6 4 2 K

专利名称(译)	液晶显示装置和液晶显示装置的驱动方法		
公开(公告)号	JP2008185644A	公开(公告)日	2008-08-14
申请号	JP2007017033	申请日	2007-01-26
[标]申请(专利权)人(译)	NEC电子股份有限公司		
申请(专利权)人(译)	NEC电子公司		
[标]发明人	能勢崇		
发明人	能勢 崇		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G3/3688 G09G3/3607 G09G2300/0452 G09G2310/027 G09G2310/0297 G09G2310/08 G09G2320/0214 G09G2320/0233		
FI分类号	G09G3/36 G02F1/133.505 G09G3/20.621.A G09G3/20.612.F G09G3/20.642.A G09G3/20.623.W G09G3/20.623.D G09G3/20.642.K		
F-TERM分类号	2H093/NA34 2H093/NA43 2H093/NA44 2H093/NC02 2H093/NC22 2H093/NC26 2H093/NC34 2H093/ND09 2H093/ND10 2H093/NE03 5C006/AA22 5C006/AF43 5C006/AF71 5C006/BB16 5C006/BC12 5C006/BC16 5C006/BC23 5C006/BF24 5C006/FA01 5C006/FA22 5C006/FA36 5C080/AA10 5C080/BB06 5C080/CC03 5C080/DD05 5C080/EE30 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 2H193/ZA04 2H193/ZC20 2H193/ZD32 2H193/ZF02 2H193/ZP03		
代理人(译)	工藤稔		
外部链接	Espacenet		

摘要(译)

要解决的问题：当使用单个放大器以时分方式驱动多个信号线时，提供液晶显示器和用于驱动液晶显示器的方法，通过该方法可以提高图像质量。
ŽSOLUTION：液晶显示器配备有液晶面板100和驱动单元200。液晶面板100包括多条扫描线G，多条信号线D和多个像素P，其中像素沿着扫描线的颜色相同。驱动单元200包括用于驱动多条信号线D的多个放大器25。驱动单元200以时分方式控制多个放大器25中的每一个，使得每个放大器25驱动第一放大器25像素组Pn1在一个扫描线选择周期的第一周期中连接到多个像素中的一条扫描线Gn，并且在扫描线选择周期的第二周期中驱动连接到扫描线Gn的第二组像素Pn2。Ž

