

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-145993

(P2008-145993A)

(43) 公開日 平成20年6月26日(2008.6.26)

(51) Int.Cl.	F I	テーマコード (参考)
G02F 1/133 (2006.01)	G02F 1/133 570	2H093
G09G 3/20 (2006.01)	G02F 1/133 550	5C006
G09G 3/36 (2006.01)	G09G 3/20 624A	5C080
	G09G 3/20 624D	
	G09G 3/20 621B	
審査請求 未請求 請求項の数 23 O L (全 21 頁) 最終頁に続く		

(21) 出願番号 特願2006-339609 (P2006-339609)
 (22) 出願日 平成18年12月18日 (2006.12.18)
 (31) 優先権主張番号 10-2006-0125722
 (32) 優先日 平成18年12月11日 (2006.12.11)
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 390019839
 三星電子株式会社
 SAMSUNG ELECTRONICS
 CO., LTD.
 大韓民国京畿道水原市靈通区梅灘洞416
 416, Maetan-dong, Yeongtong-gu, Suwon-si,
 Gyeonggi-do 442-742
 (KR)
 (74) 代理人 110000408
 特許業務法人高橋・林アンドパートナーズ
 (72) 発明者 横山 良一
 東京都港区六本木3-1-1 六本木ティ
 ーキューブ 日本サムスン株式会社内

最終頁に続く

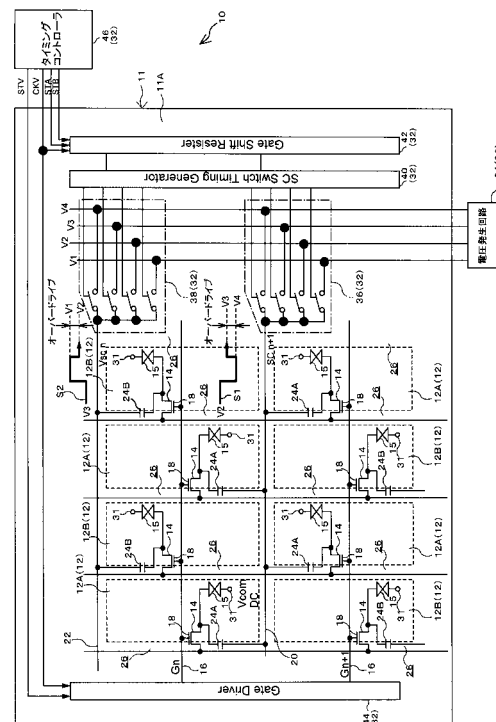
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】液晶の起立状態を所望の状態により一層早く移行させることができる液晶表示装置を得る。

【解決手段】本発明は、所定方向に沿って配列され、各々が薄膜トランジスタを有する複数の画素と、前記複数の画素の各薄膜トランジスタのゲートに駆動信号を供給するゲート線と、各々の前記画素中に設けられ、当該画素にある薄膜トランジスタの一端子に接続された液晶容量と、前記ゲート線と並んで配置された補助容量線と、各々の前記画素中に設けられ、当該画素にある薄膜トランジスタの一端子と前記補助容量線間に接続された補助容量と、少なくとも4値の電圧が設定され、前記少なくとも4値の電圧の中から1つの電圧値を選択して前記選択された電圧値の電圧を前記補助容量線に供給することで前記液晶容量と前記補助容量とを容量結合させた状態で駆動する駆動回路と、を具備することを特徴とする。

【選択図】図1



【特許請求の範囲】

【請求項 1】

所定方向に沿って配列され、各々が薄膜トランジスタを有する複数の画素と、
前記複数の画素の各薄膜トランジスタのゲートに駆動信号を供給するゲート線と、
各々の前記画素中に設けられ、当該画素にある薄膜トランジスタの一端子に接続された
液晶容量と、

前記ゲート線と並んで配置された補助容量線と、

各々の前記画素中に設けられ、当該画素にある薄膜トランジスタの一端子と前記補助容
量線間に接続された補助容量と、

少なくとも 4 値の電圧が設定され、前記少なくとも 4 値の電圧の中から 1 つの電圧値を
選択して前記選択された電圧値の電圧を前記補助容量線に供給することで前記液晶容量と
前記補助容量とを容量結合させた状態で駆動する駆動回路と、

を具備することを特徴とする液晶表示装置。

10

【請求項 2】

前記駆動回路では、第 1、第 2、第 3 及び第 4 の電圧（ただし、第 1 の電圧 > 第 2 の電
圧 > 第 3 の電圧 > 第 4 の電圧）が設定され、

前記駆動回路は、前記第 3 の電圧、前記第 4 の電圧、第 2 の電圧、第 1 の電圧の順に繰
り返し前記補助容量線に供給することを特徴とする請求項 1 記載の液晶表示装置。

【請求項 3】

前記第 1 及び第 2 の電圧は正極性を有し、前記第 3 及び第 4 の電圧は負極性を有するこ
とを特徴とする請求項 2 に記載の液晶表示装置。

20

【請求項 4】

前記駆動回路は、前記第 4 の電圧又は前記第 1 の電圧を供給している場合に、前記ゲー
ト線に駆動電圧を印加して前記薄膜トランジスタを導通させることを特徴とする請求項 2
記載の液晶表示装置。

【請求項 5】

前記駆動回路では、第 1、第 2、第 3 及び第 4 の電圧（ただし、第 1 の電圧 > 第 2 の電
圧 > 第 3 の電圧 > 第 4 の電圧）が設定され、

前記駆動回路は、前記第 3 の電圧、前記第 1 の電圧、第 2 の電圧、第 4 の電圧の順に繰
り返し前記補助容量線に供給することを特徴とする請求項 1 記載の液晶表示装置。

30

【請求項 6】

前記第 1 及び第 2 の電圧は正極性を有し、前記第 3 及び第 4 の電圧は負極性を有するこ
とを特徴とする請求項 5 に記載の液晶表示装置。

【請求項 7】

前記駆動回路は、前記第 3 の電圧又は前記第 2 の電圧を供給している場合に、前記ゲー
ト線に駆動電圧を印加して前記各薄膜トランジスタを導通させることを特徴とする請求項
5 記載の液晶表示装置。

【請求項 8】

前記駆動回路は、前記ゲート線の前記駆動電圧の印加が終了した直後に前記第 1 の電圧
又は前記第 4 の電圧を印加することを特徴とする請求項 7 記載の液晶表示装置。

40

【請求項 9】

所定方向に沿って配列され、各々が薄膜トランジスタを有する複数の画素と、
前記複数の画素の各薄膜トランジスタのゲートに駆動信号を供給するゲート線と、
各々の前記画素中に設けられ、当該画素にある薄膜トランジスタの一端子に接続された
液晶容量と、

前記ゲート線に対して一側に配置された第 1 の補助容量線と、前記ゲート線に対して他
側に配置された第 2 の補助容量線を含む補助容量線と、

前記複数の画素のうちの第 1 群の画素中に設けられ、当該画素にある薄膜トランジスタ
の一端子と前記第 1 の補助容量線間に接続された複数の第 1 の補助容量と、

前記複数の画素のうちの第 2 群の画素中に設けられ、当該画素にある薄膜トランジスタ

50

の一端子と前記第 2 の補助容量線間に接続された複数の第 2 の補助容量と、

少なくとも 4 値の電圧が設定され、前記少なくとも 4 値の電圧の中から 1 つの電圧値を選択して前記選択された電圧値の電圧を前記第 1 の補助容量線及び前記第 2 の補助容量線に供給することで、前記第 1 群の画素中の液晶容量と前記第 1 の補助容量とを容量結合させた状態で駆動すると共に前記第 2 群の画素中の液晶容量と第 2 の補助容量とを容量結合させた状態で駆動する駆動回路と、

を具備することを特徴とする液晶表示装置。

【請求項 10】

前記駆動回路は、

前記少なくとも 4 値の電圧を発生する電圧発生回路と、

前記少なくとも 4 値の電圧を前記第 1 の補助容量線に順に供給する第 1 のスイッチ群と

10

、
前記少なくとも 4 値の電圧を前記第 2 の補助容量線に順に供給する第 2 のスイッチ群と

、
を具備することを特徴とする請求項 9 記載の液晶表示装置。

【請求項 11】

前記駆動回路は、

互いに異なる周期の複数の入力信号を所定時間保持して出力するゲートシフトレジスタと、

20

前記ゲートシフトレジスタから出力された信号に基づいて、前記第 1 のスイッチ群及び第 2 のスイッチ群の各スイッチを切り替えるスイッチ切替タイミングジェネレータと、

を有することを特徴とする請求項 10 記載の液晶表示装置。

【請求項 12】

前記ゲートシフトレジスタは、前記互いに異なる周期の複数の入力信号を所定時間保持して出力するフリップフロップ回路を有することを特徴とする請求項 11 記載の液晶表示装置。

【請求項 13】

前記フリップフロップ回路は、各補助容量線に対応して複数設けられていることを特徴とする請求項 12 記載の液晶表示装置。

【請求項 14】

30

前記各補助容量線に対応した前記複数のフリップフロップ回路は、互いに直列接続されて、前記複数のフリップフロップ回路間で一方向にデータが転送されることを特徴とする請求項 13 記載の液晶表示装置。

【請求項 15】

前記スイッチ切替タイミングジェネレータは、前記フリップフロップ回路から出力された信号に応じて、前記第 1 のスイッチ群及び第 2 のスイッチ群のスイッチの切替えを実行することを特徴とする請求項 12 記載の液晶表示装置。

【請求項 16】

前記フリップフロップ回路は、各補助容量線毎に複数設けられ、前記補助容量線毎の複数のフリップフロップ回路からの出力信号により、前記スイッチ切替タイミングジェネレータが前記第 1 のスイッチ群及び第 2 のスイッチ群のスイッチの切替えを実行することを特徴とする請求項 15 記載の液晶表示装置。

40

【請求項 17】

前記補助容量線毎に設けられたフリップフロップ回路は、少なくとも 2 個以上からなることを特徴とする請求項 16 記載の液晶表示装置。

【請求項 18】

前記ゲートシフトレジスタに入力される信号の周期は、垂直同期開始信号の周期の N 倍（ただし、N は 1 以上の自然数）であることを特徴とする請求項 11 記載の液晶表示装置。

。

【請求項 19】

50

前記ゲートシフトレジスタから出力される信号の周期は、垂直同期開始信号の周期の N 倍（ただし、 N は 1 以上の自然数）であることを特徴とする請求項 11 記載の液晶表示装置。

【請求項 20】

前記スイッチ切替タイミングジェネレータは、垂直同期開始信号に同期して動作することを特徴とする請求項 10 記載の液晶表示装置。

【請求項 21】

前記スイッチ切替タイミングジェネレータは、前記ゲートシフトレジスタから出力される信号が切り替えられるまでは、第 1 のスイッチ群及び第 2 のスイッチ群のスイッチに与えるスイッチ選択情報を出力し続けることを特徴とする請求項 11 記載の液晶表示装置。

10

【請求項 22】

前記第 1 のスイッチ群及び第 2 のスイッチ群のスイッチは、前記スイッチ切替タイミングジェネレータによって選択されている場合に導通することを特徴とする請求項 11 記載の液晶表示装置。

【請求項 23】

前記補助容量線は前記隣接する画素の間に配置されることを特徴とする請求項 9 に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

20

本発明は、アクティブマトリクス型の液晶表示装置に関する。

【背景技術】

【0002】

各画素に設けられた薄膜トランジスタ（TFT）を駆動させて各画素中の液晶の起立状態（配向状態）を制御する液晶表示装置が提案されており、その一例が下記特許文献 1 に開示されている。

【0003】

このような液晶表示装置は、複数の画素を備えており、複数の画素は、所定方向に沿って配列されている。各画素は薄膜トランジスタを有しており、薄膜トランジスタは、ゲート電極にゲート線（ゲート電極に信号を伝達する信号ライン）から伝達された駆動信号が供給されて駆動する。ゲート線は、上記の所定方向に配列された複数の画素に亘って架け渡されている。また、各画素中には、液晶容量が設けられており、液晶容量の一端子は、薄膜トランジスタの一端子に接続されている。また、各画素には、補助容量線（補助容量素子に信号を伝達する信号ライン）がゲート線と平行に複数の画素に亘って架け渡されている。補助容量線と各薄膜トランジスタの一端子との間には補助容量素子がそれぞれ接続されている。補助容量線には駆動回路が接続されており、この駆動回路は、補助容量線に電圧を印加する。駆動回路によって補助容量線に電圧が印加されると、補助容量素子が蓄電してこの補助容量素子と液晶容量とが容量結合し、この結果、各画素中の液晶の起立状態（配向状態）が制御（維持）される仕組みである。

30

【0004】

40

しかしながら、このような液晶表示装置では、一般に、補助容量線に印加される電圧として、液晶が所望の起立位置（配向位置）で静止状態となるための 2 値の電圧が設定されており、これらの 2 値の電圧を利用して液晶の起立状態（配向状態）が所望の状態となるように補助容量線に電圧が印加された場合には、この液晶が配向する力（トルク）が十分ではない。このため、液晶の起立状態（配向状態）を所望の起立状態に移行させる速度の向上が難しい（液晶の応答速度を向上させることが難しい）。

【特許文献 1】特開平 7 - 20494 号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

50

本発明は、上記事実を考慮し、液晶の起立状態を所望の状態により一層早く移行させることができる液晶表示装置を得ることを目的とする。

【課題を解決するための手段】

【0006】

請求項1に記載の発明は、所定方向に沿って配列され、各々が薄膜トランジスタを有する複数の画素と、前記複数の画素の各薄膜トランジスタのゲートに駆動信号を供給するゲート線と、各々の前記画素中に設けられ、当該画素にある薄膜トランジスタの一端に接続された液晶容量と、前記ゲート線と並んで配置された補助容量線と、各々の前記画素中に設けられ、当該画素にある薄膜トランジスタの一端と前記補助容量線間に接続された補助容量と、少なくとも4値の電圧が設定され、前記少なくとも4値の電圧の中から1つの電圧値を選択して前記選択された電圧値の電圧を前記補助容量線に供給することで前記液晶容量と前記補助容量とを容量結合させた状態で駆動する駆動回路と、を具備することを特徴とする。

10

【0007】

また、請求項2に記載の発明は、請求項1に記載の発明において、前記駆動回路では、第1、第2、第3及び第4の電圧（ただし、第1の電圧>第2の電圧>第3の電圧>第4の電圧）が設定され、前記駆動回路は、前記第3の電圧、前記第4の電圧、第2の電圧、第1の電圧の順に繰り返し前記補助容量線に供給することを特徴とする。

【0008】

また、請求項3に記載の発明は、請求項2に記載の発明において、前記第1及び第2の電圧は正極性を有し、前記第3及び第4の電圧は負極性を有することを特徴とする。

20

【0009】

また、請求項4に記載の発明は、請求項2に記載の発明において、前記駆動回路は、前記第4の電圧又は前記第1の電圧を供給している場合に、前記ゲート線に駆動電圧を印加して前記薄膜トランジスタを導通させることを特徴とする。

【0010】

また、請求項5に記載の発明は、請求項1に記載の発明において、前記駆動回路では、第1、第2、第3及び第4の電圧（ただし、第1の電圧>第2の電圧>第3の電圧>第4の電圧）が設定され、前記駆動回路は、前記第3の電圧、前記第1の電圧、第2の電圧、第4の電圧の順に繰り返し前記補助容量線に供給することを特徴とする。

30

【0011】

また、請求項6に記載の発明は、請求項5に記載の発明において、前記第1及び第2の電圧は正極性を有し、前記第3及び第4の電圧は負電極を有することを特徴とする。

【0012】

また、請求項7に記載の発明は、請求項5に記載の発明において、前記駆動回路は、前記第3の電圧又は前記第2の電圧を供給している場合に、前記ゲート線に駆動電圧を印加して前記各薄膜トランジスタを導通させることを特徴とする。

【0013】

また、請求項8に記載の発明は、請求項7に記載の発明において、前記駆動回路は、前記ゲート線の前記駆動電圧の印加が終了した直後に前記第1の電圧又は前記第4の電圧を印加することを特徴とする。

40

【0014】

また、請求項9に記載の発明は、所定方向に沿って配列され、各々が薄膜トランジスタを有する複数の画素と、前記複数の画素の各薄膜トランジスタのゲートに駆動信号を供給するゲート線と、各々の前記画素中に設けられ、当該画素にある薄膜トランジスタの一端に接続された液晶容量と、前記ゲート線に対して一側に配置された第1の補助容量線と、前記ゲート線に対して他側に配置された第2の補助容量線とを含む補助容量線と、前記複数の画素のうちの第1群の画素中に設けられ、当該画素にある薄膜トランジスタの一端と前記第1の補助容量線間に接続された複数の第1の補助容量と、前記複数の画素のうちの第2群の画素中に設けられ、当該画素にある薄膜トランジスタの一端と前記第2の

50

補助容量線間に接続された複数の第 2 の補助容量と、少なくとも 4 値の電圧が設定され、前記少なくとも 4 値の電圧の中から 1 つの電圧値を選択して前記選択された電圧値の電圧を前記第 1 の補助容量線及び前記第 2 の補助容量線に供給することで、前記第 1 群の画素中の液晶容量と前記第 1 の補助容量とを容量結合させた状態で駆動すると共に前記第 2 群の画素中の液晶容量と第 2 の補助容量とを容量結合させた状態で駆動する駆動回路と、を具備することを特徴とする。

【0015】

また、請求項 10 に記載の発明は、請求項 9 記載の発明において、前記駆動回路は、前記少なくとも 4 値の電圧を発生する電圧発生回路と、前記少なくとも 4 値の電圧を前記第 1 の補助容量線に順に供給する第 1 のスイッチ群と、前記少なくとも 4 値の電圧を前記第 2 の補助容量線に順に供給する第 2 のスイッチ群と、を具備することを特徴とする。

10

【0016】

また、請求項 11 に記載の発明は、請求項 10 記載の発明において、前記駆動回路は、互いに異なる周期の複数の入力信号を所定時間保持して出力するゲートシフトレジスタと、前記ゲートシフトレジスタから出力された信号に基づいて、前記第 1 のスイッチ群及び第 2 のスイッチ群の各スイッチを切り替えるスイッチ切替タイミングジェネレータと、を有することを特徴とする。

【0017】

また、請求項 12 に記載の発明は、請求項 11 記載の発明において、前記ゲートシフトレジスタは、前記互いに異なる周期の複数の入力信号を所定時間保持して出力するフリップフロップ回路を有することを特徴とする。

20

【0018】

また、請求項 13 に記載の発明は、請求項 12 記載の発明において、前記フリップフロップ回路は、各補助容量線に対応して複数設けられていることを特徴とする。

【0019】

また、請求項 14 に記載の発明は、請求項 13 記載の発明において、前記各補助容量線に対応した前記複数のフリップフロップ回路は、互いに直列接続されて、前記複数のフリップフロップ回路間で一方向にデータが転送されることを特徴とする。

【0020】

また、請求項 15 に記載の発明は、請求項 12 記載の発明において、前記スイッチ切替タイミングジェネレータは、前記フリップフロップ回路から出力された信号に応じて、前記第 1 のスイッチ群及び第 2 のスイッチ群のスイッチの切替えを実行することを特徴とする。

30

【0021】

また、請求項 16 に記載の発明は、請求項 15 記載の発明において、前記フリップフロップ回路は、各補助容量線毎に複数設けられ、前記補助容量線毎の複数のフリップフロップ回路からの出力信号により、前記スイッチ切替タイミングジェネレータが前記第 1 のスイッチ群及び第 2 のスイッチ群のスイッチの切替えを実行することを特徴とする。

【0022】

また、請求項 17 に記載の発明は、請求項 16 記載の発明において、前記補助容量線毎に設けられたフリップフロップ回路は、少なくとも 2 個以上からなることを特徴とする。

40

【0023】

また、請求項 18 に記載の発明は、請求項 11 記載の発明において、前記ゲートシフトレジスタに入力される信号の周期は、垂直同期開始信号の周期の N 倍（ただし、N は 1 以上の自然数）であることを特徴とする。

【0024】

また、請求項 19 に記載の発明は、請求項 11 記載の発明において、前記ゲートシフトレジスタから出力される信号の周期は、垂直同期開始信号の周期の N 倍（ただし、N は 1 以上の自然数）であることを特徴とする。

【0025】

50

また、請求項 20 に記載の発明は、請求項 10 に記載の発明において、前記スイッチ切替タイミングジェネレータは、垂直同期開始信号に同期して動作することを特徴とする。

【発明の効果】

【0026】

また、請求項 21 に記載の発明は、請求項 11 に記載の発明において、前記スイッチ切替タイミングジェネレータは、前記ゲートシフトレジスタから出力される信号が切り替えられるまでは、第 1 のスイッチ群及び第 2 のスイッチ群のスイッチに与えるスイッチ選択情報を出力し続けることを特徴とする。

【発明を実施するための最良の形態】

【0027】

10

また、請求項 22 に記載の発明は、請求項 11 に記載の発明において、前記第 1 のスイッチ群及び第 2 のスイッチ群のスイッチは、前記スイッチ切替タイミングジェネレータによって選択されている場合に導通することを特徴とする。

【0028】

また、請求項 23 に記載の発明は、請求項 9 に記載の発明において、前記補助容量線は前記隣接する画素の間に配置されることを特徴とする。

【0029】

この液晶表示装置 10 は、表示パネル 11 を備えている。この表示パネル 11 は、基板 11A を有しており、表示パネル 11 は、この基板 11A 上に複数の画素 12 を有している。各画素 12 は、矩形状に形成されている。これらの画素 12 は、長手方向を列方向としてこの列方向に沿って配列されると共に、長手直交方向を行方向としてこの行方向に沿って配列されており、これらの画素 12 は、全体としてマトリクス状に配列されている。

20

【0030】

これらの複数の画素 12 は、各々が薄膜トランジスタ 14 を有している。また、各々の画素 12 中には、液晶容量 15 が設けられており、各薄膜トランジスタ 14 の一端子には、液晶容量 15 の一端子が接続されている。また、各画素 12 は、図示しない画素電極を有している。

【0031】

以上説明したような画素 12 には、第 1 群に属するものと、第 2 群に属するものとがあり、以下、第 1 群に属する画素 12 と第 2 群に属する画素 12 とを区別する場合には、第 1 群に属する画素 12 を第 1 群の画素 12A、第 2 群に属する画素 12 を第 2 群の画素 12B ということとする。これらの第 1 群の画素 12A と、第 2 群の画素 12B とは、行方向並びに列方向において、交互に配列されている。

30

【0032】

また、複数の画素 12 の中心部には、ゲート線 16 が配置されている。ゲート線 16 は、複数の画素 12 の中心軸を貫通している（画素 12 の行方向に沿って形成されている）。ゲート線 16 には、複数の薄膜トランジスタ 14 のゲート 18 が接続されており、ゲート線 16 は、複数の画素 12 の各薄膜トランジスタ 14 のゲート 18 に駆動信号を供給する。これにより、各薄膜トランジスタ 14 は、対応する画素 12 を駆動する。

【0033】

40

また、表示パネル 11 は、第 1 の補助容量線 20 を有している。第 1 の補助容量線 20 は、ゲート線 16 と平行に並んで（画素 12 の行方向に沿って）複数の画素 12 の列方向一端（複数の画素 12 の一端）に沿って配置（形成）されている（第 1 の補助容量線 20 は、ゲート線 16 に対して一側に配置されている）。ここで、第 1 の補助容量線 20 についての「平行」とは、第 1 の補助容量線 20 の中心線が画素 12 の中心軸に沿った状態で第 1 の補助容量線 20 が形成されていることをいい、例えば、第 1 の補助容量線 20 が途中でジグザグ状に折れ曲がっている場合も含まれる。

【0034】

また、表示パネル 11 は、第 2 の補助容量線 22 を有している。第 2 の補助容量線 22 は、ゲート線 16 と平行に並んで（画素 12 の行方向に沿って）、第 1 の補助容量線 20

50

とは反対側に、複数の画素 1 2 の列方向他端（複数の画素 1 2 の他端）に沿って配置（形成）されている（第 2 の補助容量線 2 2 は、ゲート線 1 6 に対して他側に配置されている）。ここで、第 2 の補助容量線 2 2 についての「平行」とは、第 2 の補助容量線 2 2 の中心線が画素 1 2 の中心軸に沿った状態で第 2 の補助容量線 2 2 が形成されていることをいい、例えば、第 2 の補助容量線 2 2 がその途中でジグザグ状に折れ曲がっている場合も含まれる。

【 0 0 3 5 】

このように、画素 1 2 の透過部には、第 1 の補助容量線 2 0 及び第 2 の補助容量線 2 2 が架け渡されることがない。このため、画素 1 2 の開口率を向上できる。

【 0 0 3 6 】

これらの複数の画素 1 2 のうちの第 1 群の画素 1 2 A 中には、複数の補助容量 2 4 を構成する複数の第 1 の補助容量 2 4 A が設けられている。これら複数の第 1 の補助容量 2 4 A は、第 1 群の画素 1 2 A にある薄膜トランジスタ 1 4 の一端子と第 1 の補助容量線 2 0 間に接続されている。

【 0 0 3 7 】

一方、複数の画素 1 2 のうちの第 2 群の画素 1 2 B 中には、複数の第 1 の補助容量 2 4 A と共に複数の補助容量 2 4 を構成する複数の第 2 の補助容量 2 4 B が設けられている。これら複数の第 2 の補助容量 2 4 B は、第 2 群の画素 1 2 B にある薄膜トランジスタ 1 4 の一端子と第 2 の補助容量線 2 2 間に接続されている。

【 0 0 3 8 】

複数の第 1 の補助容量 2 4 A と複数の第 2 の補助容量 2 4 B とは、それぞれ、画素 1 2 の行方向並びに列方向（所定方向）に沿って交互に配置されている。これらの複数の第 1 の補助容量 2 4 A と、複数の第 2 の補助容量 2 4 B とは、ほぼ同一のキャパシタンスを有している。

【 0 0 3 9 】

第 1 の補助容量 2 4 A は、第 1 群の画素 1 2 A と隣接する第 2 群の画素 1 2 B との境界部 2 6 に沿って形成されている。一方、第 2 の補助容量 2 4 B は、第 2 群の画素 1 2 B と隣接する第 1 群の画素 1 2 A との境界部 2 6 に沿って形成されている。

【 0 0 4 0 】

さらに、複数の画素 1 2 上には、図 5 に示されるカラーフィルタ 2 8 が配置されており、カラーフィルタ 2 8 は、それぞれの画素 1 2 に対応している。このカラーフィルタ 2 8 の隣接する境界部 2 6 に対応して、複数の遮光部 3 0 が形成されている。

【 0 0 4 1 】

図 5 に示されるように、最下層はガラス 4 8 となっており、その上には、ゲート絶縁膜 5 0 が形成されている。ゲート絶縁膜 5 0 の下部では、図 5 の左右方向中心線（赤色のカラーフィルタ 2 8 と青色のカラーフィルタ 2 8 との左右方向境界位置）から右側に離間して半導体層 5 6 が形成されている。

【 0 0 4 2 】

このゲート絶縁膜 5 0 の上には、層間絶縁膜 5 2 が形成されている。層間絶縁膜 5 2 の下部では、図 5 の左右方向中心線から互いに離間した一対のゲート線層 5 8 が形成されている。

このゲート線層 5 8 と上記の半導体層 5 6 との間には、前述の補助容量 2 4（第 1 群の画素 1 2 A においては第 1 の補助容量 2 4 A、第 2 群の画素 1 2 B においては第 2 の補助容量 2 4 B）が形成されている。

【 0 0 4 3 】

また、層間絶縁膜 5 2 の上には、保護膜 5 4 が形成されている。保護膜 5 4 の下部では、図 5 の左右方向中心線の位置に信号線層 6 0 が形成されている。この信号線層 6 0 の左右方向両端部は、一対のゲート線層 5 8 が互いに対向している側の端部の上方に位置している。

【 0 0 4 4 】

10

20

30

40

50

この保護膜 5 4 の上方には、図 5 の左右方向中心線から互いに離間した一対の表示電極層 6 2 が形成されている。この一対の表示電極層 6 2 が互いに対向している側の端部は、信号線層 6 0 の左右方向両端部の上方に位置している。

【 0 0 4 5 】

図 4 に示されるように、複数の第 1 の補助容量 2 4 A 及び複数の第 2 の補助容量 2 4 B とは、それぞれが、対応する上記複数の遮光部 3 0 の下に形成されている。このように、画素 1 2 の透過部ではない遮光部 3 0 に複数の第 1 の補助容量 2 4 A 及び複数の第 2 の補助容量 2 4 B とが形成されているため、画素 1 2 の開口率をより一層向上できる。

【 0 0 4 6 】

ここで、第 1 の補助容量 2 4 A 及び第 2 の補助容量 2 4 B は、第 1 群の画素 1 2 A と第 2 群の画素 1 2 B との列方向境界位置に設けられている遮光部 3 0 (図 4 においては、符号を 3 0 A と示している) に形成してもよい。また、第 1 群の画素 1 2 A と第 2 群の画素 1 2 B との行方向境界位置に設けられている遮光部 3 0 (図 4 においては、符号を 3 0 B 、 3 0 C 、 3 0 D 、 3 0 E と示している) に形成してもよい。またさらに、第 1 群の画素 1 2 A と第 2 群の画素 1 2 B との行方向境界位置に設けられている遮光部 3 0 (図 4 における遮光部 3 0 A) だけでなく、第 1 群の画素 1 2 A と第 2 群の画素 1 2 B との列方向境界位置に設けられている遮光部 3 0 (図 4 における遮光部 3 0 B 、 3 0 C 、 3 0 D 、 3 0 E) の少なくとも 1 つと組み合わせた領域で一体に形成してもよい。

【 0 0 4 7 】

また、表示パネル 1 1 は、前述の基板 1 1 A と対向して配置された図示しない対向基板を有している。この対向基板には、前述の液晶容量 1 5 の他端子に接続された共通電極 3 1 が設けられている。

【 0 0 4 8 】

このような液晶表示装置 1 0 は、駆動回路 3 2 を有している。駆動回路 3 2 は、電圧発生回路 3 4 と、第 1 のスイッチ群 3 6 と、第 2 のスイッチ群 3 8 と、を有している。

【 0 0 4 9 】

この駆動回路 3 2 は、少なくとも 4 値の電圧が設定されており、電圧発生回路 3 4 は、少なくとも 4 値の電圧を発生する。本実施の形態では、電圧発生回路 3 4 は、第 1 、第 2 、第 3 及び第 4 の電圧 V 1 、 V 2 、 V 3 、 V 4 (4 値の電圧) が設定されており、電圧発生回路 3 4 は、これらの第 1 、第 2 、第 3 及び第 4 の電圧 V 1 、 V 2 、 V 3 、 V 4 を発生する。

【 0 0 5 0 】

第 1 のスイッチ群 3 6 は、第 1 の補助容量線 2 0 に、少なくとも 4 値の電圧 (本実施の形態では、4 値の電圧 V 1 、 V 2 、 V 3 、 V 4) の中から 1 つの電圧値を選択してこの選択された電圧値の電圧を供給する。本実施の形態では、第 1 のスイッチ群 3 6 は、第 1 、第 2 、第 3 及び第 4 の電圧 V 1 、 V 2 、 V 3 、 V 4 を選択して第 1 の補助容量線 2 0 に順に供給する。第 1 のスイッチ群 3 6 が第 1 、第 2 、第 3 及び第 4 の電圧 V 1 、 V 2 、 V 3 、 V 4 を選択して第 1 の補助容量線 2 0 に供給することで、駆動回路 3 2 は、第 1 群の画素 1 2 A 中の液晶容量 1 5 と第 1 の補助容量 2 4 A とを容量結合させた状態で駆動する。このため、液晶の所望の起立状態に合わせた電圧値の電圧を第 1 の補助容量線 2 0 に供給させることで、液晶の起立状態を所望の状態により一層早く移行させることができる。

【 0 0 5 1 】

第 2 のスイッチ群 3 8 は、第 2 の補助容量線 2 2 に、少なくとも 4 値の電圧 (本実施の形態では、4 値の電圧 V 1 、 V 2 、 V 3 、 V 4) の中から 1 つの電圧値を選択してこの選択された電圧値の電圧を供給する。本実施の形態では、第 2 のスイッチ群 3 8 は、第 1 、第 2 、第 3 及び第 4 の電圧 V 1 、 V 2 、 V 3 、 V 4 を選択して第 2 の補助容量線 2 2 に順に供給する。第 2 のスイッチ群 3 8 が第 1 、第 2 、第 3 及び第 4 の電圧 V 1 、 V 2 、 V 3 、 V 4 を選択して第 2 の補助容量線 2 2 に供給することで、駆動回路 3 2 は、第 2 群の画素 1 2 B 中の液晶容量 1 5 と第 2 の補助容量 2 4 B とを容量結合させた状態で駆動する。このため、液晶の所望の起立状態に合わせた電圧値の電圧を第 2 の補助容量線 2 2 に供給

させることで、液晶の起立状態を所望の状態により一層早く移行させることができる。

【 0 0 5 2 】

第 1 のスイッチ群 3 6 及び第 2 のスイッチ群 3 8 には、電圧発生回路 3 4、第 1 のスイッチ群 3 6、及び第 2 のスイッチ群 3 8 と共に駆動回路 3 2 を構成するスイッチ切替タイミングジェネレータとしての S C タイミングジェネレータ 4 0 が接続されており、この S C タイミングジェネレータ 4 0 によって、第 1 のスイッチ群 3 6 及び第 2 のスイッチ群 3 8 のスイッチ動作タイミングが制御される。この S C タイミングジェネレータ 4 0 は、図 6 及び図 7 に示される垂直同期開始信号 S T V に同期して動作する。

【 0 0 5 3 】

この S C タイミングジェネレータ 4 0 には、電圧発生回路 3 4、第 1 のスイッチ群 3 6、第 2 のスイッチ群 3 8、及び S C タイミングジェネレータ 4 0 と共に駆動回路 3 2 を構成するゲートシフトレジスタ 4 2 が接続されている。このゲートシフトレジスタ 4 2 は、ビデオ同期信号 C K V、S T A 信号、及び S T B 信号に基づいて動作し、ゲートシフトレジスタ 4 2 は、S C タイミングジェネレータ 4 0 によって選択されるゲート線 1 6 に関する命令信号を S C タイミングジェネレータ 4 0 に出力する。

【 0 0 5 4 】

また、ゲート線 1 6 には、電圧発生回路 3 4、第 1 のスイッチ群 3 6、第 2 のスイッチ群 3 8、S C タイミングジェネレータ 4 0、及びゲートシフトレジスタ 4 2 と共に駆動回路 3 2 を構成するゲートドライバ 4 4 が接続されており、ゲートドライバ 4 4 は、垂直同期開始信号 S T V 及びビデオ同期信号 C K V に基づいて、駆動させる行の画素 1 2 に対応したゲート線 1 6 にゲート駆動信号を供給（出力）する。

【 0 0 5 5 】

以上説明したような電圧発生回路 3 4、第 1 のスイッチ群 3 6、第 2 のスイッチ群 3 8、S C タイミングジェネレータ 4 0、ゲートシフトレジスタ 4 2、及びゲートドライバ 4 4 は、これらの電圧発生回路 3 4、第 1 のスイッチ群 3 6、第 2 のスイッチ群 3 8、S C タイミングジェネレータ 4 0、ゲートシフトレジスタ 4 2、及びゲートドライバ 4 4 と共に駆動回路 3 2 を構成するタイミングコントローラ 4 6 に接続されており、このタイミングコントローラ 4 6 は、垂直同期開始信号 S T V、ビデオ同期信号 C K V、S T A 信号、及び S T B 信号を出力し、電圧発生回路 3 4、第 1 のスイッチ群 3 6、第 2 のスイッチ群 3 8、S C タイミングジェネレータ 4 0、ゲートシフトレジスタ 4 2、及びゲートドライバ 4 4 の各動作を制御する。

【 0 0 5 6 】

さらに詳細に言えば、図 6 及び図 7 に示されるように、タイミングコントローラ 4 6 は、ビデオ同期信号 C K V、S T A 信号、及び S T B 信号をゲートシフトレジスタ 4 2 へ出力する。ゲートシフトレジスタ 4 2 に入力される S T A 信号及び S T B 信号の周期は、垂直同期開始信号 S T V の周期の N 倍（ただし、N は 1 以上の自然数）である。そして、ゲートシフトレジスタ 4 2 から出力される S R A 信号（S R A 1 信号、S R A 2 信号）及び S R B 信号（S R B 1 信号、S R B 2 信号）の周期は、垂直同期開始信号 S T V の周期の N 倍（ただし、N は 1 以上の自然数）である。ゲートシフトレジスタ 4 2 では、S T A 信号線上と S T B 信号線上とのそれぞれにおいて、各補助容量線（第 1 の補助容量線 2 0 又は第 2 の補助容量線 2 2）に対応して 1 個のインバータ 6 4 A、6 4 B、7 2 A、7 2 B が設けられている。インバータ 6 4 A、6 4 B は、第 1 の補助容量線 2 0 に対応しており、インバータ 7 2 A、7 2 B は、第 2 の補助容量線 2 2 に対応している。

【 0 0 5 7 】

さらに、このインバータ 6 4 A、6 4 B の後段には、インバータ 6 6 A とインバータ 6 8 A とから成るフリップフロップ回路 7 0 A と、インバータ 6 6 B とインバータ 6 8 B とから成るフリップフロップ回路 7 0 B が設けられており、インバータ 6 4 A、6 4 B からの出力信号がそれぞれフリップフロップ回路 7 0 A、7 0 B に入力される。

【 0 0 5 8 】

フリップフロップ回路 7 0 A、7 0 B は、補助容量線 2 0 に対応して設けられている。

フリップフロップ回路 70 A、70 B は、互いに異なる周期の複数の入力信号を所定時間保持して出力する。各補助容量線 20 毎に設けられたフリップフロップ回路 70 A、70 B は、少なくとも 2 個以上（本実施の形態では、2 個）から成り、本実施の形態では、フリップフロップ回路 70 A とフリップフロップ回路 70 B との 2 個から成る。フリップフロップ回路 70 A は、出力信号として S R A 1 信号を出力すると共に、フリップフロップ回路 70 B は、出力信号として S R B 1 信号を出力する。

【0059】

フリップフロップ回路 70 A、70 B のインバータ 66 A、66 B の出力端子は、それぞれ次の段の補助容量線（ここでは、第 2 の補助容量線 22）に対応した 1 個のインバータ 72 A、72 B の入力端子に接続されており、インバータ 66 A、66 B から出力された信号は、それぞれインバータ 72 A、72 B に入力される。

10

【0060】

また、フリップフロップ回路 70 A のインバータ 66 A からの出力信号である S R A 1 信号、及びフリップフロップ回路 70 B のインバータ 66 B からの出力信号である S R B 1 信号は、S C タイミングジェネレータ 40 にも入力される。S C タイミングジェネレータ 40 は、前述の垂直同期開始信号 S T V に同期して動作する。

【0061】

S C タイミングジェネレータ 40 は、第 1 のスイッチ群 36 の各スイッチ 36 A、36 B、36 C、36 D に対応した信号線を有しており、これらの各スイッチ 36 A、36 B、36 C、36 D に対応した信号線上には、N A N D ゲート 74 A、74 B、74 C、74 D、インバータ 76 A、76 B、76 C、76 D、インバータ 78 A、78 B、78 C、78 D が設けられている。S C タイミングジェネレータ 40 は、フリップフロップ回路 70 A、70 B からそれぞれ出力された S R A 1 信号、S R B 1 信号に応じて、第 1 のスイッチ群 36 のスイッチ 36 A、36 B、36 C、36 D の切替えを実行する。

20

【0062】

フリップフロップ回路 70 A のインバータ 66 A の出力端子は、スイッチ 36 A に対応した N A N D ゲート 74 A の一方の入力端子に接続されると共にスイッチ 36 C に対応した N A N D ゲート 74 C の一方の端子に接続されており、フリップフロップ回路 70 B のインバータ 68 A の出力端子は、スイッチ 36 B に対応した N A N D ゲート 74 B の一方の入力端子に接続されると共にスイッチ 36 D に対応した N A N D ゲート 74 D の一方の入力端子に接続されている。

30

【0063】

また、フリップフロップ回路 70 B のインバータ 66 B の出力端子は、スイッチ 36 A に対応した N A N D ゲート 74 A の他方の入力端子に接続されると共にスイッチ 36 B に対応した N A N D ゲート 74 B の他方の入力端子に接続されており、フリップフロップ回路 70 B のインバータ 68 B の出力端子は、スイッチ 36 C に対応した N A N D ゲート 74 C の他方の入力端子に接続されると共にスイッチ 36 D に対応した N A N D ゲート 74 D の他方の入力端子に接続されている。

【0064】

N A N D ゲート 74 A の出力端子には、インバータ 76 A の入力端子が接続されており、このインバータ 76 A の出力端子には、さらにインバータ 78 A の入力端子が接続されている。このインバータ 78 A の出力端子には、スイッチ 36 A の一方の端子が接続されている。また、インバータ 76 A とインバータ 78 A との間では、信号線が分岐しており、この分岐した信号線がスイッチ 36 A の他方の端子に接続されている。

40

【0065】

また、N A N D ゲート 74 B の出力端子には、インバータ 76 B の入力端子が接続されており、このインバータ 76 B の出力端子には、さらにインバータ 78 B の入力端子が接続されている。このインバータ 78 B の出力端子には、スイッチ 36 B の一方の端子が接続されている。また、インバータ 76 B とインバータ 78 B との間では、信号線が分岐しており、この分岐した信号線がスイッチ 36 B の他方の端子に接続されている。

50

【 0 0 6 6 】

また、NANDゲート74Cの出力端子には、インバータ76Cの入力端子が接続されており、このインバータ76Cの出力端子には、さらにインバータ78Cの入力端子が接続されている。このインバータ78Cの出力端子には、スイッチ36Cの一方の端子が接続されている。また、インバータ76Cとインバータ78Cとの間では、信号線が分岐しており、この分岐した信号線がスイッチ36Cの他方の端子に接続されている。

【 0 0 6 7 】

また、NANDゲート74Dの出力端子には、インバータ76Dの入力端子が接続されており、このインバータ76Dの出力端子には、さらにインバータ78Dの入力端子が接続されている。このインバータ78Dの出力端子には、スイッチ36Dの一方の端子が接続されている。また、インバータ76Dとインバータ78Dとの間では、信号線が分岐しており、この分岐した信号線がスイッチ36Dの他方の端子に接続されている。

【 0 0 6 8 】

以上説明したような第1の補助容量線20に対応する各スイッチ36A、36B、36C、36Dのそれぞれの出力端子は、第1の補助容量線20に並列に接続されている。

【 0 0 6 9 】

一方、第2の補助容量線22に対応したインバータ72A、72Bの後段には、インバータ80Aとインバータ82Aとから成るフリップフロップ回路84Aと、インバータ80Bとインバータ82Bとから成るフリップフロップ回路84Bが設けられており、インバータ72A、72Bからの出力信号がそれぞれフリップフロップ回路84A、84Bに入力される。

【 0 0 7 0 】

フリップフロップ回路84A、84Bは、補助容量線22に対応して設けられている。フリップフロップ回路84A、84Bは、互いに異なる周期の複数の入力信号を所定時間保持して出力する。各補助容量線22毎に設けられたフリップフロップ回路84A、84Bは、少なくとも2個以上（本実施の形態では、2個）から成り、本実施の形態では、フリップフロップ回路84Aとフリップフロップ回路84Bとの2個から成る。フリップフロップ回路84Aは、出力信号としてSRA2信号を出力すると共に、フリップフロップ回路84Bは、出力信号としてSRB2信号を出力する。

【 0 0 7 1 】

フリップフロップ回路84A、84Bのインバータ80A、80Bの出力端子は、それぞれ次の段の補助容量線（ここでは、第1の補助容量線20）に対応した1個のインバータ64A、64Bの入力端子に接続されており、インバータ80A、80Bから出力された信号は、それぞれインバータ64A、64Bに入力される。

【 0 0 7 2 】

また、フリップフロップ回路84Aのインバータ80Aからの出力信号であるSRA2信号、及びフリップフロップ回路84Bのインバータ80Bからの出力信号であるSRB2信号は、SCタイミングジェネレータ40にも入力される。SCタイミングジェネレータ40は、前述の垂直同期開始信号STVに同期して動作する。

【 0 0 7 3 】

SCタイミングジェネレータ40は、第2のスイッチ群38の各スイッチ38A、38B、38C、38Dに対応した信号線を有しており、これらの各スイッチ38A、38B、38C、38Dに対応した信号線上には、NANDゲート86A、86B、86C、86D、インバータ88A、88B、88C、88D、インバータ90A、90B、90C、90Dが設けられている。SCタイミングジェネレータ40は、フリップフロップ回路84A、84Bからそれぞれ出力されたSRA2信号、SRB2信号に応じて、第2のスイッチ群38のスイッチ38A、38B、38C、38Dの切替えを実行する。

【 0 0 7 4 】

フリップフロップ回路84Aのインバータ80Aの出力端子は、スイッチ38Aに対応したNANDゲート86Aの一方の入力端子に接続されると共にスイッチ38Cに対応し

10

20

30

40

50

たNANDゲート86Cの一方の端子に接続されており、フリップフロップ回路84Aのインバータ82Aの出力端子は、スイッチ38Bに対応したNANDゲート86Bの他方の入力端子に接続されると共にスイッチ38Dに対応したNANDゲート86Dの一方の入力端子に接続されている。

【0075】

また、フリップフロップ回路84Bのインバータ80Bの出力端子は、スイッチ36Cに対応したNANDゲート74Cの他方の入力端子に接続されると共にスイッチ36Dに対応したNANDゲート74Dの他方の入力端子に接続されており、フリップフロップ回路84Bのインバータ82Bの出力端子は、スイッチ36Aに対応したNANDゲート74Aの他方の入力端子に接続されると共にスイッチ36Bに対応したNANDゲート74Bの他方の入力端子に接続されている。

10

【0076】

NANDゲート86Aの出力端子には、インバータ88Aの入力端子が接続されており、このインバータ88Aの出力端子には、さらにインバータ90Aの入力端子が接続されている。このインバータ90Aの出力端子には、スイッチ38Aの一方の端子が接続されている。また、インバータ88Aとインバータ90Aとの間では、信号線が分岐しており、この分岐した信号線がスイッチ36Aの他方の端子に接続されている。

【0077】

また、NANDゲート86Bの出力端子には、インバータ88Bの入力端子が接続されており、このインバータ88Bの出力端子には、さらにインバータ90Bの入力端子が接続されている。このインバータ90Bの出力端子には、スイッチ38Bの一方の端子が接続されている。また、インバータ88Bとインバータ90Bとの間では、信号線が分岐しており、この分岐した信号線がスイッチ36Bの他方の端子に接続されている。

20

【0078】

また、NANDゲート86Cの出力端子には、インバータ88Cの入力端子が接続されており、このインバータ88Cの出力端子には、さらにインバータ90Cの入力端子が接続されている。このインバータ90Cの出力端子には、スイッチ38Cの一方の端子が接続されている。また、インバータ88Cとインバータ90Cとの間では、信号線が分岐しており、この分岐した信号線がスイッチ36Cの他方の端子に接続されている。

【0079】

また、NANDゲート86Dの出力端子には、インバータ88Dの入力端子が接続されており、このインバータ88Dの出力端子には、さらにインバータ90Dの入力端子が接続されている。このインバータ90Dの出力端子には、スイッチ38Dの一方の端子が接続されている。また、インバータ88Dとインバータ90Dとの間では、信号線が分岐しており、この分岐した信号線がスイッチ36Dの他方の端子に接続されている。

30

【0080】

以上説明したような第2の補助容量線22に対応する各スイッチ38A、38B、38C、38Dのそれぞれの出力端子は、第2の補助容量線22に並列に接続されている。

【0081】

このような構成の液晶表示装置10では、各補助容量線20、22に対応した複数のフリップフロップ回路70A、84Aは、インバータ64A、72Aを介した状態で互いに直列に接続されて、これらの複数のフリップフロップ回路70A、84A間で一方向にデータが転送される。また、各補助容量線20、22に対応した複数のフリップフロップ回路70B、84Bは、インバータ64B、72Bを介した状態で互いに直列に接続されて、これらの複数のフリップフロップ回路70B、84B間で一方向にデータが転送される。

40

【0082】

図7には、駆動回路32の動作のタイミングチャートが示されている。

【0083】

垂直同期開始信号STVがタイミングコントローラ46からゲートドライバ44に入力

50

されると、ビデオ同期信号 C K V に同期して、全てのゲート線 1 6 にゲート駆動信号が供給されて各ゲート線 1 6 に接続された各薄膜トランジスタ 1 4 のゲート 1 8 がオンとされると共に、ゲートシフトレジスタ 4 2 に上記のビデオ同期信号 C K V、S T A 信号、及び S T B 信号が入力される。

【 0 0 8 4 】

ゲートシフトレジスタ 4 2 にビデオ同期信号 C K V、S T A 信号、及び S T B 信号が入力されると、これらのビデオ同期信号 C K V、S T A 信号、及び S T B 信号に応じて、フリップフロップ回路 7 0 A、7 0 B からは、それぞれ S R A 1 信号、S R B 1 信号が S C タイミングジェネレータ 4 0 へ出力される。

このとき、フリップフロップ回路 7 0 A、7 0 B から出力された S R A 1 信号、S R B 1 信号に応じて、フリップフロップ回路 8 4 A、8 4 B からは、それぞれ S R A 2 信号、S R B 2 信号が S C タイミングジェネレータ 4 0 へ出力される。

【 0 0 8 5 】

S R A 1 信号及び S R B 1 信号が S C タイミングジェネレータ 4 0 に入力されると、これらの S R A 1 信号及び S R B 1 信号の双方に応じて、スイッチ 3 6 A、3 6 B、3 6 C、3 6 D のうち何れか 1 つのスイッチが選択されて、第 1 の補助容量線 2 0 に駆動信号が供給される。これと同様に、S R A 2 信号及び S R B 2 信号が S C タイミングジェネレータ 4 0 に入力されると、S C タイミングジェネレータ 4 0 では、S R A 2 信号及び S R B 2 信号の双方に応じて、スイッチ 3 8 A、3 8 B、3 8 C、3 8 D のうち何れか 1 つのスイッチが選択されて、第 2 の補助容量線 2 2 に駆動信号が供給される。このように、S C タイミングジェネレータ 4 0 は、ゲートシフトレジスタ 4 2 から出力された信号に基づいて、第 1 のスイッチ群 3 6 及び第 2 のスイッチ群 3 8 の各スイッチ 3 6 A、3 6 B、3 6 C、3 6 D、3 8 A、3 8 B、3 8 C、3 8 D を切り替える。S C タイミングジェネレータ 4 0 は、ゲートシフトレジスタ 4 2 から出力される信号が切り替えられるまでは、第 1 のスイッチ群 3 6 及び第 2 のスイッチ群 3 8 のスイッチ 3 6 A、3 6 B、3 6 C、3 6 D、3 8 A、3 8 B、3 8 C、3 8 D に与えるスイッチ選択信号（スイッチ選択情報）を出力し続ける。ゲートシフトレジスタ 4 2 は、互いに異なる周期の複数の入力信号を所定時間保持して出力する。

【 0 0 8 6 】

以上説明したような駆動回路 3 2 は、ゲート線 1 6 に所定の周期のゲート駆動信号を供給すると共に、第 1 の補助容量線 2 0 にゲート駆動信号と同期した第 1 の信号 S 1 を供給し、第 2 の補助容量線 2 2 に第 1 の信号 S 1 とほぼ逆相の第 2 の信号 S 2（さらに詳しく言えば、例えば、第 2 の信号 S 2 は、第 1 の信号 S 1 よりもタイミングが 1 水平期間遅れるが、第 2 の信号 S 2 と第 1 の信号 S 1 との供給タイミングのずれは、これに限らない）を供給する。駆動回路 3 2 は、補助容量線（第 1 の補助容量線 2 0、第 2 の補助容量線 2 2）に、第 1、第 2、第 3 及び第 4 の電圧（ただし、第 1 の電圧 $V_1 >$ 第 2 の電圧 $V_2 >$ 第 3 の電圧 $V_3 >$ 第 4 の電圧 V_4 ）を供給する。

【 0 0 8 7 】

図 3 に示されるように、駆動回路 3 2 は、第 3 の電圧 V_3 、第 1 の電圧 V_1 、第 2 の電圧 V_2 、第 4 の電圧 V_4 の順に繰り返し補助容量線（第 1 の補助容量線 2 0、第 2 の補助容量線 2 2）に供給する。

【 0 0 8 8 】

ここで、駆動回路 3 2 は、薄膜トランジスタ 1 4 のゲート 1 8 をオンにした直後に（さらに言えば、画素 1 2 の電圧（画素電圧）のシフトタイミングで）第 1 の補助容量線 2 0、第 2 の補助容量線 2 2 に供給する電圧をオーバードライブさせる設定とされている。

【 0 0 8 9 】

第 1 群の画素 1 2 A の電位が（-）電位から（+）電位に切り替えられると共に第 2 群の画素 1 2 B の電位が（+）電位から（-）電位に切り替えられる場合には、駆動回路 3 2 は、第 3 の電圧 V_3 を第 1 の補助容量線 2 0 に供給すると共に第 2 の電圧 V_2 を第 2 の補助容量線 2 2 に供給している時に、ゲート線 1 6 に駆動電圧（ゲート駆動信号）を印加

して対応する画素 12 の薄膜トランジスタ 14 のゲート 18 をオンにしこの薄膜トランジスタ 14 を導通させた直後に、オーバードライブ期間に移行する。

ここで、駆動回路 32 は、第 3 の電圧 V_3 から第 2 の電圧 V_2 よりも電圧の高い第 1 の電圧 V_1 を第 1 の補助容量線 20 に印加する。従って、第 3 の電圧 V_3 から第 2 の電圧 V_2 を第 1 の補助容量線 20 に印加する構成（電圧（ $V_2 - V_3$ ）を第 1 の補助容量線 20 に印加する構成）と比べて、より大きな電圧（ $V_1 - V_3$ ）を第 1 の補助容量線 20 に印加することができる。

またここで、駆動回路 32 は、第 2 の電圧 V_2 から第 3 の電圧 V_3 よりも電圧の低い第 4 の電圧 V_4 を第 2 の補助容量線 22 に印加する。従って、第 2 の電圧 V_2 から第 3 の電圧 V_3 を第 2 の補助容量線 22 に印加する構成（電圧（ $V_3 - V_2$ ）を第 2 の補助容量線 22 に印加する構成）と比べて、より大きな電圧（ $V_4 - V_2$ ）を第 2 の補助容量線 22 に印加することができる。

【0090】

またさらに、第 1 群の画素 12 A の電位が（+）電位から（-）電位に切り替えられると共に第 2 群の画素 12 B の電位が（-）電位から（+）電位に切り替えられる場合には、駆動回路 32 は、第 2 の電圧 V_2 を第 1 の補助容量線 20 に供給すると共に第 3 の電圧 V_3 を第 2 の補助容量線 22 に供給している時に、ゲート線 16 に駆動電圧（ゲート駆動信号）を印加して対応する画素 12 の薄膜トランジスタ 14 のゲート 18 をオンにしこの薄膜トランジスタ 14 を導通させた直後に、オーバードライブ期間に移行する。

ここで、駆動回路 32 は、第 2 の電圧 V_2 から第 3 の電圧 V_3 よりも電圧の低い第 4 の電圧 V_4 を第 1 の補助容量線 20 に印加する。従って、第 2 の電圧 V_2 から第 3 の電圧 V_3 を第 1 の補助容量線 20 に印加する構成（電圧（ $V_3 - V_2$ ）を第 1 の補助容量線 20 に印加する構成）と比べて、より大きな電圧（ $V_4 - V_2$ ）を第 1 の補助容量線 20 に印加することができる。

またここで、駆動回路 32 は、第 3 の電圧 V_3 から第 2 の電圧 V_2 よりも電圧の高い第 1 の電圧 V_1 を第 2 の補助容量線 22 に印加する。従って、第 3 の電圧 V_3 から第 2 の電圧 V_2 を第 2 の補助容量線 22 に印加する構成（電圧（ $V_2 - V_3$ ）を第 2 の補助容量線 22 に印加する構成）と比べて、より大きな電圧（ $V_1 - V_3$ ）を第 2 の補助容量線 22 に印加することができる。

【0091】

以上説明したように、液晶容量 15 に電圧を印加する際に、従来よりも大きな電圧を補助容量 24 に供給する構成であるので、液晶の起立状態（配向状態）を従来よりも早く所望の起立状態にすることができるだけでなく、画素 12 の電圧（画素電圧）をより長く適正範囲内に維持できる。

【0092】

なお、本実施の形態では、駆動回路 32 が、第 3 の電圧 V_3 、第 1 の電圧 V_1 、第 2 の電圧 V_2 、第 4 の電圧 V_4 の順に電圧を繰り返し各補助容量線 20、22 に供給する構成としたが、本発明はこれに代えて、駆動回路 32 が、第 3 の電圧 V_3 、第 4 の電圧 V_4 、第 2 の電圧 V_2 、第 1 の電圧 V_1 の順に電圧を繰り返し各補助容量線 20、22 に供給する構成としてもよい。このように、駆動回路 32 が、第 3 の電圧 V_3 、第 4 の電圧 V_4 、第 2 の電圧 V_2 、第 1 の電圧 V_1 の順に電圧を繰り返し各補助容量線 20、22 に供給する場合、駆動回路 32 は、第 4 の電圧 V_4 又は第 1 の電圧 V_1 を供給しているときに、ゲート線 16 にゲート駆動信号（駆動電圧）を印加して薄膜トランジスタ 14 を導通させるようにしてもよい。

【図面の簡単な説明】

【0093】

【図 1】本発明の実施の形態に係る液晶表示装置の要部を示すブロック図である。

【図 2】図 1 に示される液晶表示装置の表示パネルの拡大図である。

【図 3】LCD の駆動方法を示す信号の波形図である。

【図 4】画素において補助容量が形成される位置を示す概略図である。

10

20

30

40

50

【図 5】図 4 における 5 - 5 断面図である。

【図 6】本発明の実施の形態に係る駆動回路の詳細な構成を示す回路図である。

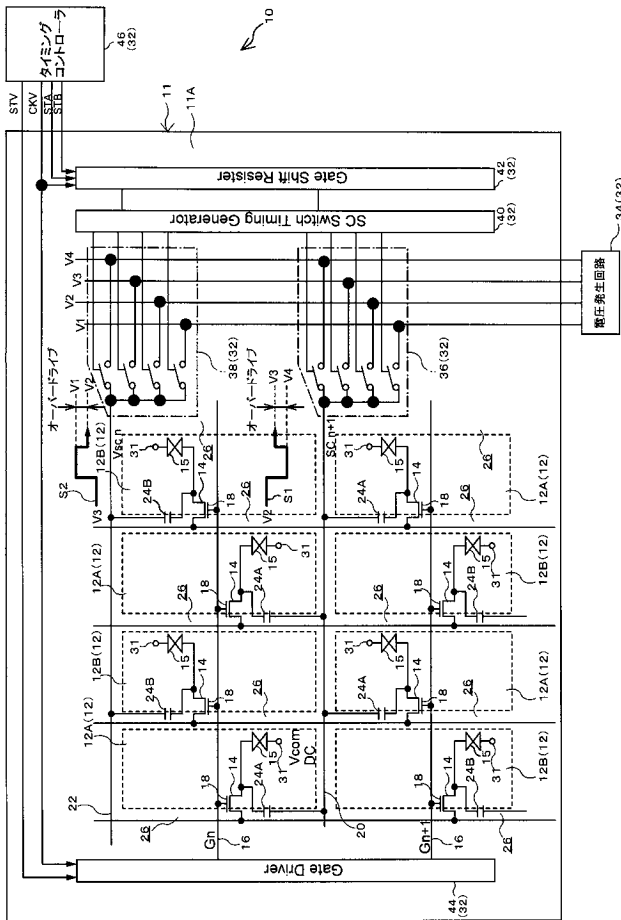
【図 7】図 6 に示される駆動回路の動作を示すタイミングチャートである。

【符号の説明】

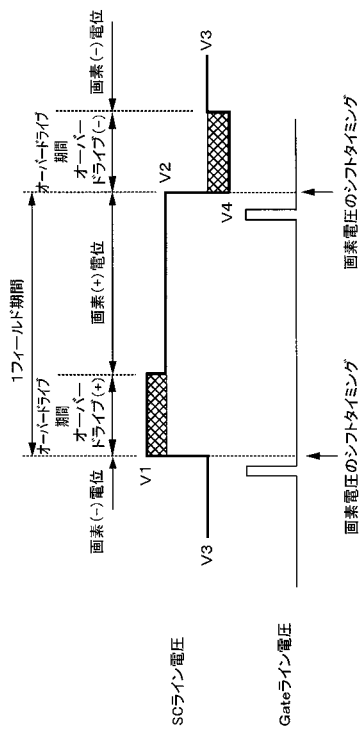
【 0 0 9 4 】

1 0	液晶表示装置	
1 2	画素	
1 1 A	基板	
1 2 A	第 1 群の画素	
1 2 B	第 2 群の画素	10
1 4	薄膜トランジスタ	
1 5	液晶容量	
1 6	ゲート線	
1 8	ゲート	
2 0	第 1 の補助容量線	
2 2	第 2 の補助容量線	
2 4	補助容量	
2 4 A	第 1 の補助容量	
2 4 B	第 2 の補助容量	
2 6	境界部	20
2 8	カラーフィルタ	
3 0	遮光部	
3 2	駆動回路	
3 4	電圧発生回路	
3 6	第 1 のスイッチ群	
3 8	第 2 のスイッチ群	
4 0	S C タイミングジェネレータ (スイッチ切替タイミングジェネレータ)	
4 2	ゲートシフトレジスタ	
4 4	ゲートドライバ	
4 6	タイミングコントローラ (駆動回路)	30
7 0 A	フリップフロップ回路	
7 0 B	フリップフロップ回路	
V 1	第 1 の電圧	
V 2	第 2 の電圧	
V 3	第 3 の電圧	
V 4	第 4 の電圧	

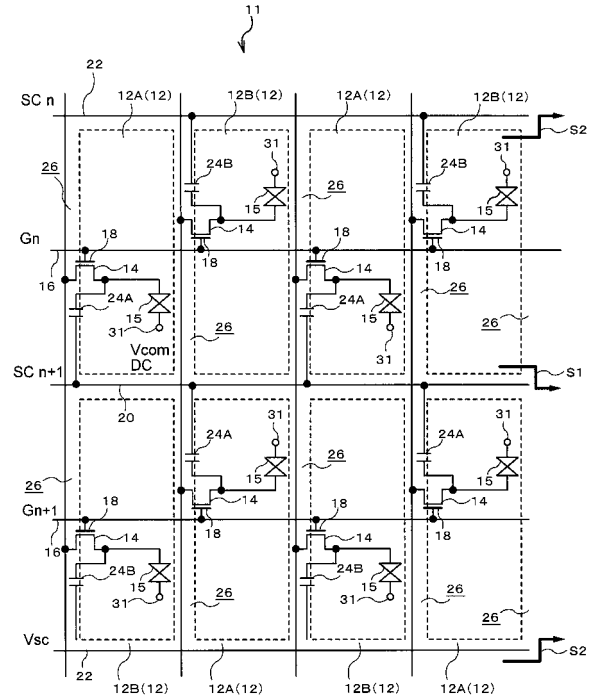
【図 1】



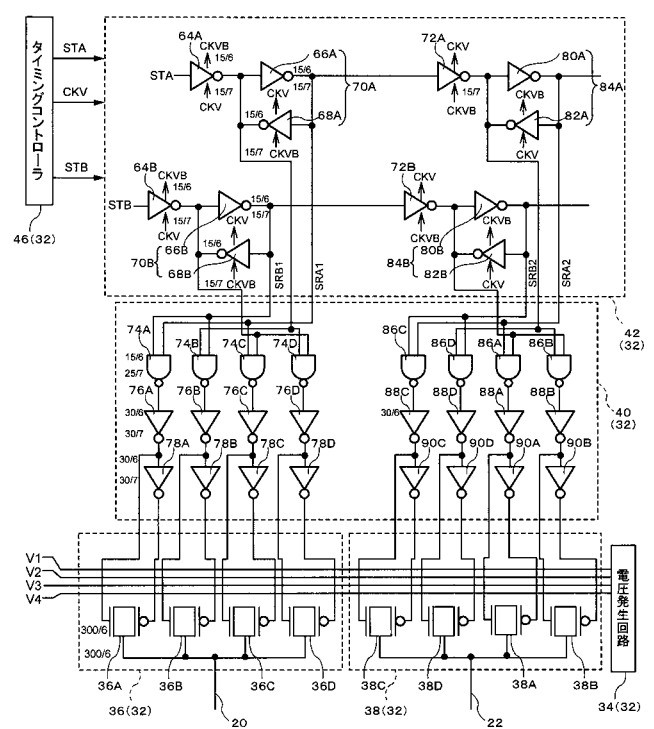
【図 3】



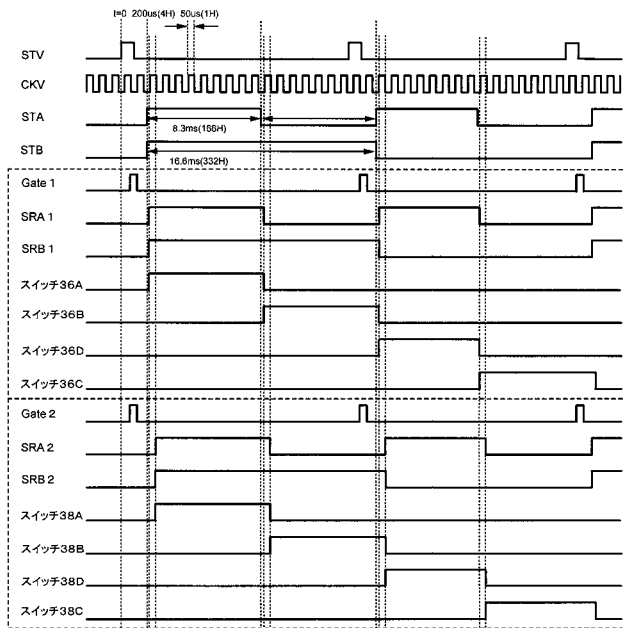
【図 2】



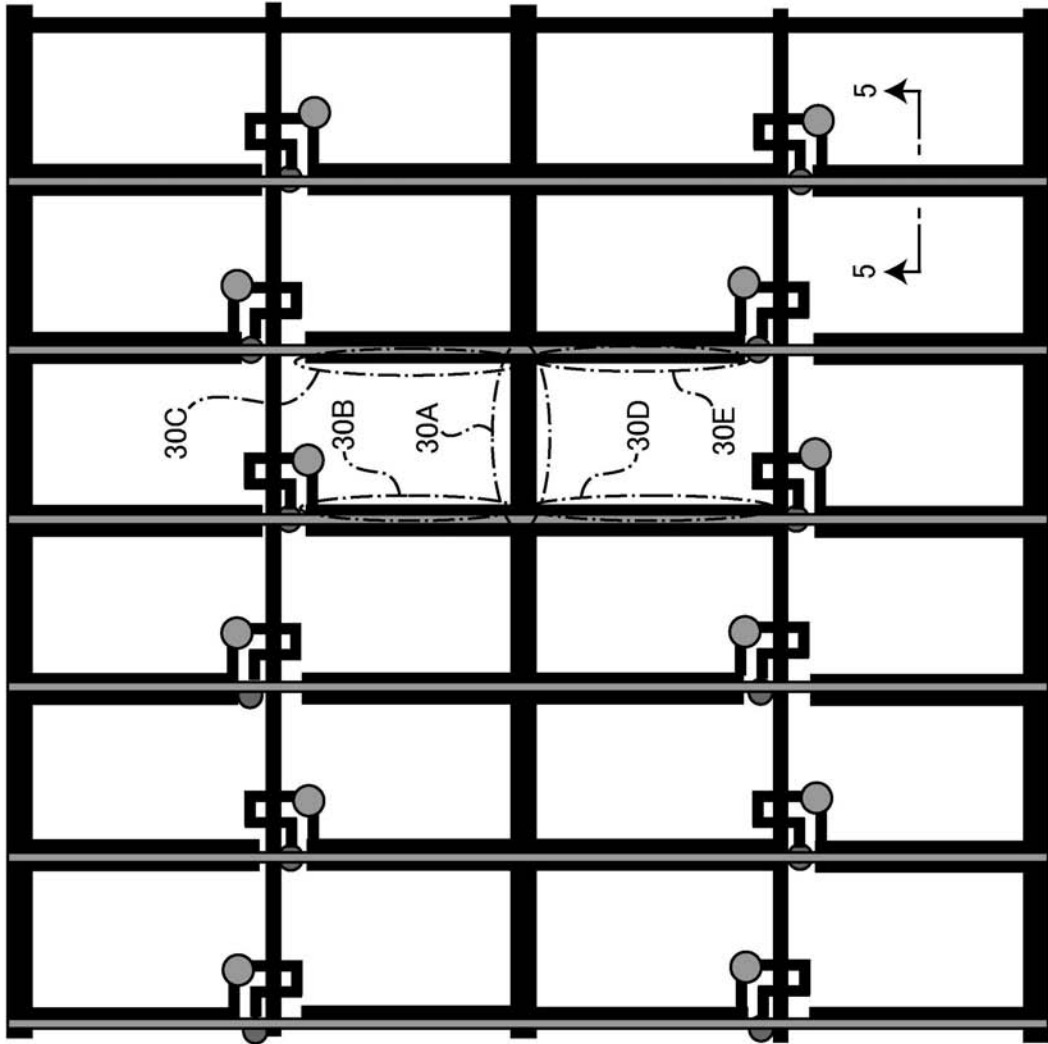
【図 6】



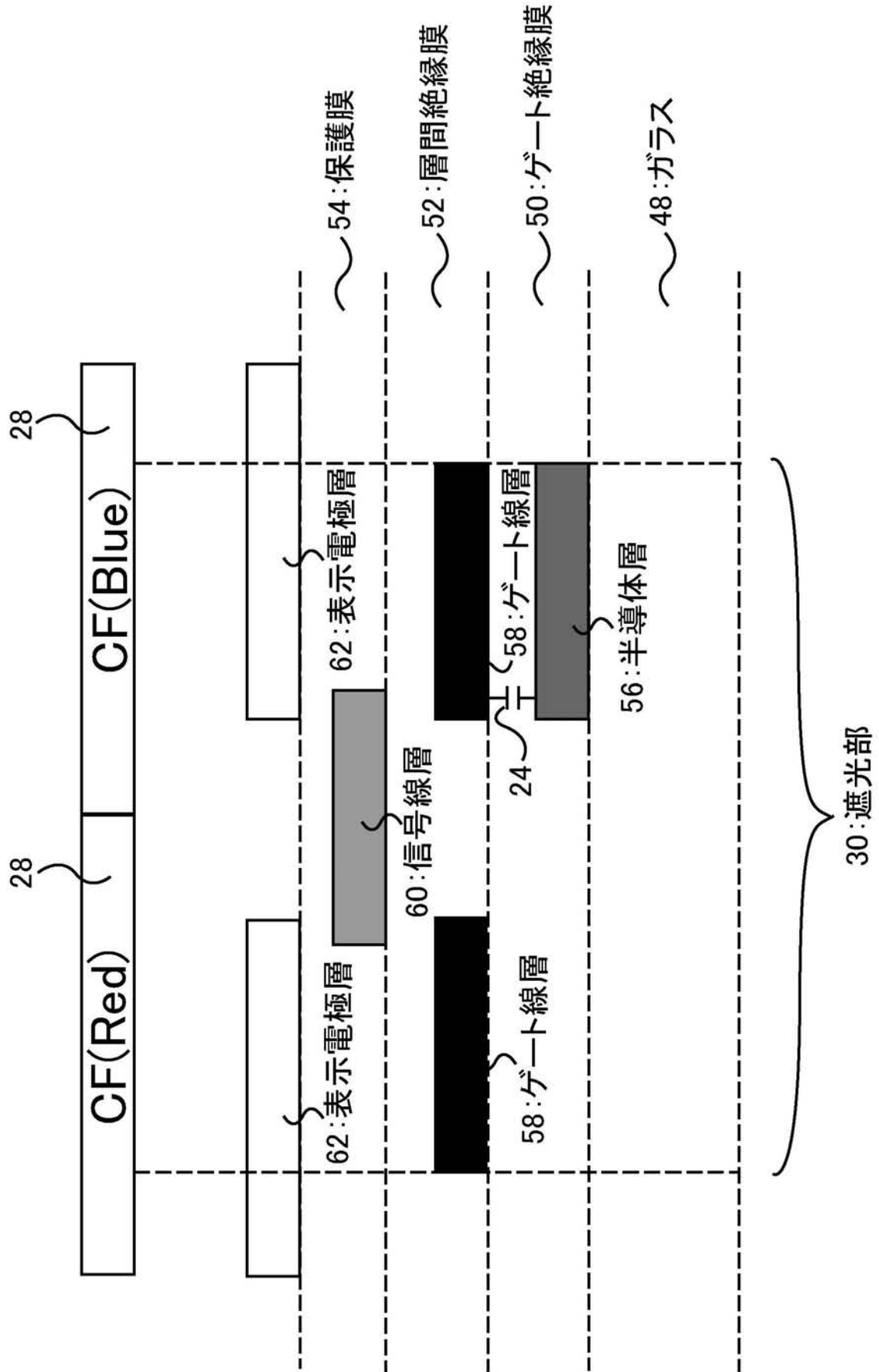
【図 7】



【 図 4 】

11
↘

【図 5】



 フロントページの続き

(51)Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20	6 2 4 E
	G 0 9 G 3/20	6 2 2 D
	G 0 9 G 3/20	6 2 1 E
	G 0 9 G 3/20	6 2 2 E
	G 0 9 G 3/20	6 2 2 K
	G 0 9 G 3/20	6 2 2 G
	G 0 9 G 3/20	6 2 1 F
	G 0 9 G 3/36	

(72)発明者 千田 みちる

東京都港区六本木 3 - 1 - 1 六本木ティーキューブ 日本サムスン株式会社内

F ターム(参考) 2H093 NA16 NC18 NC22 NC35 NC36 ND33 ND34
 5C006 AA22 AC11 AC25 AF42 AF43 AF72 BB16 BB21 BC02 BC03
 BC22 BC23 BF03 BF06 BF24 BF26 BF27 BF33 BF34 BF43
 FA14 FA16
 5C080 AA10 BB06 DD08 FF03 FF11 JJ02 JJ03 JJ04

专利名称(译)	液晶表示装置		
公开(公告)号	JP2008145993A	公开(公告)日	2008-06-26
申请号	JP2006339609	申请日	2006-12-18
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
[标]发明人	横山良一 千田みちる		
发明人	横山 良一 千田 みちる		
IPC分类号	G02F1/133 G09G3/20 G09G3/36		
CPC分类号	G02F1/136213 G09G3/3655 G09G2300/0876 G09G2320/0252 G09G2320/0261		
FI分类号	G02F1/133.570 G02F1/133.550 G09G3/20.624.A G09G3/20.624.D G09G3/20.621.B G09G3/20.624.E G09G3/20.622.D G09G3/20.621.E G09G3/20.622.E G09G3/20.622.K G09G3/20.622.G G09G3/20.621.F G09G3/36		
F-TERM分类号	2H093/NA16 2H093/NC18 2H093/NC22 2H093/NC35 2H093/NC36 2H093/ND33 2H093/ND34 5C006/AA22 5C006/AC11 5C006/AC25 5C006/AF42 5C006/AF43 5C006/AF72 5C006/BB16 5C006/BB21 5C006/BC02 5C006/BC03 5C006/BC22 5C006/BC23 5C006/BF03 5C006/BF06 5C006/BF24 5C006/BF26 5C006/BF27 5C006/BF33 5C006/BF34 5C006/BF43 5C006/FA14 5C006/FA16 5C080/AA10 5C080/BB06 5C080/DD08 5C080/FF03 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 2H193/ZA04 2H193/ZA07 2H193/ZA08 2H193/ZB14 2H193/ZE01 2H193/ZF59 2H193/ZF60		
优先权	1020060125722 2006-12-11 KR		
其他公开文献	JP5230930B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：获得一种能够将液晶的站立状态更快地转变为期望状态的液晶显示装置。根据本发明，沿预定方向布置多个像素，每个像素均具有薄膜晶体管，该栅极线用于将驱动信号提供给多个像素的每个薄膜晶体管的栅极，并且每个像素。液晶电容连接到像素中的薄膜晶体管的一个端子，与栅极线平行布置的辅助电容线以及每个像素中提供的像素中的薄膜晶体管之一。设置连接在端子和辅助电容线之间的辅助电容和至少四个值的电压，并且从至少四个电压值中选择一个电压值以选择所选择的电压值的电压。通过将液晶电容提供给辅助电容线来以电容耦合状态驱动液晶电容和辅助电容的驱动电路。[选型图]图1

