

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-129026

(P2008-129026A)

(43) 公開日 平成20年6月5日(2008.6.5)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G02F 1/133 (2006.01)	G02F 1/133 550	5C006
G09G 3/20 (2006.01)	G09G 3/20 624A	5C080
	G09G 3/20 612E	
	G09G 3/20 622C	
審査請求 有 請求項の数 1 O L (全 10 頁) 最終頁に続く		

(21) 出願番号 特願2006-309872 (P2006-309872)
 (22) 出願日 平成18年11月16日 (2006.11.16)

(71) 出願人 501358079
 友達光電股▲ふん▼有限公司
 台湾新竹市科学工業園區力行二路1号
 (74) 代理人 110000268
 特許業務法人 田中・岡崎アンドアソシエ
 イツ
 (72) 発明者 中塚 均
 大阪府大阪市中央区内平野町3丁目2番1
 2号
 Fターム(参考) 2H093 NA16 NA53 NB01 NC34 ND05
 5C006 AA16 AC11 AC22 AF21 AF42
 AF50 AF71 BB16 BC03 BF25
 BF31 BF36 BF37 BF42 FA16
 FA22 FA23 FA34 FA37 FA41

最終頁に続く

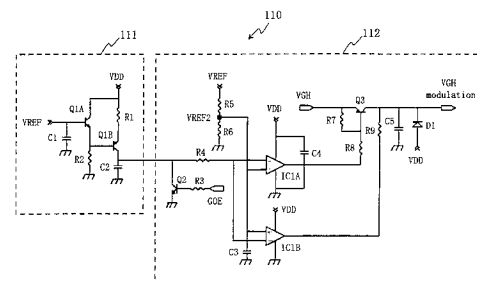
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 TFT 液晶表示装置に設けられるタイミング集積回路や走査線ドライバの構成に特別な変更を加えることなく、表示画像のフリッカや焼きつき等の画質ムラの低減を可能とするゲート変調回路を提供すること。

【解決手段】 コンパレータ A (IC1A) は、コンデンサ (C2) の三角波電圧と第2の基準電圧 (VREF2) とを比較し、コンデンサ (C2) の三角波の電圧値が第2の基準電圧 (VREF2) より大きい場合に、導通経路を遮断する。そして、コンパレータ B (IC1B) は、コンデンサ (C5) に充電された電荷を放電抵抗 (R5) を通して放電するように制御する。この放電により、走査線ドライバに供給する電源電圧 (走査線ドライバのハイレベル電源電圧) が変調 (VGHモジュレーション) され、これがゲート変調回路から走査線駆動回路へと出力されて走査線駆動回路のハイレベル電源電圧として用いられる。

【選択図】 図4



【特許請求の範囲】

【請求項 1】

平行に走る複数のデータ線と、該データ線と直交し平行に走る複数の走査線と、該データ線と該走査線の交差する各位置に設けられた画素と、該画素に対応して設けられた T F T と、該 T F T のソースを介してデータ線信号を供給するデータ線駆動回路と、前記 T F T のゲートを介して走査線信号を供給する走査線駆動回路と、を有する液晶表示装置において、

定電流回路に接続された第 1 のコンデンサと、該第 1 のコンデンサの充電電圧を走査線タイミング信号に同期して放電させ三角波電圧を生成する電圧発生回路と、前記走査線駆動回路のハイレベル電源に接続された第 2 のコンデンサと、前記三角波電圧と基準電圧の比較結果に基づいて前記走査線駆動回路へのハイレベル電源電圧の供給を遮断するとともに前記第 2 のコンデンサを放電して前記走査線タイミング信号の立下り波形をランプ形状に変調して前記走査線駆動回路に出力する放電回路と、を有するゲート変調回路を備えていることを特徴とする液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は液晶表示装置に関し、より詳細には、表示画像の画質ムラを改善した液晶表示装置に関する。

【背景技術】

【0002】

液晶表示装置（液晶ディスプレイ：LCD）は、高精度（高精細）表示が可能であり、しかも、薄型・軽量、低電圧・低電力動作などの特徴を有しており、携帯電話やデジタルカメラなどの小面積（例えば 2 型程度）のパネルから、40 型を超える大面積のテレビ向けのパネルなどとして、幅広く用いられている。

【0003】

LCD は、少なくとも一方が透明なガラス等の 2 枚の（一对の）基板の間に挟持された液晶材に電圧を印加して液晶の配向状態を変化させることで光の通過・遮断を制御する「液晶シャッタ」を基本原理とし、液晶パネルを構成する 2 枚の基板モジュール上に画素毎に形成された透明導電膜間（T F T 側基板モジュールに設けられた画素電極と対向電極側基板モジュールに設けられた対向電極との間）に選択的に電圧を印加して所定の画素における光の通過・遮断が制御される。

【0004】

図 1 は、一般的な T F T 液晶パネルの 1 画素の等価回路である。この図に示すように、基板上の X 方向および Y 方向にマトリックス状に設けられたゲート・バス・ライン（走査線）11 とデータ・バス・ライン（データ線）12 の交差する位置には、スイッチング素子としての T F T 13 と、画素への信号入力後から次の信号が入力されるまで最初の信号の電荷を保持し続けるための蓄積キャパシタ 14 が配置されている。

【0005】

T F T 13 は、そのドレイン電極は画素電極の 1 つに接続され、ソース電極は信号電極（データ線 12）に接続され、ゲート電極は走査電極（走査線 11）に接続されている。また、T F T 13 と同一基板上に設けられた蓄積キャパシタ 14 の一方の電極（蓄積容量電極）は T F T 13 のドレイン電極に接続されている。なお、液晶物質を挟んで画素を構成するもう一方の画素電極は、対向基板上に形成された共通電極（コモン電圧 V_{COM} のコモン電極）である。

【0006】

図 1 中の C_{1c} は液晶セルの静電容量を、 C_{gs} は T F T 13 のソース・ゲート間の寄生容量を、そして C_s は蓄積キャパシタの蓄積容量を意味しており、蓄積キャパシタ 14 は液晶物質が形成する液晶キャパシタ C_{1c} と並列に、T F T 13 の負荷として作用する。なお、蓄積キャパシタ 14 には、隣接するゲート電極線を利用するタイプとゲート電極

10

20

30

40

50

線とは独立に容量形成するタイプがあるが、図 1 には後者のタイプの蓄積キャパシタが図示されており、この蓄積キャパシタ 14 の他方の電極は表示電極の一部（図 1 中の補助電圧 C_s ）に接続されている。

【0007】

走査線信号がハイレベル（ V_{GH} ）の期間は、データ線から供給される電圧によって、画素容量 C_{lc} に電荷が蓄えられる。走査線信号がハイレベル（ V_{GH} ）からローレベル（ V_{GL} ）に変化する際には、その立下り時に TFT 13 のドレイン電圧（ V_d ）はレベルシフトを生じることとなるが、そのレベルシフト量（ ΔV_d ）は、次式により与えられる。

【0008】

$$\Delta V_d = C_{gs} / (C_{gs} + C_{lc} + C_s) \times (V_{GH} - V_{GL})$$

【0009】

図 2 は、従来の駆動方法による場合の、TFT のドレイン電圧（ V_d ）のレベルシフトの様子を説明するための図である。この図において、同一の走査線（第 j 番目の走査線）上に設けられ、走査線入力付近から第 1 番目および第 n 番目に位置する画素に対応する TFT のゲート電圧（ V_g ）およびドレイン電圧（ V_d ）が示されている。

【0010】

走査線信号が急峻に立下がると、走査線がもつ遅延伝達特性により、各 TFT の走査線信号の立ち下りの傾斜は、当該走査線上の位置に応じて異なることとなる。TFT がオフするのは閾値電圧以下になってからなので、走査線入力付近のレベルシフト量（図 2 では $\Delta V_d(1, j)$ ）は大きくなり、走査線終端付近のレベルシフト量（図 2 では $\Delta V_d(n, j)$ ）は小さくなる。つまり、TFT のドレイン電圧のレベルシフト量 ΔV_d は、同一の走査線上で不均一となってしまふ。そして、このような TFT のドレイン電圧のレベルシフト量 ΔV_d の不均一は、特に大画面の液晶表示パネルにおいては、フリッカや焼きつき等の画質ムラを生じさせ、表示画質を著しく低下させることとなる。

【0011】

このような画質ムラの改善のために、例えば特許文献 1 や特許文献 2 により、走査線信号の立下りを傾斜させる（ランプ波形とする）ことで上述の画質ムラを低減する技術が提案されている。

【特許文献 1】特開平 6 - 110035 号公報

【特許文献 2】特許第 3406508 号明細書

【発明の開示】

【発明が解決しようとする課題】

【0012】

しかしながら、走査線信号の立下りを傾斜させるように制御するためには、新たな制御信号が必要となるため、従来から広く用いられてきた一般的なタイミング集積回路や走査線ドライバをそのままでは用いることができず、新たな構成のタイミング集積回路と走査線ドライバの開発が必要となるという問題がある。

【0013】

本発明は、このような問題に鑑みてなされたもので、その目的とするところは、TFT 液晶表示装置に設けられるタイミング集積回路や走査線ドライバの構成に特別な変更を加えることなく、表示画像のフリッカや焼きつき等の画質ムラの低減を可能とするゲート変調回路を提供することにある。

【課題を解決するための手段】

【0014】

上述の課題を解決するために、本発明は、平行に走る複数のデータ線と、該データ線と直交し平行に走る複数の走査線と、該データ線と該走査線の交差する各位置に設けられた画素と、該画素に対応して設けられた TFT と、該 TFT のソースを介してデータ線信号を供給するデータ線駆動回路と、前記 TFT のゲートを介して走査線信号を供給する走査線駆動回路と、を有する液晶表示装置において、定電流回路に接続された第 1 のコンデン

10

20

30

40

50

サと、該第１のコンデンサの充電電圧を走査線タイミング信号に同期して放電させ三角波電圧を生成する電圧発生回路と、前記走査線駆動回路のハイレベル電源に接続された第２のコンデンサと、前記三角波電圧と基準電圧の比較結果に基づいて前記走査線駆動回路へのハイレベル電源電圧の供給を遮断するとともに前記第２のコンデンサを放電して前記走査線タイミング信号の立下り波形をランプ形状に変調して前記走査線駆動回路に出力する放電回路と、を有するゲート変調回路を備えていることを特徴とする。

【発明の効果】

【００１５】

本発明の液晶表示装置が備えるゲート変調回路は、その構成が単純であり、しかも、従来の一般的に使用されているタイミング集積回路や走査線ドライバをそのまま利用できるので、コストをかけることなく表示画像の画質ムラの低減を可能とする。

10

【００１６】

つまり、本発明によれば、ＴＦＴ液晶表示装置に設けられるタイミング集積回路や走査線ドライバの構成に特別な変更を加えることなく、表示画像のフリッカや焼きつき等の画質ムラの低減が可能となる。

【発明を実施するための最良の形態】

【００１７】

以下に、実施例により、本発明の液晶表示装置の構成について説明する。

【実施例】

【００１８】

20

図３は、本発明の液晶表示装置の構成の概略を説明するための図で、この液晶表示装置１００は、基板１０１上にｎ行ｎ列のマトリックス状に設けられたデータ線１０２と走査線１０３の交差する各位置に、スイッチング素子としてのＴＦＴ１０４および蓄積キャパシタ（不図示）が配置されており、ＴＦＴ１０４のドレインは画素電極１０５へ、ソースはデータ線１０２へ、ゲートは走査線１０３に接続されている。

【００１９】

画像データ回路１０８からの画像信号はデータ線駆動回路（ゲート線ドライバ）１０６へと出力され、時分割タイミング制御回路１０９から出力されたタイミング信号は、ゲート変調回路１１０を介して走査線駆動回路（走査線ドライバ）１０７に入力される。

【００２０】

30

図４は、本発明の液晶表示装置が備えるゲート変調回路の構成例を説明するための回路図である。この図において、符号１１１で示した部分には、ゲート変調回路１１０の定電流回路部が設けられている。また、符号１１２で示した部分には、ゲート変調回路１１０の三角波発生回路部、遮断回路部、および放電回路部が設けられている。

【００２１】

定電流回路部は、複合型のＮＰＮトランジスタ（Ｑ１Ａ）とＰＮＰトランジスタ（Ｑ１Ｂ）とがエミッタ接地されて構成されている。ＮＰＮトランジスタ（Ｑ１Ａ）のベースには基準電圧（ V_{REF} ）が入力され、この基準電圧（ V_{REF} ）はＮＰＮトランジスタ（Ｑ１Ａ）のエミッタを経てＰＮＰトランジスタ（Ｑ１Ｂ）のベースに入力される。

【００２２】

40

このとき、ＮＰＮトランジスタ（Ｑ１Ａ）のエミッタ電圧は、基準電圧（ V_{REF} ）からＮＰＮトランジスタ（Ｑ１Ａ）のベース・エミッタ間電圧（ V_{BE}^A ）分だけ低い電圧値（ $= V_{REF} - V_{BE}^A$ ）となり、ＮＰＮトランジスタ（Ｑ１Ａ）のエミッタに接続されたＰＮＰトランジスタ（Ｑ１Ｂ）のベースにはこの電圧（ $V_{REF} - V_{BE}^A$ ）が印加される。

【００２３】

また、ＰＮＰトランジスタ（Ｑ１Ｂ）のエミッタ電圧は、ＰＮＰトランジスタ（Ｑ１Ｂ）のベース電圧よりもこのＰＮＰトランジスタのベース・エミッタ間電圧（ V_{BE}^B ）だけ高い電圧値（ $= V_{REF} - V_{BE}^A + V_{BE}^B$ ）となる。

【００２４】

50

ここで、複合型のNPNトランジスタ(Q1A)とPNPトランジスタ(Q1B)のベース・エミッタ間電圧(VBE)はほぼ等しい。このため、PNPトランジスタ(Q1B)のエミッタ電圧Veは近似的に基準電圧(VREF)に等しくなり、複合型トランジスタのベース・エミッタ間電圧VBEには依存しない電圧となる。この結果、温度により変動することのない安定した定電圧を実現することができる。

【0025】

PNPトランジスタ(Q1B)のエミッタ電圧(Ve)は、抵抗R1を介してデジタル電源(VDD)に接続されており、PNPトランジスタ(Q1B)のコレクタに接続されたコンデンサ(C2)には定電流($I = (VDD - VREF) / R1$)が流れる。

【0026】

PNPトランジスタ(Q1B)のコレクタは、符号112に示した領域に設けられた三角波発生回路部を構成するトランジスタ(Q2)のコレクタと接続されており、トランジスタ(Q2)のベースには、抵抗R3を介して、ゲート信号の立上りと立下りを制御しているタイミング信号であるゲートアウトプットイネーブル信号(GOE)が入力される。

【0027】

PNPトランジスタ(Q1B)のコレクタ電圧(Vc)は、上述のコンデンサ(C2)の容量C2と定電流Iにより定まり、その時間(t)依存性は、 $Vc = I \times t / C2$ で与えられる。つまり、コンデンサ(C2)には、定電流($I = (VDD - VREF) / R1$)に依存する電荷が蓄積されることになる。

【0028】

このコンデンサ(C2)に蓄積された電荷(充電電圧)はトランジスタ(Q2)により放電されるが、このトランジスタ(Q2)による放電は、ゲート信号(タイミング信号)の立上りと立下りを制御しているGOE信号に同期して行われる。

【0029】

その結果、図5にタイミングチャートを示したように、矩形の波形を有するGOE信号(図5(A))に同期して変化するコンデンサ(C2)の充電電圧の波形は、GOE信号の立下りから一定の傾きで上昇する一方、GOE信号の立上りで急峻に立下がる、三角波となる(図5(B))。

【0030】

なお、本発明においては、GOE信号の「立上り」は走査線ドライバの出力の「立下り」と同期し、GOE信号の「立下り」は走査線ドライバの出力の「立上り」と同期するように、走査線ドライバの出力が制御されている。このため、コンデンサ(C2)の充電電圧の三角波の電圧値は、走査線ドライバの出力の「立上り」と同期して一定の傾きで立上り、走査線ドライバの出力の「立下り」と同期して立下がることとなる。

【0031】

コンデンサ(C2)の充電電圧の三角波は、抵抗R4を介して、コンパレータA(IC1A)の非反転端子(+)とコンパレータB(IC1B)の反転端子(-)に入力される。また、コンパレータA(IC1A)の反転端子(-)とコンパレータB(IC1B)の非反転端子(+)は、基準電圧(VREF)とグランド間に直列に接続されて設けられた2つの抵抗(R5、R6)の抵抗比で決定される第2の基準電圧点($VREF2 = (R6 \times VREF) / (R5 + R6)$)に接続されている。

【0032】

コンパレータA(IC1A)は、上述のコンデンサ(C2)の三角波電圧と第2の基準電圧(VREF2)とを比較し、コンデンサ(C2)の三角波の電圧値が第2の基準電圧(VREF2)より大きい場合に、導通経路を遮断する(図5(C)参照)。

【0033】

一方、コンパレータB(IC1B)は、コンパレータA(IC1A)の出力が「1」のときに「0」を、コンパレータA(IC1A)の出力が「0」のときに「1」を出力し(図5(D)参照)、コンデンサ(C2)の三角波の電圧値が第2の基準電圧(VREF2)より大きい場合に、コンデンサ(C5)に充電された電荷を放電抵抗(R5)を通して

10

20

30

40

50

放電するように制御する。この放電により、走査線ドライバに供給する電源電圧（走査線ドライバのハイレベル電源電圧）が変調（VGHモジュレーション）され、これがゲート変調回路から走査線駆動回路へと出力されて走査線駆動回路のハイレベル電源電圧として用いられる。

【0034】

この点について具体的に説明すると、コンパレータには、オープンコレクタ出力のものを用いる。オープンコレクタ出力タイプのコンパレータを使うことにより、通常必要とされるトランジスタ（Q3をON/OFFするためのトランジスタとC5を放電するためのトランジスタ）を削減できる。

【0035】

コンパレータ（IC1A）が「1」のとき（つまり内部のトランジスタはOFF）は、R8には電流が流れないので、Q3はOFFになり導通経路を遮断する。反対に、IC1Aが「0」のとき（内部トランジスタはON）は、R8に電流が流れ、Q3はONとなり導通する。

【0036】

一方、コンパレータ（IC1B）はIC1Aとは反対の動作をしており、「1」のときは（内部トランジスタはOFF）はC5からR9にかけての経路には、全く電流がながれないので、C5に充電された電圧は維持される。IC1Bが「0」のとき（内部トランジスタはON）はC5に充電された電荷がR9を通して放電される。なお、このとき、C5とR9で決まる時定数による放電カーブを描く。

【0037】

このように、本発明においては、走査線ドライバに供給する電源電圧の変調波形は、常に、走査線ドライバ出力の立下り前から傾斜が開始し、走査線ドライバ出力の立下りで傾斜が終了することとなる（図5（E）参照）。

【0038】

また、走査線ドライバに電源電圧の供給される期間は上述のコンデンサ（C2）の充電電圧の三角波の傾きと第2の基準電圧（VREF2）により決定され、走査線ドライバに供給される電源電圧の変調波形の傾斜はコンデンサ（C5）と放電抵抗（R5）により決定される。

【0039】

そして、このようなゲート変調回路を走査線ドライバのハイレベルの電源電圧に接続することにより、走査線ドライバの出力ゲートからは、第k番目の走査ライン、第（k+1）番目の走査ライン、第（k+2）番目の走査ライン、第（k+3）番目の走査ライン（以下省略）と、順次、立下りが傾斜した走査線信号が出力される（図5（F）～（I）参照）。

【0040】

なお、図4中のゲート変調回路の出力側には、走査線ドライバのハイレベル電源（VGH）とデジタル電源（VDD）との間に接続されたダイオード（D1）が設けられている。これは、ゲート変調回路の出力電圧がデジタル電源電圧（VDD）よりも低い場合には走査線ドライバが破壊されることがあり得ることから、この不都合を回避するために設けられているものであり、ダイオード（D1）の接続により信頼性が高められる。

【産業上の利用可能性】

【0041】

上述したように、本発明は、走査線信号の立下り波形を容易にランプ形状とすることができ、液晶表示画像の画質ムラを改善する液晶表示装置を提供する。

【図面の簡単な説明】

【0042】

【図1】一般的なTFT液晶パネルの1画素の等価回路である。

【図2】従来の駆動方法による場合のTFTのドレイン電圧のレベルシフトの様子を説明するための図である。

10

20

30

40

50

【図 3】本発明の液晶表示装置の構成例を説明するための図である。

【図 4】本発明の液晶表示装置が備えるゲート変調回路の構成例を説明するための回路図である。

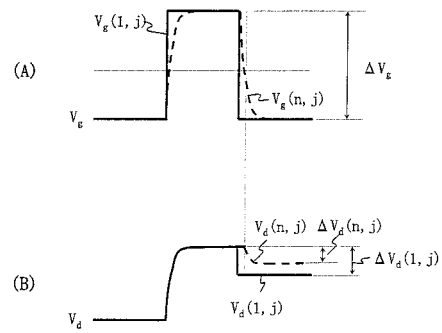
【図 5】G O E 信号 (A)、コンデンサ (C 2) の充電電圧の波形 (B)、コンパレータ A 出力 (C)、コンパレータ B 出力 (D)、走査線ドライバに供給する電源電圧の変調波形 (E)、および、走査線ドライバの出力ゲートからの走査線信号 ((F) ~ (I)) のそれぞれのタイミングチャートである。

【符号の説明】

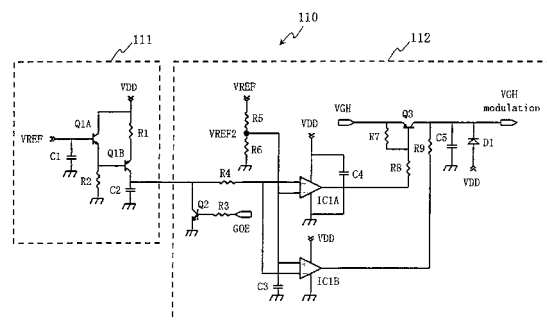
【 0 0 4 3 】

1 0 0	液晶表示装置	10
1 0 1	基板	
1 0 2	データ線	
1 0 3	走査線	
1 0 4	T F T	
1 0 5	画素電極	
1 0 6	データ線駆動回路 (ゲート線ドライバ)	
1 0 7	走査線駆動回路 (走査線ドライバ)	
1 0 8	画像データ回路	
1 0 9	時分割タイミング制御回路	
1 1 0	ゲート変調回路	20
G O E	ゲートアウトプットイネーブル信号	
V R E F	基準電圧	
V D D	デジタル電源	
V G H	走査線ドライバのハイレベル電源	
V G H	m o d u l a t i o n	ゲート変調回路の出力
Q 1 A	複合型 N P N トランジスタ	
Q 1 B	複合型 P N P トランジスタ	
I C 1 A	複合型コンパレータ A	
I C 1 B	複合型コンパレータ B	
C 1 ~ C 5	コンデンサ	30
R 1 ~ R 9	抵抗	
D 1	ショットキーダイオード	
Q 1 A , Q 1 B , Q 2 , Q 3	トランジスタ	

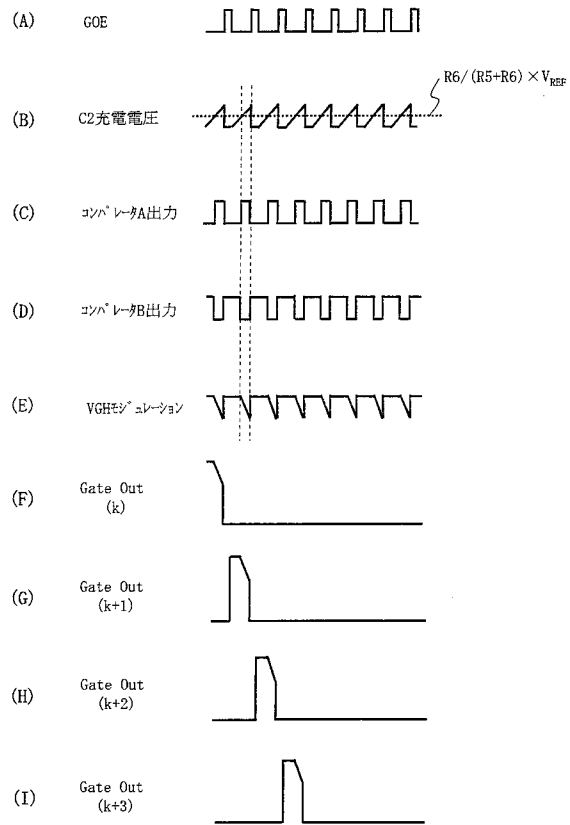
【 図 2 】



【 図 4 】



【図 5】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 2 2 D
G 0 9 G	3/20	6 1 1 E
G 0 9 G	3/20	6 7 0 K
G 0 9 G	3/20	6 1 1 J

F ターム(参考) 5C080 AA10 BB05 DD05 DD06 DD19 DD22 DD29 EE29 FF11 JJ02
JJ03 JJ04

专利名称(译)	液晶表示装置		
公开(公告)号	JP2008129026A	公开(公告)日	2008-06-05
申请号	JP2006309872	申请日	2006-11-16
[标]申请(专利权)人(译)	友达光电股份有限公司		
申请(专利权)人(译)	友达光电股▲ふん▼有限公司		
[标]发明人	中塚均		
发明人	中塚 均		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G3/3677 G09G2310/06 G09G2320/0219 G09G2320/0233		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.624.A G09G3/20.612.E G09G3/20.622.C G09G3/20.622.D G09G3/20.611.E G09G3/20.670.K G09G3/20.611.J		
F-TERM分类号	2H093/NA16 2H093/NA53 2H093/NB01 2H093/NC34 2H093/ND05 5C006/AA16 5C006/AC11 5C006/AC22 5C006/AF21 5C006/AF42 5C006/AF50 5C006/AF71 5C006/BB16 5C006/BC03 5C006/BF25 5C006/BF31 5C006/BF36 5C006/BF37 5C006/BF42 5C006/FA16 5C006/FA22 5C006/FA23 5C006/FA34 5C006/FA37 5C006/FA41 5C080/AA10 5C080/BB05 5C080/DD05 5C080/DD06 5C080/DD19 5C080/DD22 5C080/DD29 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 2H193/ZA04 2H193/ZA07 2H193/ZB02 2H193/ZD23 2H193/ZD34		
其他公开文献	JP4346636B2		
外部链接	Espacenet		

摘要(译)

甲而不定时集成电路和在TFT液晶显示装置中提供的扫描线驱动器配置特殊的变化，提供了一个门调制电路，使图像质量不均匀的降低，诸如显示图像的闪烁或粘附要做。比较器A (IC1A)，电容器 (C2) 进行比较的三角波电压和第二参考电压电容器三角波的电压值的第二基准电压的 (VREF2) (C2) (VREF2) 导电路径被切断。然后，比较器B (IC1B) 进行控制以通过放电电阻 (R5) 对在电容器 (C6) 中充电的电荷进行放电。此供给到扫描线驱动器放电用电源电压 (扫描线驱动器的高电平电源电压) 被调制 (VGH调制)，高扫描线驱动器电路，其被输出到扫描线从栅极调制电路驱动电路它用作电平电源电压。 点域4

