

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-102485

(P2008-102485A)

(43) 公開日 平成20年5月1日(2008.5.1)

(51) Int.Cl.	F I	テーマコード (参考)
GO2F 1/1343 (2006.01)	GO2F 1/1343	2H092
GO2F 1/1345 (2006.01)	GO2F 1/1345	
GO2F 1/1368 (2006.01)	GO2F 1/1368	

審査請求 有 請求項の数 16 O L (全 18 頁)

(21) 出願番号	特願2007-122731 (P2007-122731)	(71) 出願人	502266320
(22) 出願日	平成19年5月7日 (2007.5.7)		株式会社フューチャービジョン
(31) 優先権主張番号	特願2006-255321 (P2006-255321)		東京都港区赤坂2丁目4番1号 白亜ビル
(32) 優先日	平成18年9月21日 (2006.9.21)		3F
(33) 優先権主張国	日本国 (JP)	(74) 代理人	100093506
			弁理士 小野寺 洋二
		(72) 発明者	好本 芳和
			東京都港区赤坂2丁目4番1号白亜ビル3
			F 株式会社フューチャー
			ービジョン内
		F ターム (参考)	2H092 GA24 GA32 HA06 HA12 JA24
			JA37 JA41 JB21 JB26 JB35
			KB03 MA01 NA25 NA27

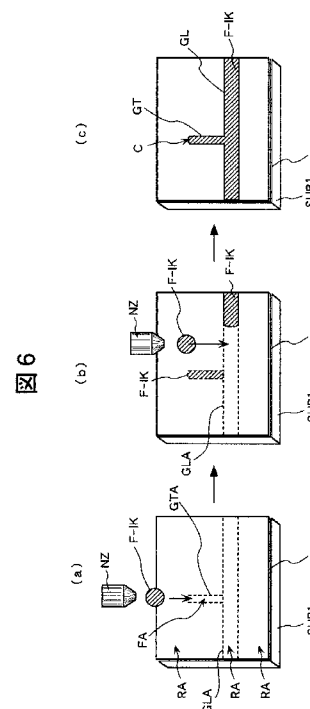
(54) 【発明の名称】 液晶表示パネルの製造方法および液晶表示パネル

(57) 【要約】

【課題】異なる幅を連結した導電膜の極細パターンを少ないプロセス数で高精度に形成して高精細な液晶表示パネルを得る。

【解決手段】幅広の導電膜と幅狭の導電膜のように、薄膜トランジスタ基板SUB1の下地膜UWの表面の大部分を撥液性RAとし、幅狭のゲート電極形成部GTAのみを親液性FAとする。新液性FAのゲート電極形成部GTAに導電性インクを滴下し、滴下したインク膜がゲート電極形成部GTAに均一に広がった後、撥液性RAのゲート配線形成部GLAに幅広のゲート配線をIJ直描で形成する。ゲート電極形成部GTAとゲート配線形成部GLAのインク膜の膜厚は、それぞれの部分におけるインクの滴下量で制御し、焼成後側液晶表示パネルに得られる両者の膜厚を同等にする。

【選択図】 図6



【特許請求の範囲】

【請求項 1】

第 1 基板と第 2 基板との間に液晶を挟持し、前記第 1 の絶縁基板側には薄膜トランジスタを有する画素がマトリクス状に配置された液晶表示パネルの製造方法であって、

前記薄膜トランジスタが形成される前記第 1 基板の表面を、導電性インクの直描で形成できる幅広導電膜の形成部分を含む大部分は撥液性で、導電性インクの直描で形成できない幅狭導電膜の形成部分は親液性とする撥親液性処理工程と、

前記幅狭導電膜の形成部分に導電性インクを滴下し、当該幅狭導電膜の形成部分に前記親液性による導電性インクの流し込みを行って所要膜厚の幅狭導電膜を形成するためのインク膜を得る幅狭導電部インク膜形成工程と、

前記幅広導電膜の形成部分に導電性インクを直接描画により塗布し、所要膜厚の幅広導電膜を形成するためのインク膜を得る幅広導電部インク膜形成工程と、

前記幅狭導電部インク膜と前記幅広導電部インク膜を焼成して前記幅狭導電膜と前記幅広導電膜とするインク膜焼成工程と、

をこの順で含むことを特徴とする液晶表示パネルの製造方法。

【請求項 2】

請求項 1 において、

前記導電性インクの直接描画による前記幅広導電部インク膜形成工程では、当該導電性インクの一部を前記幅狭導電部インク膜の一部の上に重畳させることにより、前記インク膜焼成工程で前記幅狭導電膜と前記幅広導電膜を一体の導電性膜とすることを特徴とする液晶表示パネルの製造方法。

【請求項 3】

請求項 1 において、

前記導電性インクの直接描画による前記幅広導電部インク膜形成工程では、当該導電性インクの塗布量を制御することで、前記インク膜焼成工程で得られる前記幅狭導電膜の膜厚に等しい導電性膜とすることを特徴とする液晶表示パネルの製造方法。

【請求項 4】

請求項 1 において、

前記撥親液性処理工程では、前記第 1 基板の表面層に、撥液性を有して光の照射で親液性となる母材を用い、前記幅狭導電膜の形成部分に光を照射して親液性とすることを特徴とする液晶表示パネルの製造方法。

【請求項 5】

請求項 2 において、

前記幅広導電膜は前記薄膜トランジスタのゲート配線であり、前記幅狭導電膜はゲート電極であることを特徴とする液晶表示パネルの製造方法。

【請求項 6】

第 1 基板と第 2 基板との間に液晶を挟持し、前記第 1 の絶縁基板側には薄膜トランジスタを有する画素がマトリクス状に配置された液晶表示パネルの製造方法であって、

前記薄膜トランジスタが形成される前記第 1 基板の表面を、導電性インクの直描で形成できる幅広導電膜の形成部分を含む大部分は撥液性で、導電性インクの直描で形成できない幅狭導電膜の形成部分は親液性とする撥親液性処理工程と、

前記幅広導電膜の形成部分に導電性インクを直接描画により塗布し、所要膜厚の幅広導電膜を形成するためのインク膜を得る幅広導電部インク膜形成工程と、

前記幅狭導電膜の形成部分に導電性インクを滴下し、当該幅狭導電膜の形成部分に前記親液性による導電性インクの流し込みを行って所要膜厚の幅狭導電膜を形成するためのインク膜を得る幅狭導電部インク膜形成工程と、

前記幅狭導電部インク膜と前記幅広導電部インク膜を焼成して前記幅狭導電膜と前記幅広導電膜とするインク膜焼成工程と、

をこの順で含むことを特徴とする液晶表示パネルの製造方法。

【請求項 7】

請求項 6 において、

前記導電性インクの直接描画による前記幅狭導電部インク膜形成工程では、当該導電性インクの一部を前記幅広導電部インク膜の一部の上に重畳させることにより、前記インク膜焼成工程で前記幅広導電膜と前記幅狭導電膜を一体の導電性膜とすることを特徴とする液晶表示パネルの製造方法。

【請求項 8】

請求項 6 において、

前記導電性インクの直接描画による前記幅狭導電部インク膜形成工程では、当該導電性インクの滴下量を制御することで、前記インク膜焼成工程で得られる前記幅広導電膜の膜厚に等しい導電性膜とすることを特徴とする液晶表示パネルの製造方法。

10

【請求項 9】

請求項 6 において、

前記撥親液性処理工程では、前記第 1 基板の表面層に、撥液性を有して光の照射で親液性となる母材を用い、前記幅狭導電膜の形成部分に光を照射して親液性とすることを特徴とする液晶表示パネルの製造方法。

【請求項 10】

請求項 7 において、

前記幅広導電膜は前記薄膜トランジスタのゲート配線であり、前記幅狭導電膜はゲート電極であることを特徴とする液晶表示パネルの製造方法。

【請求項 11】

20

複数のゲート配線から能動層の領域に延びるゲート電極を有する薄膜トランジスタが形成された第 1 基板と、カラーフィルタ層と対向電極が形成された第 2 基板と、前記第 1 基板の内面の最上層に成膜された第 1 配向膜と前記第 2 基板の最上層に成膜された第 2 配向膜との間に封入された液晶層とを有する液晶表示パネルであって、

前記ゲート配線は、前記第 1 基板の内面に付与された撥液性部に導電性インクの直接描画でパターンニングされたものであり、

前記ゲート電極は、前記第 1 基板の内面に前記ゲート配線と一端を連結して前記能動層の領域に伸びる短冊状パターンに付与された親液性部に導電性インクの滴下でパターンニングされたものであり、

前記ゲート電極の電極幅は前記ゲート配線の配線幅と異なり、両者の膜厚が略々等しいことを特徴とする液晶表示パネル。

30

【請求項 12】

請求項 11 において、

前記ゲート電極と前記ゲート配線との連結部では、前記ゲート電極の端部の一部が前記ゲート配線の端部の下側にあることを特徴とする液晶表示パネル。

【請求項 13】

請求項 11 において、

前記ゲート電極と前記ゲート配線との連結部では、前記ゲート配線の端部の一部が前記ゲート電極の端部の下側にあることを特徴とする液晶表示パネル。

【請求項 14】

40

複数のゲート配線から能動層の領域に延びるゲート電極を有する薄膜トランジスタが形成された第 1 基板と、カラーフィルタ層と対向電極が形成された第 2 基板と、前記第 1 基板の内面の最上層に成膜された第 1 配向膜と前記第 2 基板の最上層に成膜された第 2 配向膜との間に封入された液晶層とを有する液晶表示パネルであって、

前記ゲート配線は、前記第 1 基板の内面の当該ゲート配線部の領域に付与された撥液性部に導電性インクの直接描画でパターンニングされたものであり、

前記ゲート電極は、前記第 1 基板の内面に当該ゲート電極よりも広い領域に形成された撥液領域で囲まれ、前記ゲート配線と一端を連結して前記能動層の領域に伸びる短冊状パターンに付与された親液性部に導電性インクの滴下でパターンニングされたものであり、

前記ゲート電極の電極幅は前記ゲート配線の配線幅と異なり、両者の膜厚が略々等しい

50

ことを特徴とする液晶表示パネル。

【請求項 15】

請求項 14 において、

前記ゲート電極と前記ゲート配線との連結部では、前記ゲート電極の端部の一部が前記ゲート配線の端部の下側にあることを特徴とする液晶表示パネル。

【請求項 16】

請求項 14 において、

前記ゲート電極と前記ゲート配線との連結部では、前記ゲート配線の端部の一部が前記ゲート電極の端部の下側にあることを特徴とする液晶表示パネル。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は、液晶表示装置等の半導体装置に係り、特にアクティブ・マトリクス型の液晶表示パネルの製造方法とこの方法で製造した液晶表示パネルに関する。

【背景技術】

【0002】

この種の液晶表示装置は、液晶表示パネルと駆動回路およびバックライト等の周辺装置を組み合わせて構成される。図 13 は、典型的な縦電界型（所謂 TN 型）の液晶表示装置の概略構成例を説明する断面模式図である。通常、アクティブ・マトリクス型の液晶表示装置を構成する液晶表示パネルは、第 1 基板（アクティブ・マトリクス基板あるいは薄膜トランジスタ基板：TF T 基板）で構成される第 1 パネル PNL 1 と、第 2 基板（対向基板あるいはカラーフィルタ基板：CF 基板）で構成される第 2 パネル PNL 2 との間に液晶 LC を封入して形成される。

20

【0003】

第 1 パネル PNL 1 を構成する第 1 基板 SUB 1 の内面には、薄膜トランジスタ TF T と、この薄膜トランジスタ TF T で駆動される画素電極 PX を有し、最上層には第 1 配向膜 ORI 1 が成膜され、液晶配向制御能が付与されている。また、外面（背面）には第 1 偏光板 POL 1 が貼付されている。一方、第 2 パネル PNL 2 を構成する第 2 基板 SUB 2 の内面には、カラーフィルタ CF、隣接画素のカラーフィルタとの間を区画する遮光層（ブラックマトリクス）BM、対向電極 CT を有し、最上層には第 2 配向膜 ORI 2 が成膜され、液晶配向制御能が付与されている。また、外面（表面）には、偏光軸を第 1 偏光板 POL 1 の偏光軸とはクロスニコル配置した第 2 偏光板 POL 2 が貼付されている。なお、細かな構成は図示を省略した。

30

【0004】

第 1 基板 SUB 1 に薄膜トランジスタ TF T を作り込む製造工程では、当該基板上に、先ず、クロム等の金属膜からなる平行配置された複数のゲート配線およびこの各ゲート配線から画素毎に延びるゲート電極が形成される。一般に、ゲート電極の幅はゲート配線の幅よりも狭い。その後、絶縁層、能動層（シリコン半導体層）、データ配線、データ電極（ソース・ドレイン電極）、画素電極、保護膜、配向膜などを形成し、配向膜に液晶配向制御能を付与して第 1 基板が形成される。第 1 基板 SUB 1 の背面には、バックライト BLK が設置されている。なお、この液晶表示パネルを駆動するための回路は図示していない。

40

【0005】

図 14 は、図 12 で説明した液晶表示パネルの 1 画素の構成とこの画素を構成する薄膜トランジスタの構成を説明する図である。すなわち、図 14（a）は画素の平面図、図 14（b）は、図 14（a）の A-A' 線に沿った断面図である。図 14（a）に示したように、薄膜トランジスタ TF T がゲート配線 GL とデータ配線 DL との交差部に画素が配置されている。また、画素を構成する画素電極 PX がコンタクトホール TH を通して薄膜トランジスタ TF T のソース電極（又はドレイン電極）SD 1 に接続され、また補助容量配線 CL との間で補助容量を形成している。

50

【0006】

図14(b)において、薄膜トランジスタTFTは、第1基板SUB1の表面に形成された下地膜UWの上に、ゲート配線GLから延びるゲート電極GTと、このゲート電極GTを覆うようにゲート絶縁膜GIが形成されている。このゲート絶縁膜GI上に能動層としてのシリコン(Si)半導体層SIとオーミックコンタクト層(n^+ Si)NS、ソース電極SD1及びドレイン電極SD2が順次積層される。下地膜UWは、窒化シリコンと酸化シリコンの積層膜で形成される。

【0007】

このゲート配線GLおよびゲート電極GTを覆って窒化シリコン(シリコン・ナイトライド: SiNx)を好適とするゲート絶縁膜GIが成膜され、その上にゲート配線GLと交差する複数のデータ配線DLが形成される。なお、このデータ配線DLと同時にソース電極(又はドレイン電極)SD1とドレイン電極(又はソース電極)SD2が同層で形成される。

【0008】

この画素はフルカラー表示の場合は各単色(赤、緑、青)の副画素となるが、ここでは単に画素と称する。画素を構成する薄膜トランジスタTFTは、上記したように、ゲート電極GTと、このゲート電極の上にパターニングされたシリコン半導体膜SIと、シリコン半導体膜の上層に分離して形成されたオーミックコンタクト層(n^+ シリコン)NSと、分離したオーミックコンタクト層のそれぞれに接続したソース電極(ドレイン電極)とドレイン電極(ソース電極)とで構成される。

【0009】

この薄膜トランジスタの上層には保護膜PASが成膜され、その上にITOを好適とする画素電極PXがパターニングされ、保護膜PASに開けたコンタクトホールTHでソース電極(又はドレイン電極)SD1に接続している。なお、画素電極PXを覆って第1配向膜(図13参照)が成膜される。

【0010】

一方、図示しない他方の基板には、フルカラーの場合は3色のカラーフィルタと平滑層(オーバーコート層、図13には示していない)を介した対向電極(図13参照)が形成される。そして、対向電極を覆って第2配向膜(図13参照)が成膜され、上記した一方の基板であるアクティブ・マトリクス基板と重ねあわせ、その間隙に液晶が封入される。

【0011】

上記したアクティブ・マトリクス基板の配線等をインクジェット法で形成するものが特許文献1に開示されている。特許文献1では、薄膜トランジスタTFTのゲート電極を導電材料を含有する液体材料を用いて、インクジェット法によって形成し、また、薄膜トランジスタTFTのソース電極及びドレイン電極を、半導体材料を含有する液体材料を用いて、インクジェット法によって形成することが記載されている。なお、特許文献3は後述するマスクレス露光を開示する文献例である。

【特許文献1】特開2003-318193号公報

【特許文献2】特開2000-249821号公報

【特許文献3】特表2002-520840号公報

【発明の開示】

【発明が解決しようとする課題】

【0012】

液晶表示パネルにおける薄膜トランジスタのゲート配線やゲート電極、ソース・ドレイン電極等を金属膜スパッタとフォトリソ工程の組み合わせで形成する従来からの方法に代えて、インクジェット法(IJ方式)を用いた導電性インクの直接描画方法(以下、IJ直描とも称する)を用いることで、設備投資と製造コストの低減、および生産効率の大幅向上が期待できると考えられる。また、表示の高精細化に伴い、薄膜トランジスタの高精細構造化が必要となってくる。しかしながら、IJ直描で金属配線を形成した場合、現行では30 μ m幅以下のような微細配線パターンを形成することは困難である。特に、高精

10

20

30

40

50

細化に伴う薄膜トランジスタでは、ゲート電極は $10\mu\text{m}$ 幅以下が要求される。このような幅狭のゲート電極の形成にはI J直描を使用することができない。

【0013】

また、液晶表示パネルにおける薄膜トランジスタのゲート電極に限らず、他の配線や電極、あるいは各構成層パターン、シリコン基板などに形成する各種の半導体装置の配線や電極のさらなる幅狭化に対しても同様に、I J直描を使用することが困難になりつつある。

【0014】

このため、インクジェット方式を用いた幅狭の配線や電極等、典型的には薄膜トランジスタのゲート配線やゲート電極の形成には、I J直描に替えて、所謂撥親液コントラストパターン法が注目されている。この撥親液コントラストパターン法は、例えば、基板上のゲート配線形成部とゲート電極形成部とを親液性のパターンとし、それ以外の部分は撥液性としておき、親液性のゲート配線形成部とゲート電極形成部に導電性インクをI J法で滴下して流し込むという手法である。なお、バンクを用いて親液性のゲート配線形成部とゲート電極形成部を形成し、I J法で滴下して流し込むという手法も知られている（特許文献2）。

【0015】

しかし、撥親液コントラストパターン法では親液性パターン中に幅が異なるパターンがあると、狭い幅のパターンの先端に導電性インクが流れ込まない部分が発生し、あるいは幅が狭いパターン側の膜厚が薄くなるという現象が生じる。また、バンクを用いる方法では、バンク形成のためのホトリソプロセスと撥親性パターンの作製のためのプロセスが必要となり、工程数の削減が難しい。

【0016】

本発明の目的は、ゲート配線とゲート電極のように、配線や電極の幅（パターン幅）の異なる極細配線あるいは極細電極を少ないプロセス数で高精度に形成することを可能にした液晶表示パネルの製造方法とこの方法で製造した液晶表示パネルを提供することにある。

【課題を解決するための手段】

【0017】

上記目的を達成するために、本発明の製造方法は、第1基板と第2基板との間に液晶を挟持し、前記第1の絶縁基板側には薄膜トランジスタを有する画素がマトリクス状に配置された液晶表示パネルの製造方法であって、

前記薄膜トランジスタが形成される前記第1基板の表面を、導電性インクの直描で形成できる幅広導電膜の形成部分を含む大部分は撥液性で、導電性インクの直描で形成できない幅狭導電膜の形成部分は親液性とする撥親液性処理工程と、

前記幅狭導電膜の形成部分に導電性インクを滴下し、当該幅狭導電膜の形成部分に前記親液性による導電性インクの流し込みを行って所要膜厚の幅狭導電膜を形成するためのインク膜を得る幅狭導電部インク膜形成工程と、

前記幅広導電膜の形成部分に導電性インクを直接描画により塗布し、所要膜厚の幅広導電膜を形成するためのインク膜を得る幅広導電部インク膜形成工程と、

前記幅狭導電部インク膜と前記幅広導電部インク膜を焼成して前記幅狭導電膜と前記幅広導電膜とするインク膜焼成工程と、
をこの順で含むことを特徴とする。

【0018】

また、本発明の製造方法は、上記の幅狭導電部インク膜形成工程と幅広導電部インク膜形成工程の順序を入れ替えることができる。

【0019】

そして、前記導電性インクの直接描画による前記幅広導電部インク膜形成工程を前記幅狭導電部インク膜の形成工程の前に行う場合は、当該導電性インクの一部を前記幅狭導電部インク膜の一部の上に重畳させることにより、また前記幅広導電部インク膜形成工程を

10

20

30

40

50

前記幅狭導電部インク膜の形成工程の後に行う場合は、当該導電性インクの一部を前記幅広導電部インク膜の一部の上に重畳させることにより、前記インク膜焼成工程で前記幅狭導電膜と前記幅広導電膜を一体の導電性膜とすることを特徴とする。

【0020】

また、本発明の製造方法は、前記導電性インクの直接描画による前記幅広導電部インク膜形成工程、あるいは前記幅狭導電部インク膜形成工程では、当該導電性インクの塗布量あるいは滴下量を制御することで、前記インク膜焼成工程で得られる幅広導電膜と前記幅狭導電膜の膜厚を等しくすることを特徴とする。

【0021】

また、本発明の液晶表示パネルは、そのゲート配線が前記第1基板の内面に付与された撥液性部に導電性インクの直接描画でパターンニングされたものであり、

ゲート電極が、第1基板の内面にゲート配線と一端を連結して能動層の領域に伸びる短冊状パターンに付与された親液性部に導電性インクの滴下でパターンニングされたものであり、

ゲート電極の電極幅はゲート配線の配線幅と異なり、両者の膜厚が略々等しいことを特徴とする。

【発明の効果】

【0022】

本発明によれば、配線や電極の幅（パターン幅）の異なる極細配線あるいは極細電極を少ないプロセス数で高精度に形成することが可能になり、液晶表示パネルへの適用により、の製造方法とこの方法で製造した液晶表示パネルでは、その薄膜トランジスタのゲート配線から延びる微細な幅のゲート電極を少ないプロセス数で高精度に形成することを可能にして高精細表示の液晶表示パネルを得ることができる。

【発明を実施するための最良の形態】

【0023】

以下、本発明の実施の形態を説明する。以下では、液晶表示パネルの薄膜トランジスタに本発明を適用した例を説明する。先ず、本発明に至った経緯を撥親液コントラストパターンとインクジェット法の組み合わせを用いたインクの塗布特性の検証を参照して説明する。

【0024】

図1は、撥親液コントラストパターンとインクジェットを利用したゲート配線およびゲート電極の形成を説明する模式図である。第1基板SUB1は液晶表示パネルを構成するガラス板からなる薄膜トランジスタ基板である。この第1基板SUB1の内面には、ガラスからのイオン湧き上がりを阻止し、表面平滑化するための下地膜（あるいは下地層）UWが成膜されている。通常、下地膜UWは窒化シリコンと酸化シリコンで構成される。

【0025】

図1(a)のように、下地膜UWの表面の大部分は撥液性RAとし、ゲート配線形成部分GLAおよびゲート電極形成部分GTAは親液性FAとしてある。ゲート電極形成部分GTAの配線幅Wgtはゲート配線形成部分GLAの配線幅Wglより狭い（ $Wgt < Wgl$ ）。この親液性FA部分にインクジェットノズルNZから導電性インク滴FIKを滴下して塗布する（図1(b)）。これを焼成してゲート配線GLおよびゲート配線GLから延びるゲート電極GTとで形成されたゲート配線/ゲート電極パターンが形成される。

【0026】

図2は、撥親液コントラストパターンとインクジェットを利用して回路パターンの形成における課題を説明する模式図である。図2の(a)、(b)の左側は平面を、右側にはY-Y'線に沿った断面を示す。親液性とした領域への液体の盛り込み量は、原理的には撥液部で液体が接触するときの接触角で決まる。そのため、幅が狭い部分（細線部：幅狭部）ほど膜厚が薄くなり、図2(a)に示したように、矢印Aで示したゲート電極GTの先端部分にまで液が流れなくなり、また面積が広い矢印Bで示したゲート配線GLとの接

続部の角部で幅の広いゲート配線部に液が引き寄せられて液の盛り上がりによる溢れが発生する。

【0027】

また、図2(b)に示したように、撥親液コントラストパターンの全域に液体が流し込まれても、ゲート電極GT部分の膜厚は薄く、図2(b)の右側に示したゲート配線GLとゲート電極GTの接続部分で膜厚がゲート配線GL部分よりも厚くなる。

【0028】

図3は、撥親液コントラストパターンとインクジェットを利用した回路パターンの形成におけるゲート電極形成部を単独の親液性とした場合の液体の流し込み状態を説明する図である。ここでは、図3(a)に示したように、全域を撥液性RAとした薄膜トランジスタ基板SUB1の下地膜UWのゲート電極形成部GTAのみに単独に親液性を付与した。親液性としたゲート電極形成部GTAにインクジェットのノズルNZで適量の親液インクF-IKを滴下したところ、図3(b)に示したように、親液インクF-IKは幅が狭くてもゲート電極形成部GTAの領域の全部に確実に流し込まれた。

【0029】

図4は、撥親液コントラストパターンとインクジェットを利用した回路パターンの形成におけるゲート配線形成部を単独の親液性とした場合の液体の流し込み状態を説明する図である。ここでは、図4(a)に示したように、全域を撥液性RAとした薄膜トランジスタ基板SUB1の下地膜UWのゲート配線形成部GLAのみに単独に親液性を付与した。親液性としたゲート配線形成部GLAにインクジェットのノズルNZで適量の親液インクF-IKを滴下したところ、図4(b)に示したように、ゲート配線形成部GLAの領域の全部に確実に流し込まれた。

【0030】

図5は、撥親液コントラストパターンとインクジェットを利用した回路パターンの形成におけるゲート配線形成部とゲート電極形成部を連結してゲート配線/ゲート電極を親液性とした場合の液体の流し込み状態を説明する図である。ここでは、図5(a)に示したように、全域を撥液性RAとした薄膜トランジスタ基板SUB1の下地膜UWのゲート配線形成部GLAとゲート電極形成部GTAに親液性FAを付与した。両者の幅は $Wgt < Wgl$ である。

【0031】

親液性としたゲート電極形成部GTAのみにインクジェットのノズルNZで親液インクF-IKを滴下した。親液インクF-IKの滴下位置を丸点線TPで示した。その結果、親液インクF-IKの大半は幅が広いゲート配線形成部GLA側に流れ込んで、図5(b)の矢印Aで示したように、幅の狭いゲート電極形成部GTAにインクが塗布されない部分が生じた。また、親液インクF-IKをゲート電極形成部GTAに滴下し、次いでゲート配線形成部GLAに滴下した場合も図2で説明したような塗布むらや膜厚の変化が発生した。

【0032】

以上の検証により、液体(インク)の流れ込みは、同じ線幅の限られた面積領域では、確実に予想通りの平衡安定化を実現する。しかし、ゲート配線とこれに接続するゲート電極のように、線幅が異なる、あるいは単位長さ当りの面積が異なるようなパターン上では、先ずより広い親液部面積が得られる箇所では液体が一体化することにより、界面エネルギーと表面自由エネルギーの双方を大きく低下させて安定化させる傾向にあると考えられる。

【0033】

次に、更に加えられた液滴の挙動に対して、(a)表面エネルギーの増加に伴うが、ゲート電極部を含む親液部方向に広がることにより、発生する界面エネルギーの低下の方がエネルギー的に安定する、あるいは(b)親液部への液流れの進行に伴う界面エネルギーの低下よりも、現状の界面付近にとどまり、表面積のみをできるだけ小さくして表面自由エネルギーを下げた方がエネルギー的に安定する、という推進原理が考えられる。

【0034】

なお、基板の表面に撥液性を持たせるには、当該表面の形成材が窒化シリコンの場合は、窒化シリコン自体の撥液性をそのまま利用する。基板表面が有機樹脂の場合は、フッ素を含有する官能基、あるいはシリコンを含む添加剤を当該樹脂に含ませる。あるいは、樹脂を塗布後、四フッ化炭素に代表されるフッ素系ガスを用いたプラズマ処理を行う。このようにして撥液性とした表面に光照射、あるいは電子ビームの照射で所望の幅とパターンで親液化処理を行う。この処理を撥親液化処理と称する。

【0035】

幅広部と幅狭部とが接続するパターン、たとえば図1(b)に示したような所望のゲート配線/ゲート電極パターンの確実な形成のためには、上記(a)の推進力による寄与が大きい。これには、より大きな撥親液コントラスト、並びに液体の粘性抵抗といったダイナミックスも関与する。現状では、撥親液コントラストは限界レベルに達している。又、粘性抵抗も、メタル含有率の観点から、これ以上上げられない限界に達している。このような限界状態において、少しでも上記(b)の作用が加わった場合は、図3で説明した現象が発現し易いと推察される。

【実施例1】

【0036】

図6は、本発明による液晶表示パネルの製造法の実施例1を説明する模式図である。実施例1では、図6(a)に示したように、薄膜トランジスタ基板SUB1の下地膜UWの表面の大部分を撥液性RAとし、ゲート電極形成部GTAのみを親液性FAとする(ゲート配線形成部GLAも撥液性RA)。この撥親液化処理は前記の方法で行われるが、ここでは、特に後述するデジタル・マイクロミラー・デバイス(DMD)を用いる光走査で親液性を付与する。光走査を用いることで、インクジェットの直描では不可能とされる幅狭の親液性パターンを形成できる。

【0037】

親液性FAのゲート電極形成部GTAに導電性インク(例えば、溶媒に銀粒子を混入したメタルインクF-IK)を滴下し、滴下したインク膜がゲート電極形成部GTAに均一に広がった後、撥液性RAのゲート配線形成部GLAにゲート配線をIJ直描で形成する(図6(b))。なお、このとき、微視的に見れば、IJ直描で滴下したゲート配線部のインクの端部の一部はゲート電極形成部GTAの端部の一部の上層に重なることになる。ゲート電極形成部GTAとゲート配線形成部GLAのインク膜の膜厚は、それぞれの部分におけるインクの滴下量で制御でき、焼成後側液晶表示パネルに得られる両者の膜厚を同等なものにすることができる。

【0038】

実施例1によれば、ゲート電極形成部GTAとゲート配線形成部GLAの夫々の部位でのインク滴下量に応じた所望のゲート配線/ゲート電極パターンを確実に得ることができる(図6(c))。したがって、ゲート配線GLとゲート電極GTは電気的に一体のものとして形成され、従来のようなホトリソプロセスも不要となり、全体として低コストで高精細の液晶表示パネルが得られる。

【実施例2】

【0039】

図7は、本発明による液晶表示パネルの製造法の実施例2を説明する模式図である。実施例2では、図7(a)に示したように、薄膜トランジスタ基板SUB1の下地膜UWの表面の大部分を撥液性RAとし、ゲート電極形成部GTAのみを親液性FAとする(ゲート配線形成部GLAも撥液性RA)。撥親液性処理は前記実施例と同様である。まず、撥液性RAのゲート配線形成部GLAにゲート配線をIJ直描で形成する。その後、親液性FAのゲート電極形成部GTAに実施例1と同様の導電性インクを滴下し、滴下したインク膜がゲート電極形成部GTAに均一に塗布する(図7(b))。

【0040】

このとき、微視的に見れば、IJの滴下で塗布されたインクの一部は、IJ直描で滴下

10

20

30

40

50

したゲート配線部のインクの端部の一部に重なることになる。また、実施例 2 でも、ゲート電極形成部 G T A とゲート配線形成部 G L A のインク膜の膜厚は、それぞれの部分におけるインクの滴下量で制御でき、焼成後に得られる両者の膜厚を同等なものにすることができる。その結果、ゲート電極形成部 G T A とゲート配線形成部 G L A の夫々の部位でのインク滴下量に応じた所望のゲート配線/ゲート電極パターンを確実に得ることができる（図 7（c））。

【0041】

上記した本発明の実施例 1、実施例 2 において、パターン幅が広い大面積の撥液性部（ゲート配線形成部）上のインクとパターン幅が狭い小面積の親液性部（ゲート電極形成部）上のインクが一体化する場合、ゲート配線部の撥液性部では既に大きな界面エネルギーがあるため、この界面エネルギーの場に親液性部のゲート電極側のインクを引き込むことはエネルギー的に不利であると考えられる。したがって、このようなパターン形成法では、インク液が一体化しても夫々のインク液が互いに相手方に移動することはない。

【0042】

実施例 1、実施例 2 で説明した本発明における親液性の付与には、所定の開口パターンを有する露光マスク、ここではゲート電極形成部に対応する開口パターンをもつ露光マスクを用いて全面撥液性とした下地膜上に光照射する方法が一般的である。しかし、このような露光マスクはそれ自体が高価であるため、コスト削減の一方法として、光触媒を塗布した基板に対してデジタル・マイクロミラー・デバイス（DMD）を用いる光走査で親液性を付与するマスクレス露光が特許文献 3 に開示されている。

【0043】

しかし、テレビ受像機用などに用いられる大型の液晶表示パネルにおいて、そのゲート配線とゲート電極の全てを DMD を用いた走査で親液性化するには大幅な時間を要するため、実用化に至っていない。これに対し、本発明では、基板上で親液性化する面積がゲート電極形成部のみであるために露光すべき面積が圧倒的に狭い。

【実施例 3】

【0044】

図 8 と図 9 は、本発明による液晶表示パネルの製造法の実施例 3 を説明する模式図である。実施例 3 では、図 8 に示したように、光触媒を全面に塗布した薄膜トランジスタ基板 S U B 1 にデジタル・マイクロミラー・デバイス（DMD）を用いた光走査でゲート電極形成部 G T A に親液性部 F A を付与する。G L A はゲート配線形成部で、このゲート配線形成部を含め、ゲート電極形成部 G T A 以外を撥液性 R A のままとする。

【0045】

その後、図 9 に示したように、ゲート電極形成部 G T A に I J により導電性インクを滴下して、親液性部 F A にゲート電極 G T の導電性インクを流し込み、次いでゲート配線形成部 G L A に I J 直描で導電性インクを塗布し、焼成して、ゲート電極 G T と接続したゲート配線 G L を形成する。図 9 はゲート配線 G L のインク膜を同図の右方から左方に直描して流し込んでいる過程を示している。この手順で形成した場合、ゲート配線 G L の一部はゲート電極 G T の一部の上に重なりあったものとなる。なお、先にゲート配線形成部 G L A に I J 直描で導電性インクを塗布し、その後にゲート電極形成部 G T A に I J により導電性インクを滴下して、親液性部 F A にゲート電極 G T の導電性インクを流し込むこともできる。この場合は、ゲート電極 G T の一部がゲート配線 G L の一部の上に重なりあったものとなる。

【0046】

このように、薄膜トランジスタ基板のゲート電極形成部 G T A のみを DMD を用いた走査で選択的に露光することで、大型の液晶表示パネルでも短時間で必要部分の親液性化が可能となり、液晶表示パネルの大幅なコスト低減が実現できる。

【実施例 4】

【0047】

図 10 と図 11 は、本発明による液晶表示パネルの製造法の実施例 4 を説明する模式図

である。実施例 4 では、図 10 に示したように、まず、薄膜トランジスタ基板 SUB1 のゲート電極形成部 GTA の周り と ゲート配線形成部 GLA に IJ で光触媒を塗布する。そして、デジタル・マイクロミラー・デバイス (DMD) を用いた光走査でゲート電極形成部 GTA に親液性部 FA を付与する。ゲート配線形成部を含め、ゲート電極形成部 GTA 以外を撥液性 RA のままである。

【0048】

その後、図 11 に示したように、ゲート電極形成部 GTA に IJ により導電性インクを滴下して、親液性部 FA にゲート電極 GT の導電性インクを流し込む。次いで、ゲート配線形成部 GLA に IJ 直描で導電性インクを塗布し、焼成して、ゲート電極 GT と接続したゲート配線 GL を形成する。なお、ゲート配線形成部 GLA に IJ 直描で導電性インクを塗布した際に、塗布された導電性インクは、その推進力でゲート電極 GT と接続する。図 11 はゲート配線 GL のインク膜を同図の右方から左方に直描して流し込んでいる過程を示している。

【0049】

この手順で形成した場合も、ゲート配線 GL の一部はゲート電極 GT の一部の上に重なりあったものとなる。なお、先にゲート配線形成部 GLA に IJ 直描で導電性インクを塗布し、その後にゲート電極形成部 GTA に IJ により導電性インクを滴下して、親液性部 FA にゲート電極 GT の導電性インクを流し込むこともできる。この場合は、ゲート電極 GT の一部がゲート配線 GL の一部の上に重なりあったものとなる。

【0050】

このように、本実施例でも、薄膜トランジスタ基板のゲート電極形成部 GTA 近傍にのみ光触媒を IJ で塗布してゲート電極形成部 GTA を DMD を用いた走査で選択的に露光するものであるため、光触媒の塗布作業時間とその塗布量が少なく済み、かつ大型の液晶表示パネルでもより短時間で必要部分の親液性化が可能となり、液晶表示パネルの大幅なコスト低減が実現できる。

【0051】

なお、上記の実施例 3, 4 では、光触媒の塗布に IJ を用いるものとして説明したが、本発明はこれに限るものではなく、スピン塗布やスクリーン印刷などの手法を用いることもできる。

【0052】

図 12 は、アクティブ・マトリクス型液晶表示装置の等価回路を説明する図である。図 12 (a) は液晶表示パネル全体の回路図、図 12 (b) は図 12 (a) における画素部 PXL の拡大図である。図 12 (a) において、表示パネル PNL には多数の画素部 PXL がマトリクス配列されており、各画素部 PXL はゲート配線駆動回路 GDR で選択され、データ配線 (ソース配線とも言う) 駆動回路 DDR からの表示データ信号に応じて点灯される。

【0053】

すなわち、ゲート配線駆動回路 GDR によって選択されたゲート配線 GL に対応して、データ配線駆動回路 DDR からデータ配線 DL を通して液晶表示パネル PNL の画素部 PXL における薄膜トランジスタ TFT に表示データ (電圧) が供給される。

【0054】

図 11 (b) に示したように、画素部 PXL を構成する薄膜トランジスタ TFT は、ゲート配線 GL とデータ配線 DL との交差部に設けられる。薄膜トランジスタ TFT のゲート電極 GT はゲート配線 GL に接続し、薄膜トランジスタ TFT のドレイン電極又はソース電極 (この時点ではドレイン電極) SD2 には、データ配線 DL が接続されている。

【0055】

薄膜トランジスタ TFT のドレイン電極又はソース電極 (この時点ではソース電極) SD1 は液晶 (素子) LC の画素電極 PX に接続される。液晶 LC は、画素電極 PX と共通電極 CT との間であって、画素電極 PX に供給されるデータ (電圧) により駆動される。なお、データを一時保持するための補助容量 Ca がドレイン電極 SD2 と補助容量配線 CL

10

20

30

40

50

との間に接続されている。

【0056】

実施例3、実施例4において、ゲート電極GTの電極幅はゲート配線GLの配線幅と異ならせて、両者の膜厚を略々等しくすることが望ましい。具体的には、ゲート電極GTの電極幅はゲート配線GLの配線幅より狭くする。

【0057】

本発明による液晶表示パネルは、前記図13におけるゲート配線GLとゲート電極GTは、前記した本発明の実施例の何れかによって形成されたものとなる。

【0058】

本発明は、液晶表示パネルにおける薄膜トランジスタのゲート電極に限らず、他の配線や電極、あるいは各構成層パターン、シリコン基板などに形成する各種の半導体装置の配線や電極のさらなる幅狭化に対しても同様に適用できる。

【図面の簡単な説明】

【0059】

【図1】撥親液コントラストパターンとインクジェットを利用したゲート配線およびゲート電極の形成を説明する模式図である。

【図2】撥親液コントラストパターンとインクジェットを利用して回路パターンの形成における課題を説明する模式図である。

【図3】撥親液コントラストパターンとインクジェットを利用した回路パターンの形成におけるゲート電極形成部を単独の親液性とした場合の液体の流し込み状態を説明する図である。

【図4】撥親液コントラストパターンとインクジェットを利用した回路パターンの形成におけるゲート配線形成部を単独の親液性とした場合の液体の流し込み状態を説明する図である。

【図5】撥親液コントラストパターンとインクジェットを利用した回路パターンの形成におけるゲート配線形成部とゲート電極形成部を連結してゲート配線/ゲート電極を親液性とした場合の液体の流し込み状態を説明する図である。

【図6】本発明による液晶表示パネルの製造法の実施例1を説明する模式図である。

【図7】本発明による液晶表示パネルの製造法の実施例2を説明する模式図である。

【図8】本発明による液晶表示パネルの製造法の実施例3を説明する模式図である。

【図9】本発明による液晶表示パネルの製造法の実施例3を説明する図8に続く模式図である。

【図10】本発明による液晶表示パネルの製造法の実施例4を説明する模式図である。

【図11】本発明による液晶表示パネルの製造法の実施例4を説明する図10に続く模式図である。

【図12】アクティブ・マトリクス型液晶表示装置の等価回路を説明する図である。

【図13】典型的な縦電界型（所謂TN型）の液晶表示装置の概略構成例を説明する断面模式図である。

【図14】図13で説明した液晶表示パネルの1画素の構成とこの画素を構成する薄膜トランジスタの構成を説明する図である。

【符号の説明】

【0060】

SUB1・・・第1基板（薄膜トランジスタ基板）、SUB2・・・第2基板（カラーフィルタ基板）、GL・・・ゲート配線、GT・・・ゲート電極、GI・・・ゲート絶縁膜、UW・・・下地膜、RA・・・撥液性部、FA・・・親液性部、GLA・・・ゲート配線形成部、GTA・・・ゲート電極形成部、NZ・・・ノズル、FIK・・・親液性インク。

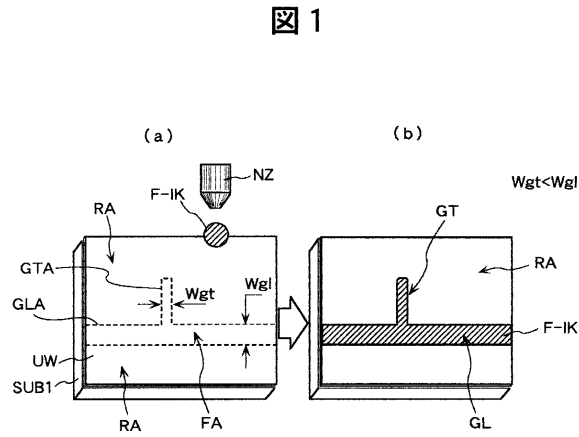
10

20

30

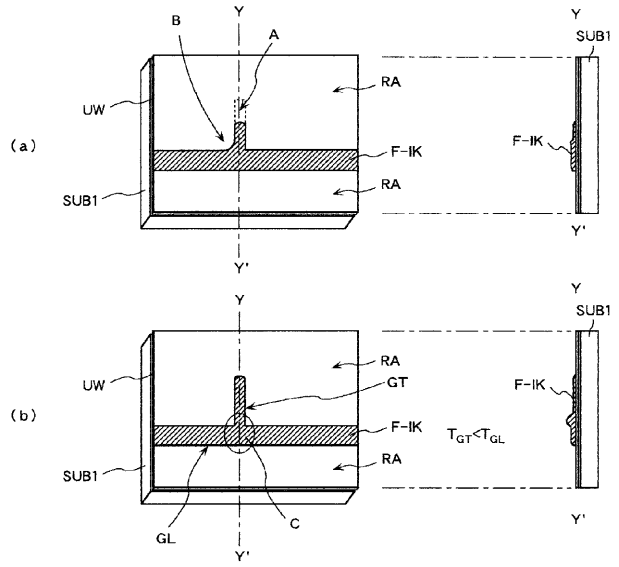
40

【図 1】



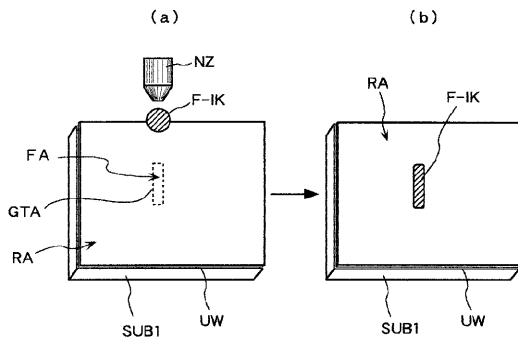
【図 2】

図 2



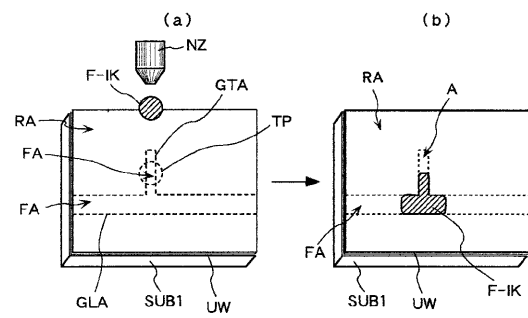
【図 3】

図 3



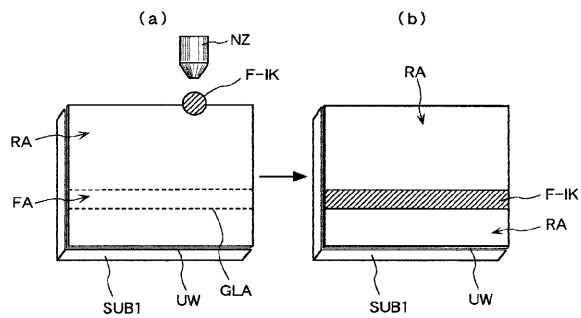
【図 5】

図 5



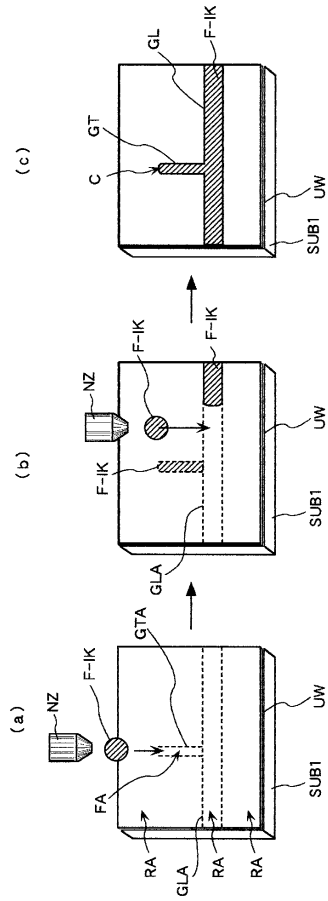
【図 4】

図 4



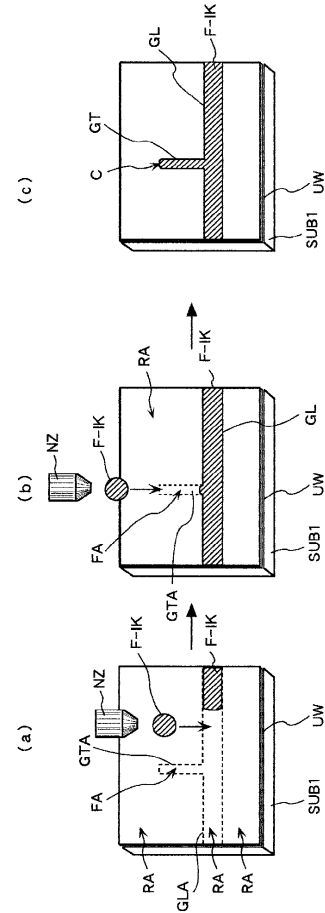
【図 6】

図 6



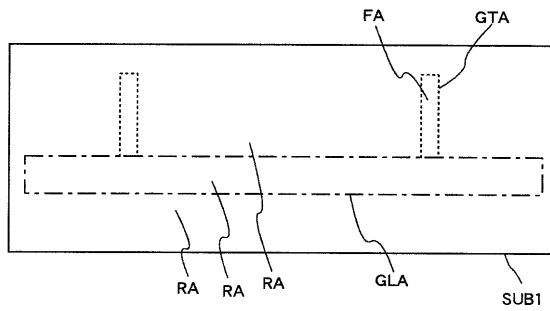
【図 7】

図 7



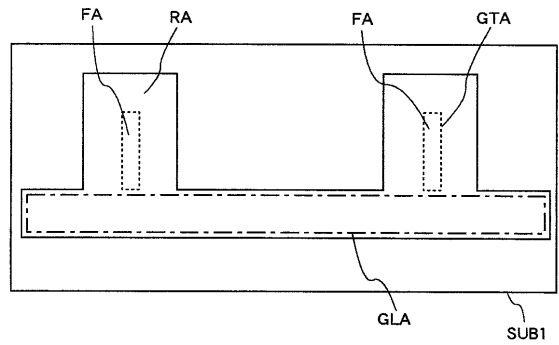
【図 8】

図 8



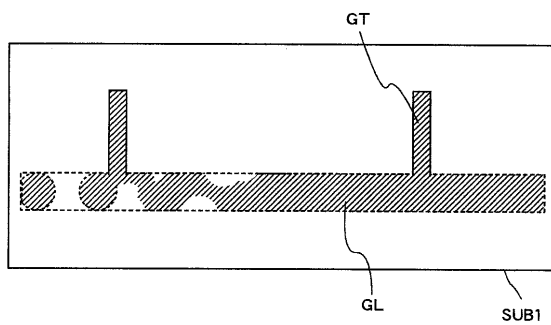
【図 10】

図 10



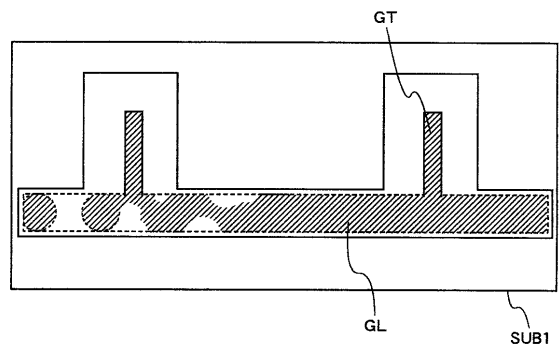
【図 9】

図 9



【図 11】

図 11



【图 13】

图 1 3

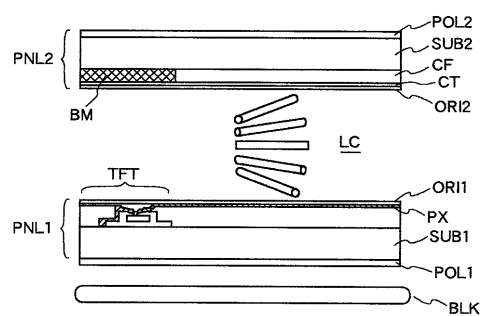
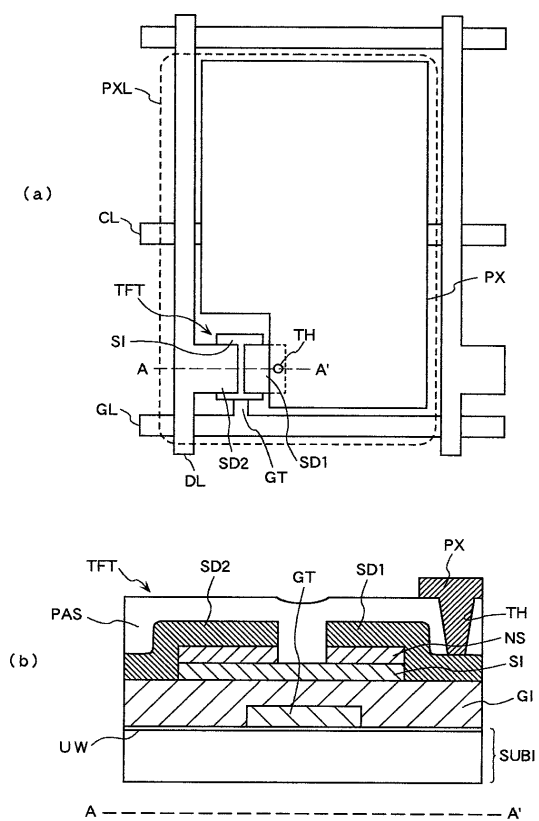


图 14



【手続補正書】

【提出日】平成20年1月8日(2008.1.8)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】請求項 7

【補正方法】変更

【補正の内容】

【請求項 7】

請求項 6 において、

前記導電性インクの直接描画による前記幅広導電部インク膜形成工程では、当該導電性インクの一部を前記幅狭導電部インク膜の一部の上に重畳させることにより、前記インク膜焼成工程で前記幅広導電膜と前記幅狭導電膜を一体の導電性膜とすることを特徴とする液晶表示パネルの製造方法。

【手続補正 2】

【補正対象書類名】特許請求の範囲

【補正対象項目名】請求項 8

【補正方法】変更

【補正の内容】

【請求項 8】

請求項 6 において、

前記導電性インクの直接描画による前記幅広導電部インク膜形成工程では、当該導電性インクの滴下量を制御することで、前記インク膜焼成工程で得られる前記幅狭導電膜の膜厚に等しい導電性膜とすることを特徴とする液晶表示パネルの製造方法。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0005

【補正方法】変更

【補正の内容】

【0005】

図14は、図12で説明した液晶表示パネルの1画素の構成とこの画素を構成する薄膜トランジスタの構成を説明する図である。すなわち、図14(a)は画素の平面図、図14(b)は、図14(a)のA-A'線に沿った断面図である。図14(a)に示したように、薄膜トランジスタTFTがゲート配線GLとデータ配線DLとの交差部に配置されている。また、画素を構成する画素電極PXがコンタクトホールTHを通して薄膜トランジスタTFTのソース電極（又はドレイン電極）SD1に接続され、また補助容量配線CLとの間で補助容量を形成している。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】変更

【補正の内容】

【0015】

しかし、撥親液コントラストパターン法では親液性パターン中に幅が異なるパターンがあると、狭い幅のパターンの先端に導電性インクが流れ込まない部分が発生し、あるいは幅が狭いパターン側の膜厚が薄くなるという現象が生じる。また、バンクを用いる方法では、バンク形成のためのホトリソプロセスと撥親液性パターンの作製のためのプロセスが必要となり、工程数の削減が難しい。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0022

【補正方法】変更

【補正の内容】

【0022】

本発明によれば、配線や電極の幅（パターン幅）の異なる極細配線あるいは極細電極を少ないプロセス数で高精度に形成することが可能になり、液晶表示パネルへの適用により、この製造方法とこの方法で製造した液晶表示パネルでは、その薄膜トランジスタのゲート配線から延びる微細な幅のゲート電極を少ないプロセス数で高精度に形成することを可能にして高精細表示の液晶表示パネルを得ることができる。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0028

【補正方法】変更

【補正の内容】

【0028】

図3は、撥親液コントラストパターンとインクジェットを利用した回路パターンの形成におけるゲート電極形成部を単独の親液性とした場合の液体の流し込み状態を説明する図である。ここでは、図3(a)に示したように、全域を撥液性RAとした薄膜トランジスタ基板SUB1の下地膜UWのゲート電極形成部GTAのみに単独に親液性を付与した。親液性としたゲート電極形成部GTAにインクジェットのノズルNZで適量の導電性インクF-IKを滴下したところ、図3(b)に示したように、導電性インクF-IKは幅が狭くてもゲート電極形成部GTAの領域の全部に確実に流し込まれた。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0029

【補正方法】変更

【補正の内容】

【0029】

図4は、撥親液コントラストパターンとインクジェットを利用した回路パターンの形成におけるゲート配線形成部を単独の親液性とした場合の液体の流し込み状態を説明する図である。ここでは、図4(a)に示したように、全域を撥液性RAとした薄膜トランジスタ基板SUB1の下地膜UWのゲート配線形成部GLAのみに単独に親液性を付与した。親液性としたゲート配線形成部GLAにインクジェットのノズルNZで適量の導電性インクF-IKを滴下したところ、図4(b)に示したように、ゲート配線形成部GLAの領域の全部に確実に流し込まれた。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0031

【補正方法】変更

【補正の内容】

【0031】

親液性としたゲート電極形成部GTAのみにインクジェットのノズルNZで導電性インクF-IKを滴下した。導電性インクF-IKの滴下位置を丸点線TPで示した。その結果、導電性インクF-IKの大半は幅が広いゲート配線形成部GLA側に流れ込んで、図5(b)の矢印Aで示したように、幅の狭いゲート電極形成部GTAにインクが塗布されない部分が生じた。また、導電性インクF-IKをゲート電極形成部GTAに滴下し、次いでゲート配線形成部GLAに滴下した場合も図2で説明したような塗布むらや膜厚の変化が発生した。

【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0059

【補正方法】変更

【補正の内容】

【0059】

【図1】撥親液コントラストパターンとインクジェットを利用したゲート配線およびゲート電極の形成を説明する模式図である。

【図2】撥親液コントラストパターンとインクジェットを利用して回路パターンの形成における課題を説明する模式図である。

【図3】撥親液コントラストパターンとインクジェットを利用した回路パターンの形成におけるゲート電極形成部を単独の親液性とした場合の液体の流し込み状態を説明する図である。

【図4】撥親液コントラストパターンとインクジェットを利用した回路パターンの形成におけるゲート配線形成部を単独の親液性とした場合の液体の流し込み状態を説明する図である。

【図5】撥親液コントラストパターンとインクジェットを利用した回路パターンの形成におけるゲート配線形成部とゲート電極形成部を連結してゲート配線/ゲート電極を親液性とした場合の液体の流し込み状態を説明する図である。

【図6】本発明による液晶表示パネルの製造法の実施例1を説明する模式図である。

【図7】本発明による液晶表示パネルの製造法の実施例2を説明する模式図である。

【図8】本発明による液晶表示パネルの製造法の実施例3を説明する模式図である。

【図9】本発明による液晶表示パネルの製造法の実施例3を説明する図8に続く模式図である。

【図10】本発明による液晶表示パネルの製造法の実施例4を説明する模式図である。

【図11】本発明による液晶表示パネルの製造法の実施例4を説明する図10に続く模式図である。

【図12】アクティブ・マトリクス型液晶表示装置の等価回路を説明する図である。

【図13】典型的な縦電界型（所謂TN型）の液晶表示装置の概略構成例を説明する断面模式図である。

【図14】図13で説明した液晶表示パネルの1画素の構成とこの画素を構成する薄膜トランジスタの構成を説明する図である。

【手続補正10】

【補正対象書類名】明細書

【補正対象項目名】0060

【補正方法】変更

【補正の内容】

【0060】

SUB1・・・第1基板（薄膜トランジスタ基板）、SUB2・・・第2基板（カラーフィルタ基板）、GL・・・ゲート配線、GT・・・ゲート電極、GI・・・ゲート絶縁膜、UW・・・下地膜、RA・・・撥液性部、FA・・・親液性部、GLA・・・ゲート配線形成部、GTA・・・ゲート電極形成部、NZ・・・ノズル、F-IK・・・導電性インク。

专利名称(译)	液晶显示面板的制造方法和液晶显示面板		
公开(公告)号	JP2008102485A	公开(公告)日	2008-05-01
申请号	JP2007122731	申请日	2007-05-07
[标]申请(专利权)人(译)	未来视野股份有限公司		
申请(专利权)人(译)	有限责任公司未来展望		
[标]发明人	好本芳和		
发明人	好本 芳和		
IPC分类号	G02F1/1343 G02F1/1345 G02F1/1368		
CPC分类号	G02F1/136286 G02F2001/136295 H01L27/124 H01L27/1292		
FI分类号	G02F1/1343 G02F1/1345 G02F1/1368		
F-TERM分类号	2H092/GA24 2H092/GA32 2H092/HA06 2H092/HA12 2H092/JA24 2H092/JA37 2H092/JA41 2H092/JB21 2H092/JB26 2H092/JB35 2H092/KB03 2H092/MA01 2H092/NA25 2H092/NA27 2H192/AA24 2H192/BC31 2H192/CB05 2H192/CC07 2H192/DA12 2H192/EA22 2H192/EA43 2H192/HA02 2H192/HA22 2H192/JA06		
代理人(译)	小野寺杨枝		
优先权	2006255321 2006-09-21 JP		
其他公开文献	JP4235921B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种高精度液晶显示板，其通过精确地形成导电膜的超精细图案而制造，其中不同宽度的工艺用较少的工艺连接。

ŽSOLUTION：像宽幅导电薄膜和窄宽度导电薄膜一样，薄膜晶体管基板SUB1的底层薄膜UW的大部分表面变成疏液部分RA，只有窄宽度栅极将电极形成部分GTA转变为亲液部分FA。导电油墨滴落到亲液部分FA的栅极电极形成部分GTA上，并且在滴下的油墨膜均匀地铺展在栅极电极形成部分GTA上之后，在栅极线形成部分GLA上形成宽带栅极线。通过直接绘制IJ得到疏液部分RA。通过调节每个区域上的墨水的滴落量来控制栅电极形成部分GTA和栅极线形成部分GLA上的墨膜的膜厚度，并且在烘焙之后在液晶显示板上获得的两个部分的膜厚度是调整为彼此相等。Ž

