



## 【特許請求の範囲】

## 【請求項 1】

第1絶縁基板の上に形成されたゲートライン及び維持電極ラインと、  
 前記ゲートラインと絶縁されて交差するデータラインと、  
 n番目ゲートラインと少なくとも一部分がオーバーラップされ、前記データラインと連結される第1ソース電極と、  
 前記n番目ゲートラインと少なくとも一部分がオーバーラップされ、前記第1ソース電極と離隔されて形成される第1ドレイン電極及び第2ドレイン電極と、  
 前記第1ドレイン電極と電気的に連結される第1サブ画素電極と、  
 前記第2ドレイン電極と電気的に連結される第2サブ画素電極と、  
 n+1番目ゲートラインと少なくとも一部分がオーバーラップされ、前記第2サブ画素電極と電気的に連結されている第2ソース電極と、  
 前記n+1番目ゲートラインと少なくとも一部分がオーバーラップされると共に、前記第2ソース電極と離隔されて形成され前記第1サブ画素電極の充電電圧を上昇させ、前記第2サブ画素電極の充電電圧を下降させる第3ドレイン電極と、  
 を含む液晶表示装置。

## 【請求項 2】

前記第3ドレイン電極は、前記第1サブ画素電極と少なくとも一部分がオーバーラップされることを特徴とする請求項1に記載の液晶表示装置。

## 【請求項 3】

前記第3ドレイン電極と前記第1サブ画素電極とのオーバーラップ領域は、前記第1サブ画素電極の充電電圧を上昇させる電圧上昇キャパシタを形成することを特徴とする請求項2に記載の液晶表示装置。

## 【請求項 4】

前記第3ドレイン電極は、前記維持電極ラインと少なくとも一部分がオーバーラップされることを特徴とする請求項2に記載の液晶表示装置。

## 【請求項 5】

前記第3ドレイン電極と前記維持電極ラインとのオーバーラップ領域は、前記第2サブ画素電極の充電電圧を下降させる電圧下降キャパシタを形成することを特徴とする請求項4に記載の液晶表示装置。

## 【請求項 6】

前記データラインは、前記第1サブ画素電極及び前記第2サブ画素電極に同じ充電電圧を提供することを特徴とする請求項1に記載の液晶表示装置。

## 【請求項 7】

前記維持電極ラインの少なくとも一部は、前記第1サブ画素電極と前記第2サブ画素電極とを分割する離隔部とオーバーラップされることを特徴とする請求項1に記載の液晶表示装置。

## 【請求項 8】

前記第1絶縁基板と対向する第2絶縁基板と、  
 前記第2絶縁基板の上に形成された共通電極と、  
 前記第1絶縁基板及び前記第2絶縁基板の間に介在されている液晶層と、  
 をさらに含むことを特徴とする請求項1に記載の液晶表示装置。

## 【請求項 9】

前記共通電極は、前記第1サブ画素電極及び第2サブ画素電極を分割する離隔部と実質的に平行な切開部を含み、

前記離隔部と前記切開部とは、前記液晶層を多数のドメインに分割することを特徴とする請求項8に記載の液晶表示装置。

## 【請求項 10】

n番目ゲートラインにより制御される第1薄膜トランジスタ及び第2薄膜トランジスタと、

10

20

30

40

50

$n + 1$  番目ゲートラインにより制御される第3薄膜トランジスタと、  
前記第1薄膜トランジスタの出力端と連結される第1サブ画素電極と、  
前記第2薄膜トランジスタの出力端と連結され、前記第3薄膜トランジスタの入力端と  
連結されている第2サブ画素電極と、を含み、  
前記第3薄膜トランジスタの出力端は、前記第1サブ画素電極の充電電圧を上昇させ、  
前記第2サブ画素電極の充電電圧を下降させることを特徴とする液晶表示装置。

## 【請求項 1 1】

前記第3薄膜トランジスタの出力端と前記第1サブ画素電極との間には、前記第1サブ  
画素電極の充電電圧を上昇させる電圧アップキャパシタが形成されることを特徴とする請求  
項10に記載の液晶表示装置。

10

## 【請求項 1 2】

前記第1サブ画素電極及び第2サブ画素電極とオーバーラップして維持キャパシタを形  
成する維持電極ラインをさらに含み、

前記第3薄膜トランジスタの出力端と前記維持電極ラインとの間には、前記第2サブ画  
素電極の充電電圧を下降させる電圧ダウンキャパシタが形成されることを特徴とする請求  
項11に記載の液晶表示装置。

## 【請求項 1 3】

前記第1薄膜トランジスタ及び第2薄膜トランジスタの入力端は同一のデータラインに  
連結され、

前記第1薄膜トランジスタ及び前記第2薄膜トランジスタのターンオンの際、前記第1  
サブ画素電極及び前記第2サブ画素電極には同じ充電電圧が印加されることを特徴とする  
請求項10に記載の液晶表示装置。

20

## 【発明の詳細な説明】

## 【技術分野】

## 【0 0 0 1】

本発明は、液晶表示装置に関し、より詳しくは、側面視認性を改善しつつ透過率を高め  
ることができる液晶表示装置に関する。

## 【背景技術】

## 【0 0 0 2】

液晶表示装置は、現在最も広く使用されている平板表示装置の1つであって、画素電極  
や共通電極などの電界生成電極が形成されている2枚の表示板と、その間に介在される液  
晶層とを含んで形成され、電界生成電極に電圧を印加して液晶層に電界を生成し、これに  
よって液晶層の液晶分子の配向を決定して入射光の偏光を制御して所望の映像を表示する  
ものである。

30

## 【0 0 0 3】

その中でも電界が印加されていない状態で液晶分子の長軸を上下の表示板に対して垂直  
になるように配列した垂直配向モード (Vertical Alignment (VA)  
mode) 液晶表示装置は、対比の比が大きくかつ広い基準視野角の具現が容易であるため注目を集めている。

## 【0 0 0 4】

垂直配向モード液晶表示装置で広視野角を具現するための手段としては、電界生成電極  
に切開部を形成する方法と、電界生成電極の上に突起部を形成する方法などがある。この  
ように、切開部または突起部を用いて1つの画素を多数のドメインに分割した後、切開部  
または突起により液晶分子が傾く方向を決定することができるので、これらを使用して液  
晶分子の傾斜方向をさまざまな方向に分散させることによって基準視野角を広げることが  
できる。

40

## 【0 0 0 5】

ところで、上記のような切開部が備えられたPVA (Patterned Vertical  
Alignment) 方式の場合は、側面に向かうほど映像が明るくなってしまって側面  
視認性が低下する。側面視認性を改善するために1つの画素を2つのサブ電極に分割し、

50

これらを容量性で結合して、2つのサブ画素電極に互いに異なる電圧を印加する方法が提示されている。しかし、前記方法による場合、容量性結合による開口率が低下するだけでなく、平均的なサブ画素電極の電圧が減少することによって透過率が低下する。

【特許文献1】大韓民国公開特許2005-0016834号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

本発明は、側面視認性を改善すると共に、透過率を高めることができる液晶表示装置を提供することを目的とする。

【0007】

本発明は、以上で言及した目的に制限されず、言及していないさらなる目的は下記によつて当業者が明確に理解できる。

【課題を解決するための手段】

【0008】

前記目的を達成するための本発明に係る液晶表示装置は、第1絶縁基板の上に形成されたゲートライン及び維持電極ラインと、前記ゲートラインと絶縁されて交差するデータラインと、n番目ゲートラインと少なくとも一部分がオーバーラップされており、前記データラインと連結されている第1ソース電極と、前記n番目ゲートラインと少なくとも一部分がオーバーラップされており、前記第1ソース電極と離隔されている第1及び第2ドレイン電極と、前記第1ドレイン電極と電気的に連結される第1サブ画素電極と、前記第2ドレイン電極と電気的に連結される第2サブ画素電極と、n+1番目ゲートラインと少なくとも一部分がオーバーラップされており、前記第2サブ画素電極と電気的に連結されている第2ソース電極と、前記n+1番目ゲートラインと少なくとも一部分がオーバーラップされており、前記第2ソース電極と離隔されており、前記第1サブ画素電極の充電電圧を上昇させ、前記第2サブ画素電極の充電電圧を下降させる第3ドレイン電極とを含むことを特徴とする。

【0009】

また、前記目的を達成するための本発明に係る液晶表示装置は、n番目ゲートラインによって制御される第1薄膜トランジスタ及び第2薄膜トランジスタと、n+1番目ゲートラインによって制御される第3薄膜トランジスタと、前記第1薄膜トランジスタの出力端と連結される第1サブ画素電極と、前記第2薄膜トランジスタの出力端と連結され、前記第3薄膜トランジスタの入力端と連結されている第2サブ画素電極とを含む。ここで、前記第3薄膜トランジスタの出力端は、前記第1サブ画素電極の充電電圧を上昇させ、前記第2サブ画素電極の充電電圧を下降させることが好ましい。

【発明の効果】

【0010】

以上のように構成された本発明に係る液晶表示装置によれば、キャパシタにより第2サブ画素電極の電圧の絶対値を下降させるだけでなく、第1サブ画素電極の電圧の絶対値を上昇させてるので、これらの間の電圧の差を増加させることができる。したがって、側面視認性を改善しつつ透過率の低下を防止することができる。

【発明を実施するための最良の形態】

【0011】

その他、実施形態の具体的な事項は詳細な説明及び図面に含まれている。

【0012】

本発明の利点及び特徴、そしてそれらを達成する方法は、添付する図面と共に詳細に後述する実施形態を参照すれば明確になる。しかし、本発明は、以下に開示される実施形態に限定されず、相異なる多様な形態によって具現することができ、単に本実施形態は、本発明の開示を完全なものにし、本発明の属する技術分野における通常の知識を有する者に本発明を完全に知らせるために提供するものである。

【0013】

10

20

30

40

50

素子または層が他の素子または層の「上」ということは、他の素子または層の真上だけでなく、中間に他の層または他の素子を介在する場合の全てを含む。一方、素子が「真上 (directly on)」ということは、中間に他の素子または層を介在しないことを意味する。また、「及び / または」は、言及した要素のそれぞれ及び 1 つ以上の全ての組み合わせを含む。

#### 【0014】

空間的に相対的な用語である「下 (below)」、「下 (beneath)」、「下部 (lower)」、「上 (above)」、「上部 (upper)」などは図示のように、1つの素子または構成要素と他の素子または構成要素との相関関係を容易に説明するために使用することができる。空間的に相対的な用語は、図示している方向に加えて、使用時または動作時に素子の互いに異なる方向を含む用語として理解しなければならない。明細書の全体にわたり、同じ参照符号は同じ構成要素を示す。

10

#### 【0015】

本明細書で説明する実施形態は、本発明の理想的な概略図である平面図及び断面図を参考して説明する。したがって、製造技術及び / または許容誤差などにより例示図の形態が変形することもある。したがって、本発明の実施形態は図示した特定形態に制限されず、製造工程に従って生成される形態の変化も含む。したがって、図示した領域は概略的な属性を有し、図示した領域の形は素子の領域の特定形態を例示するためのものであって、発明の範疇を制限するためのものではない。

20

#### 【0016】

本発明の一実施形態に係る液晶表示装置は、多数の薄膜トランジスタがアレイされている第 1 表示板、第 1 表示板と対向配置されている第 2 表示板、及び第 1 表示板と第 2 表示板の間に介在されている液晶層を含む。各表示板は、多数の画素に区画されており、第 1 表示板の画素ごとに備えられた画素電極と第 2 表示板に備えられた共通電極との間に生成される電界により画素ごとの液晶層の透過率が制御される。以下、添付した図面を参考して前記本発明の一実施形態に係る液晶表示装置の画素構造について詳細に説明する。

20

#### 【0017】

図 1 は本発明の一実施形態に係る液晶表示装置の第 1 表示板のレイアウト図を、図 2 は本発明の一実施形態に係る液晶表示装置の第 2 表示板のレイアウト図を。図 3 は本発明の一実施形態に係る液晶表示装置のレイアウト図を。図 4 は図 1 の I V - I V' 線に沿って切った断面図を、図 5 は図 1 の V - V' 線に沿って切った断面図である。

30

#### 【0018】

まず、図 1、及び図 3 ~ 図 5 を参照して第 1 表示板 100 について説明する。第 1 表示板 100 の各画素は第 1 絶縁基板 110 の上に形成された、隣接する 2 つのゲートライン 122 及び隣接する 2 つのデータライン 162 により定義される。

30

#### 【0019】

第 1 絶縁基板 110 は透明性を有する材料、例えば、ガラスやプラスチックなどの透明性材料から形成される。第 1 絶縁基板 110 の上には第 1 方向に延長されているゲートライン 122 が形成されている。ゲートライン 122 は、一定領域で部分的に拡張されて第 1 ゲート電極 124 を形成し、他の一定領域に形成された第 2 ゲート電極 125 を形成する。第 1 ゲート電極 124 及び第 2 ゲート電極 125 の形状は多様な形状に変形することができ、例えば、第 1 ゲート電極 124 が拡張されていないか、または第 2 ゲート電極 125 が拡張された形状を有することができる。

40

#### 【0020】

一方、同じ画素に対して同じゲートライン 122 に連結される第 1 ゲート電極 124 と第 2 ゲート電極 125 は制御する画素行が異なる。すなわち、n 番目ゲートライン 122 に連結される第 1 ゲート電極 124 が n 番目画素行を制御する場合、n 番目ゲートライン 122 に連結される第 2 ゲート電極 125 は n - 1 番目画素行を制御するようになる。n 番目画素行を制御する第 2 ゲート電極 125 は n + 1 番目ゲートライン 122 に連結されている。

50

## 【0021】

第1絶縁基板110の上のゲートライン122と同じ層には第1サブ画素電極181及び第2サブ画素電極182とオーバーラップして維持キャパシタを形成する維持電極ライン128が形成されている。維持電極ライン128の配置形状は多様であり、例えば図1に示すようにデータライン162に隣接するように平行に伸びている2つの縦部、一側縦部の下に拡張されている拡張部、両側縦部を中心で連結する斜線部を含むことができる。

## 【0022】

ゲートライン122及び維持電極ライン128の上には窒化ケイ素、酸化ケイ素などから形成されるゲート絶縁膜130が積層されている。ゲート絶縁膜130の上には水素化非晶質ケイ素などから形成される第1半導体層141及び第2半導体層142が形成されている。第1半導体層141は第1ゲート電極124にオーバーラップされており、第2半導体層142は第2ゲート電極125にオーバーラップされている。

10

## 【0023】

半導体層141, 142の上にはデータ配線162, 165, 166, 167, 168, 169が形成されている。データ配線は第2方向、例えば第1方向に垂直方向に延長されているデータライン162、データライン162から分枝された第1ソース電極165、第1ソース電極165とそれぞれ離隔されて対向して形成される第1ドレイン電極166及び第2ドレイン電極167、第2半導体層142の上から画素領域に拡張されている第2ソース電極168、及び第2ソース電極168から離隔されて対向して形成される第3ドレイン電極169を含む。第1ソース電極165、第1ドレイン電極166及び第2ドレイン電極167の少なくとも一部は、第1ゲート電極124とオーバーラップされており、第2ソース電極168及び第3ドレイン電極169の少なくとも一部は第2ゲート電極125とオーバーラップされている。第1半導体層141及び第2半導体層142と、その上のデータ配線162, 165, 166, 167, 168, 169との間には高濃度にドーピングされたn+水素化非晶質ケイ素などから形成される抵抗性接触層152, 155, 156, 157, 158, 159が介在されている。

20

## 【0024】

ここで、第3ドレイン電極169は、維持電極ライン128とオーバーラップされており、その幅が拡張されている拡張部169aを含むことができる。第3ドレイン電極169の拡張部169aは、下部の維持電極ライン128だけでなく、後述する第1サブ画素電極181とも一部オーバーラップされている。第3ドレイン電極169の拡張部169aと、それにオーバーラップされた維持電極ライン128は、電圧ダウンキャパシタを形成して、後述する第2サブ画素電極182に充電された画素電圧の絶対値を下降させ、第3ドレイン電極169の拡張部169aと、それにオーバーラップされた第1サブ画素電極181は、電圧アップキャパシタを形成して第1サブ画素電極181に充電された画素電圧の絶対値を上昇させる。したがって、第1サブ画素電極181及び第2サブ画素電極182に同じ階調のデータ電圧が印加されても充電される電圧の値をそれぞれ異なるように調節することができる。これについてのより具体的な説明は後述する。

30

## 【0025】

前記第1ゲート電極124、第1ソース電極165、及び第1ドレイン電極166は、第1半導体層141をチャネル部とする第1薄膜トランジスタを形成し、第1ゲート電極124、第1ソース電極165、及び第2ドレイン電極167は、第1半導体層141をチャネル部とする第2薄膜トランジスタを形成する。また、第2ゲート電極125、第2ソース電極168、及び第3ドレイン電極169は、第2半導体層142をチャネル部とする第3薄膜トランジスタを形成する。ここで、同じ画素領域を駆動するための第3薄膜トランジスタに連結される第2ゲート電極125は、上述したように、第1ゲート電極124が連結されるゲートライン122と隣接した、次回目ゲートライン122に連結されている。

40

## 【0026】

データ配線162, 165, 166, 167, 168, 169の上にはパッシベーション

50

ン膜 170 が形成されている。パッシベーション膜 170 は、窒化ケイ素などの無機物質または有機絶縁物質からなり、これらを全て含む 2 以上の積層膜からなることもできる。パッシベーション膜 170 には第 1 及び第 2 ドレイン電極 166、167 及び第 2 ソース電極 168 の少なくとも一部を露出するコンタクトホール 176, 177, 178 が形成されている。

#### 【0027】

パッシベーション膜 170 の上にはITO、IZO などのような透明な導電性物質から形成される画素電極 181, 182 が形成されている。画素電極は離隔部 186 により分割された第 1 サブ画素電極 181 及び第 2 サブ画素電極 182 を含む。

#### 【0028】

第 1 サブ画素電極 181 は、コンタクトホール 176 を介して第 1 ドレイン電極 166 に連結されており、維持電極ライン 128 の一側縦部及び拡張部とオーバーラップされている。

#### 【0029】

第 2 サブ画素電極 182 は、コンタクトホール 177, 178 を介して第 2 ドレイン電極 167 及び第 2 ソース電極 168 と連結されており、維持電極ライン 128 の他側縦部とオーバーラップされている。第 2 サブ画素電極 182 の中央部には切開部 185 が進入している。また、第 1 サブ画素電極 181 と第 2 サブ画素電極 182 は維持電極ライン 128 の斜線部を中心に離隔されている。換言すれば、維持電極ライン 128 の斜線部は、第 1 サブ画素電極 181 と第 2 サブ画素電極 182 を分割する離隔部 186 とオーバーラップされている。

#### 【0030】

このような切開部 185 及び離隔部 186 は、フリンジフィールドを誘発して液晶 301 の統一された拳動方向を表すドメインを定義するようになる。

#### 【0031】

図示していないが、画素電極 181, 182 の上には配向膜がさらに備えられる。配向膜は、例えば垂直配向膜であり得る。

#### 【0032】

一方、第 1 サブ画素電極 181 と第 2 サブ画素電極 182 とには同じデータ電圧が提供されるが、第 1 サブ画素電極 181 は電圧アップキャパシタのカップリングに提供されたデータ電圧より絶対値の大きさが上昇した画素電圧が充電され、第 2 サブ画素電極 182 は電圧ダウンキャパシタのカップリングに提供されたデータ電圧より絶対値の大きさが下降した画素電圧が充電される。このように同じ画素内のサブ画素電極間に互いに異なる電圧が充電されることによって、ガンマ曲線の歪みを防止して側面視認性を改善することができる。本実施形態では第 2 サブ画素電極 182 に充電される電圧が下降するだけでなく、第 1 サブ画素電極 181 に充電される電圧が上昇するため、相対的な電圧差がさらに大きくなる。したがって、電圧ダウンキャパシタ単独で存在する場合よりキャパシタのキャパシタンスが小さくても十分な電圧差を表すことができる。これは電圧アップキャパシタまたは電圧ダウンキャパシタをなす第 3 ドレイン電極 169 の面積が減少し得ることを意味するので、開口率の確保に有利なことを容易に理解することができる。また、電圧アップキャパシタにより電圧が上昇するので、透過率を増加することができる。

#### 【0033】

次いで、図 2、及び図 3 ~ 図 5 を参照して第 2 表示板 200 について説明する。第 2 表示板 200 のベース基板である第 2 絶縁基板 210 は、第 1 絶縁基板 110 と同様に透明性を有する材料、例えば、ガラスまたはプラスチックなどの透明性材料から形成される。第 2 絶縁基板 210 の上にはブラックマトリックス 220 が形成されている。ブラックマトリックス 220 は、第 1 表示板 100 のゲートライン 122 及びデータライン 162 とオーバーラップされるように形成される。ブラックマトリックス 220 により囲まれた領域にはカラーフィルタ 230 が形成されている。カラーフィルタ 230 は、第 1 表示板 100 の画素電極 181, 182 とオーバーラップされるように整列される。

## 【0034】

ブラックマトリックス 220 及びカラーフィルタ 230 の上にはこれらの段差を平坦化するためのオーバーコート層 240 が形成されている。

## 【0035】

オーバーコート層 240 の上には ITO、IZO などのような透明導電物質から形成される共通電極 250 が形成されている。共通電極 250 は、画素と関係なく第 2 表示板 200 の全面に形成されており、画素ごとに切開部 253, 254, 255 を備える。

## 【0036】

切開部 253, 254, 255 は、例えば図 2 に示すように画素ごとに 3つずつ備えることができる。このうち 2つの切開部 253, 254 は、第 1 表示板 100 の第 1 サブ画素電極 181 とオーバーラップされて維持電極ライン 128 の斜線部と平行に離隔して延長されつつ、第 1 サブ画素電極 181 の周縁領域でゲートライン 122 またはデータライン 162 と平行に曲げられており、これらは画素の中央部で互いに分離されている。残り 1つの切開部 255 は、第 1 表示板 100 の第 2 サブ画素電極 182 とオーバーラップされて維持電極ライン 128 の斜線部と平行に離隔し延長されつつ、中央部で合わせられてゲートライン 122 に平行方向に曲げられている。このような切開部 253, 254, 255 は、第 1 表示板 100 のサブ画素電極 181, 182 間の離隔部 186 及び第 2 サブ画素電極 182 の切開部 185 と共にフリンジフィールドを誘発して、液晶の統一された挙動方向を表すドメインを定義するようになる。

10

## 【0037】

図示していないが、共通電極 250 の上には配向膜がさらに備えられる。配向膜は、垂直配向膜であり得る。

20

## 【0038】

一方、図 4 及び図 5 に示すように、第 1 表示板 100 と第 2 表示板 200 の間には多数の液晶 301 を含む液晶層 300 が介在されている。液晶表示装置に電界が生成されていない初期配向の場合、液晶 301 が有する配向膜の特性などによって、例えば垂直に配向されているが、第 1 表示板 100 の画素電極 181, 182 と第 2 表示板 200 の共通電極 250 に電圧が印加されると、液晶層 300 に電界が形成されて液晶 301 が回転するようになる。このとき、液晶層 300 に含まれた液晶 301 が負の誘電率異方性を有する場合、液晶 301 は電界に垂直方向に回転し、液晶 301 が正の誘電率異方性を有する場合、電界と平行方向に回転するようになる。このような液晶 301 の回転程度によって液晶層 300 における光の透過率が決定され、第 1 表示板 100 及び / または第 2 表示板 200 の外側に偏光板（図示せず）を取り付けることによって、全体液晶表示装置の透過率を制御することができる。

30

## 【0039】

一方、前記のように、本実施形態による液晶表示装置では、第 1 表示板 100 の切開部 185 及び離隔部 186 と第 2 表示板 200 の切開部 253, 254, 255 とにより、フリンジフィールドが形成されるので、電界生成による液晶 301 の回転は、これらによって分割された多数のドメイン別に一定の方向性を有するようになる。したがって、視野角が改善され、液晶 301 の衝突によるテクスチャが防止されて、液晶 301 の回転速度、すなわち電界に対する反応速度を増加することができる。

40

## 【0040】

次に、上述した液晶表示装置の動作について詳細に説明する。図 3 ~ 図 5 に示す液晶表示装置の一画素領域を回路的に表示すれば図 6 のようになる。図 6 では、n 番目ゲートラインと n + 1 番目ゲートラインの間に位置する画素領域の回路図を例示的に示した。図面において、A<sub>1</sub> は第 1 サブ画素電極領域を示し、A<sub>2</sub> は第 2 サブ画素電極領域を示す。図 7 は、図 6 の液晶表示装置に印加される電圧波形図である。図 7 において、データ電圧はフレーム別に共通電圧を基準として反転されて印加されることを確認することができる。

## 【0041】

説明の便宜上、維持電極ライン及び共通電極に提供される共通電圧 V<sub>c</sub>。<sub>m</sub> が 5V であ

50

り、第1フレームでは7Vのデータ電圧が印加され、第2フレームでは3Vのデータ電圧が印加されるものと仮定する。データラインD<sub>m</sub>に7Vのデータ電圧が印加されている状態でn番目ゲートラインG<sub>n</sub>にゲートオン信号が印加されると、第1薄膜トランジスタQ<sub>1</sub>と第2薄膜トランジスタQ<sub>2</sub>がターンオンされてデータ電圧が第1サブ画素電極A<sub>1</sub>及び第2サブ画素電極A<sub>2</sub>に印加される。このとき、第1薄膜トランジスタQ<sub>1</sub>と第2薄膜トランジスタQ<sub>2</sub>は、いずれも同じデータラインD<sub>m</sub>に連結されているため、第1サブ画素電極A<sub>1</sub>に位置するP<sub>1</sub>端子と、第2サブ画素電極A<sub>2</sub>に位置するP<sub>2</sub>端子に印加される電圧の大きさは同一である。すなわち、ゲートオン信号が印加される間にP<sub>1</sub>端子とP<sub>2</sub>端子にそれぞれ7Vのサブ画素電圧V<sub>p<sub>x</sub>1</sub>、V<sub>p<sub>x</sub>2</sub>が提供される。このとき、第1液晶キャパシタC<sub>1c1</sub>、第1維持キャパシタC<sub>s<sub>t</sub>1</sub>及び第2液晶キャパシタC<sub>1c2</sub>、第2維持キャパシタC<sub>s<sub>t</sub>2</sub>にはサブ画素電圧V<sub>p<sub>x</sub>1</sub>、V<sub>p<sub>x</sub>2</sub>と共に電圧V<sub>c<sub>0m</sub></sub>との差である2Vの電圧が充電される。  
10

## 【0042】

一方、P<sub>1</sub>端子と連結されるa端子にも7Vが提供されるが、本実施形態でフレーム別に反転駆動が行われるので、b端子に前のフレームで、例えば約3Vの電圧が印加されていたものと仮定すれば、a端子とb端子の間の電圧アップキャパシタC<sub>up</sub>には約+4Vの電圧が、電圧ダウンキャパシタC<sub>d<sub>own</sub>n</sub>には約+2Vの電圧が充電される。

## 【0043】

次に、n番目ゲートラインG<sub>n</sub>にゲートオフ電圧が印加されると、第1薄膜トランジスタQ<sub>1</sub>及び第2薄膜トランジスタQ<sub>1</sub>、Q<sub>2</sub>がターンオフされ、第1サブ画素電極A<sub>1</sub>と第2サブ画素電極A<sub>2</sub>に充電された電圧が第1キックバック電圧V<sub>k<sub>b</sub>1</sub>分下がる。  
20

## 【0044】

n番目ゲートラインG<sub>n</sub>にゲートオン電圧が印加された後、1水平周期1Hが経れば、n+1番目ゲートラインG<sub>n+1</sub>にゲートオン電圧が印加されて、それに連結される第3薄膜トランジスタQ<sub>3</sub>がターンオンされる。第3薄膜トランジスタQ<sub>3</sub>のターンオンによってP<sub>2</sub>端子とb端子が電気的に連結され、b端子に7Vの電圧が提供されるが、このとき、電圧アップキャパシタC<sub>up</sub>には約+4Vの電圧が充電されているため、P<sub>1</sub>端子の電圧は瞬間的に上昇するようになる。

## 【0045】

一方、電圧ダウンキャパシタC<sub>d<sub>own</sub>n</sub>には約+2Vの電圧が充電されており、一端が維持電極ラインに連結されているため、b端子は瞬間的に電圧が下降するようになる。  
30

## 【0046】

したがって、第1サブ画素電極A<sub>1</sub>に充電された電圧は、電圧アップキャパシタC<sub>up</sub>によるカップリングにより電圧が瞬間的に上昇し(図7のV<sub>c<sub>up</sub>1</sub>参照)、第2サブ画素電極A<sub>2</sub>に充電された電圧は電圧ダウンキャパシタC<sub>d<sub>own</sub>n</sub>によるカップリングにより電圧が瞬間的に下降するようになる(図7のV<sub>c<sub>d<sub>own</sub>n</sub>1</sub>参照)。

## 【0047】

次いで、n+1番目ゲートラインG<sub>n+1</sub>にゲートオフ電圧が印加されると、第1サブ画素電極A<sub>1</sub>に充電された電圧は、第2キックバック電圧V<sub>k<sub>b</sub>1</sub>分少し下降し、第2サブ画素電極A<sub>2</sub>に充電された電圧も第2キックバック電圧V<sub>k<sub>b</sub>2</sub>分さらに下降するようになる。第1サブ画素電極A<sub>1</sub>及び第2サブ画素電極A<sub>2</sub>は、第1フレームの間にそれぞれの充電電圧V<sub>p<sub>x</sub>1</sub>、V<sub>p<sub>x</sub>2</sub>を維持する。  
40

## 【0048】

前記したように、第1フレームの間に第1サブ画素電極A<sub>1</sub>及び第2サブ画素電極A<sub>2</sub>に同じ電圧が印加されても、第1サブ画素電極A<sub>1</sub>は電圧V<sub>p<sub>x</sub>1</sub>が上昇し、第2サブ画素電極A<sub>2</sub>は電圧V<sub>p<sub>x</sub>2</sub>が下降するため、第1サブ画素電極A<sub>1</sub>に第2サブ画素電極A<sub>2</sub>より高い電圧を充電することができる。すなわち、第1サブ画素電極領域A<sub>1</sub>の第1液晶キャパシタC<sub>1c1</sub>、第1維持キャパシタC<sub>s<sub>t</sub>1</sub>に充電された電圧の絶対値が第2サブ画素電極領域A<sub>2</sub>の第2液晶キャパシタC<sub>1c2</sub>、第2維持キャパシタC<sub>s<sub>t</sub>2</sub>に充電された電圧の絶対値より大きくなる。  
50

## 【0049】

次に、第2フレームでそれぞれのサブ画素電極に充電される電圧について説明する。データライン  $D_m$  に 3V のデータ電圧が印加されている状態で第2フレーム目にさらに  $n$  番目ゲートライン  $G_n$  にゲートオン信号が印加されると、第1薄膜トランジスタ  $Q_1$  と第2薄膜トランジスタ  $Q_2$  がターンオンされてデータ電圧が第1サブ画素電極  $A_1$  及び第2サブ画素電極  $A_2$  に印加される。ゲートオン信号が印加される間に  $P_1$  端子と  $P_2$  端子にそれぞれ 3V のサブ画素電圧  $V_{px1}$ 、 $V_{px2}$  が提供される。このとき、第1液晶キャパシタ  $C_{1c1}$ 、第1維持キャパシタ  $C_{st1}$  及び第2液晶キャパシタ  $C_{1c2}$ 、第2維持キャパシタ  $C_{st2}$  にはサブ画素電圧  $V_{px1}$ 、 $V_{px2}$  と共に電圧  $V_{com}$  の差である -2V が充電される。

10

## 【0050】

一方、 $P_1$  端子と連結される  $a$  端子にも 3V が提供されるが、 $b$  端子には第1フレームの間に約 7V の電圧が印加されているので、 $a$  端子と  $b$  端子の間の電圧アップキャパシタ  $C_{up}$  には約 -4V の電圧が、電圧ダウンキャパシタ  $C_{down}$  には約 -2V の電圧が充電される。

20

## 【0051】

次に、 $n$  番目ゲートラインにゲートオフ電圧が印加されると、第1薄膜トランジスタ  $Q_1$  及び第2薄膜トランジスタ  $Q_2$  がターンオフされ、第1サブ画素電極  $A_1$  と第2サブ画素電極  $A_2$  に充電された電圧が第1キックバック電圧  $V_{kb2}$  分下がる。

## 【0052】

1 水平周期 1H が経て、 $n+1$  番目ゲートライン  $G_{n+1}$  にゲートオン電圧が印加されると、それに連結される第3薄膜トランジスタ  $Q_3$  がターンオンされる。第3薄膜トランジスタ  $Q_3$  のターンオンによって  $P_2$  端子と  $b$  端子が電気的に連結され、 $b$  端子に 3V の電圧が提供される。このとき、電圧アップキャパシタ  $C_{up}$  には約 -4V の電圧が充電されているため、 $P_1$  端子の電圧は瞬間に下降するようになる。一方、電圧ダウンキャパシタ  $C_{down}$  には -2V の電圧が充電されており、一端が維持電極ラインに連結されているため、 $b$  端子は瞬間に電圧が上昇するようになる。したがって、第1サブ画素電極  $A_1$  に充電された電圧は、電圧アップキャパシタ  $C_{up}$  によるカップリングにより電圧が瞬間に下降し（図7の  $V_{cup2}$  参照）、第2サブ画素電極（ $A_2$ ）に充電された電圧は、電圧ダウンキャパシタ  $C_{down}$  によるカップリングにより電圧が瞬間に上昇するようになる（図7の  $V_{down2}$  参照）。

30

## 【0053】

次に、 $n+1$  番目ゲートライン  $G_{n+1}$  にゲートオフ電圧が印加されると、第1サブ画素電極  $A_1$  に充電された電圧は、第2キックバック電圧  $V_{kb21}$  分下降し、第2サブ画素電極  $A_2$  に充電された電圧も第2キックバック電圧  $V_{kb22}$  分下降するようになる。第1サブ画素電極  $A_1$  及び第2サブ画素電極（ $A_2$ ）は、第2フレームの間にそれぞれの充電電圧  $V_{px1}$ 、 $V_{px2}$  を維持する。

## 【0054】

前記したように、第2フレームの間に第1サブ画素電極  $A_1$  及び第2サブ画素電極  $A_2$  に同じ電圧が印加されても、第1サブ画素電極  $A_1$  は電圧が下降し、第2サブ画素電極  $A_2$  は電圧が上昇するため、第1サブ画素電極  $A_1$  に第2サブ画素電極  $A_2$  より低い電圧を充電することができる。すなわち、第2フレームの場合も第1サブ画素電極  $A_1$  領域の第1液晶キャパシタ  $C_{1c1}$ 、第1維持キャパシタ  $C_{st1}$  に充電された電圧の絶対値が第2サブ画素電極領域の第2液晶キャパシタ  $C_{1c2}$ 、第2維持キャパシタ  $C_{st2}$  に充電された電圧の絶対値よりも大きくなる。

40

## 【0055】

以上に説明したように、本実施形態による液晶表示装置は、各フレームに関係なく第1サブ画素電極領域  $A_1$  の第1液晶キャパシタ  $C_{1c1}$ 、第1維持キャパシタ  $C_{st1}$  に充電される電圧の絶対値が第2サブ画素電極領域  $A_2$  の第2液晶キャパシタ  $C_{1c2}$ 、第2維持キャパシタ  $C_{st2}$  に充電される電圧の絶対値よりも大きい。したがって、同じデ-

50

タ電圧を印加しても第1サブ画素電極A<sub>1</sub>及び第2サブ画素電極A<sub>2</sub>に互いに異なる電圧が充電されることによってガンマ曲線の歪みを防止することができる。さらに、本実施形態では、第2サブ画素電極A<sub>2</sub>に印加される電圧の絶対値を下降させるだけでなく、第1サブ画素電極A<sub>1</sub>に印加される電圧の絶対値を増加させてるので、同じデータ電圧に対して充電される電圧の差をより増加させる。したがって、同じ輝度を示すために提供されるデータ電圧が小さくすることができ、また開口率を確保し、同じデータ電圧に対して充電される画素電圧の大きさが増加するので透過率を改善することができる。

#### 【0056】

以上、添付した図面を参照して本発明の実施形態を説明したが、本発明の属する技術分野における通常の知識を有する者は、本発明がその技術的な思想や必須的な特徴を変更せずに他の具体的な形態によって実施できることを理解することができる。したがって、以上で説明した実施形態は本発明を単に例示したものであって、限定的ではないことを理解しなければならない。

10

#### 【産業上の利用可能性】

#### 【0057】

本発明の液晶表示装置は、側面視認性を改善しつつ透過率を高めることができる垂直配向モード液晶表示装置に有用である。

#### 【図面の簡単な説明】

#### 【0058】

【図1】本発明の一実施形態による液晶表示装置の第1表示板のレイアウト図である。

20

【図2】本発明の一実施形態による液晶表示装置の第2表示板のレイアウト図である。

【図3】本発明の一実施形態による液晶表示装置のレイアウト図である。

【図4】図3のI-V-I'V'線に沿って切った断面図である。

【図5】図3のV-V'線に沿って切った断面図である。

【図6】本発明の一実施形態による液晶表示装置の回路図である。

【図7】図6の液晶表示装置に印加される電圧波形図である。

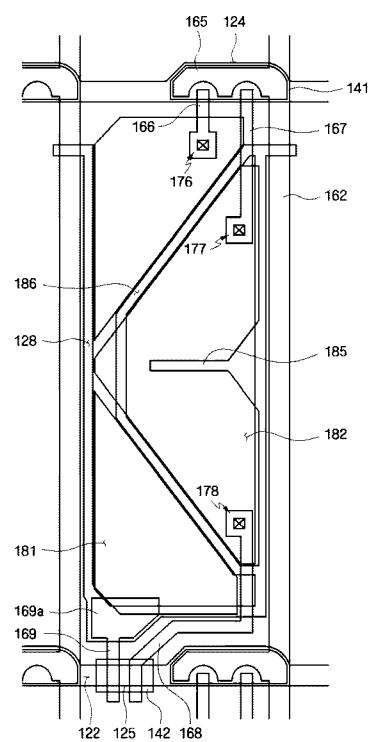
#### 【符号の説明】

#### 【0059】

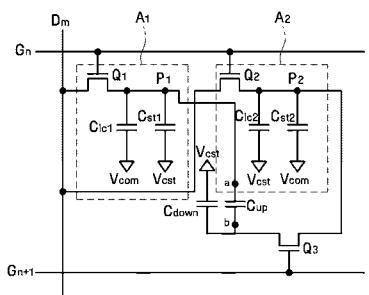
100	第1表示板、
128	維持電極ライン、
169	第3ドレイン電極、
181	第1サブ画素電極、
182	第2サブ画素電極、
200	第2表示板、
250	共通電極、
300	液晶層。

30

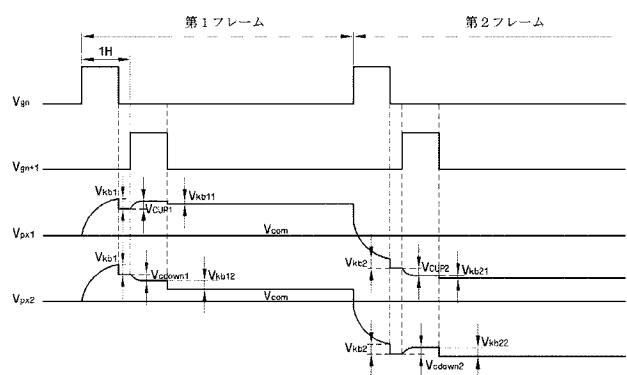
【図1】



【図6】



【図7】



---

フロントページの続き

(74)代理人 100134348

弁理士 長谷川 俊弘

(72)発明者 安 順 一

大韓民国忠清南道天安市鳳鳴洞 青率3次アパート304号1309号

F ターム(参考) 2H092 GA13 GA15 GA17 GA26 JA24 JA37 JA41 JB43 JB62 NA01

NA11 PA06

2H093 NA16 NA23 NA31 NA43 NC34 NC35 ND09 ND35 NE03

专利名称(译)	液晶表示装置		
公开(公告)号	<a href="#">JP2008033218A</a>	公开(公告)日	2008-02-14
申请号	JP2006327053	申请日	2006-12-04
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
[标]发明人	安順一		
发明人	安順一		
IPC分类号	G02F1/1343 G02F1/1368 G02F1/133		
CPC分类号	H01L27/1255 G02F1/133707 G02F1/136213 G02F1/136286 G02F1/1393 G02F2001/134345 G02F2201/40 H01L27/1214		
FI分类号	G02F1/1343 G02F1/1368 G02F1/133.505 G02F1/133.550		
F-TERM分类号	2H092/GA13 2H092/GA15 2H092/GA17 2H092/GA26 2H092/JA24 2H092/JA37 2H092/JA41 2H092/JB43 2H092/JB62 2H092/NA01 2H092/NA11 2H092/PA06 2H093/NA16 2H093/NA23 2H093/NA31 2H093/NA43 2H093/NC34 2H093/NC35 2H093/ND09 2H093/ND35 2H093/NE03 2H192/AA24 2H192/BA25 2H192/BC26 2H192/BC31 2H192/CB05 2H192/CB22 2H192/CC04 2H192/DA12 2H192/DA81 2H192/EA22 2H192/EA43 2H192/GD61 2H192/JA13 2H193/ZA04 2H193/ZA19 2H193/ZC36 2H193/ZD32 2H193/ZP03		
代理人(译)	宇谷 胜幸 藤田 健		
优先权	1020060071762 2006-07-28 KR		
其他公开文献	JP5190583B2		
外部链接	<a href="#">Espacenet</a>		

## 摘要(译)

解决的问题：提供一种能够提高透射率同时改善侧面可视性的液晶显示装置。第一漏电极166和第二漏电极167与第n栅极线122至少部分地重叠并且与第一源电极165分开，并且电连接到第一漏电极166。第一子像素电极181，电连接到第二漏极的第二子像素电极182和第( n + 1 )条栅极线122至少部分地彼此重叠，并且形成第二子像素电极182。电连接到第二源电极168的第二源电极168和第( n + 1 )条栅极线122的至少一部分与第二源电极168重叠。第三漏电极169降低第二子像素电极182的充电电压。[选择图]图3

