

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2008-15511
(P2008-15511A)

(43) 公開日 平成20年1月24日(2008.1.24)

(51) Int.Cl.
GO2F 1/1368 (2006.01)
GO2F 1/1343 (2006.01)

F I
GO2F 1/1368
GO2F 1/1343

テーマコード (参考)
2H092

審査請求 有 請求項の数 19 O L (全 24 頁)

(21) 出願番号	特願2007-164291 (P2007-164291)	(71) 出願人	599127667 エルジー フィリップス エルシーディー カンパニー リミテッド 大韓民国 ソウル, ヨンドンポーク, ヨイドードン 2 O
(22) 出願日	平成19年6月21日 (2007. 6. 21)	(74) 代理人	100110423 弁理士 曾我 道治
(31) 優先権主張番号	10-2006-0060865	(74) 代理人	100084010 弁理士 古川 秀利
(32) 優先日	平成18年6月30日 (2006. 6. 30)	(74) 代理人	100094695 弁理士 鈴木 憲七
(33) 優先権主張国	韓国 (KR)	(74) 代理人	100111648 弁理士 梶並 順
		(74) 代理人	100147566 弁理士 上田 俊一

最終頁に続く

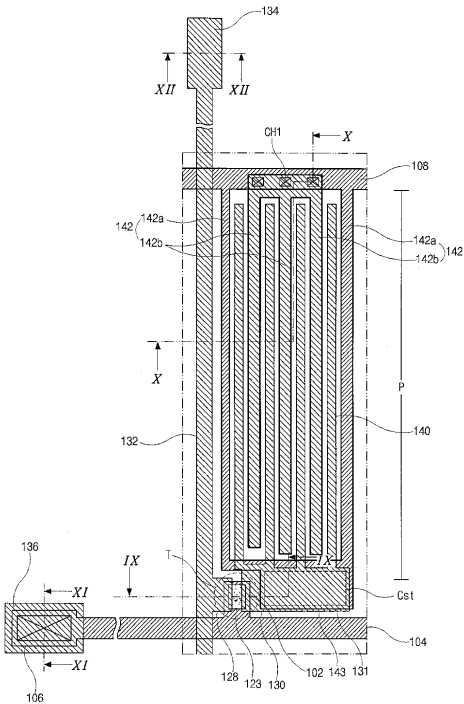
(54) 【発明の名称】 横電界型の液晶表示装置用アレイ基板及びその製造方法

(57) 【要約】

【課題】 高画質及び高開口率を実現する横電界型の液晶表示装置用アレイ基板及び製造方法を提供する。

【解決手段】 第1方向に形成されたゲート配線、第1方向と交差する第2方向に形成され画素領域を定義するデータ配線、第1方向にゲート配線と離隔して形成された共通配線、ゲート配線に連結したゲート電極、ゲート電極と重なる領域に形成されたアイランド状の半導体層、データ配線に連結されたソース電極、半導体層を間にソース電極と離隔したドレイン電極、ドレイン電極と一体に構成され画素領域へ分岐した多数の画素電極、共通配線に連結され画素領域で画素電極と交互に分岐した多数の共通電極を含み、ソース電極、ドレイン電極、データ配線、画素電極はそれぞれ金属物質の第1導電性物質層と第1導電性物質層上部に形成された透明導電性物質の第2導電性物質層が積層された構造を有す。

【選択図】 図 7



【特許請求の範囲】

【請求項 1】

第 1 方向に形成されたゲート配線と、
前記第 1 方向と交差する第 2 方向に形成されて画素領域を定義するデータ配線と、
前記第 1 方向に形成されて、前記ゲート配線と離隔するように形成された共通配線と、
前記ゲート配線に連結されたゲート電極と、
前記ゲート電極と重なる領域に形成されるアイランド状の半導体層と、
前記データ配線に連結されるソース電極と、
前記半導体層を間に前記ソース電極と離隔するように位置するドレイン電極と、
前記ドレイン電極と一体型に構成されて、前記画素領域へと分岐されている多数の画素電極と、

前記共通配線に連結されて、前記画素領域で前記画素電極と交互に分岐されている多数の共通電極とを含み、

前記ソース電極、前記ドレイン電極、前記データ配線、前記画素電極はそれぞれ、金属物質で構成された第 1 導電性物質層と、前記第 1 導電性物質層の上部に形成されて、透明導電性物質で構成された第 2 導電性物質層が順に積層された構造であることを特徴とする横電界型の液晶表示装置用アレイ基板。

【請求項 2】

前記半導体層は、前記ゲート電極より小さい面積であることを特徴とする請求項 1 に記載の横電界型の液晶表示装置用アレイ基板。

【請求項 3】

前記共通電極は、前記共通配線から延長された第 1 共通電極と、前記第 1 及び第 2 導電性物質層で構成された第 2 共通電極とで構成されることを特徴とする請求項 1 に記載の横電界型の液晶表示装置用アレイ基板。

【請求項 4】

前記ドレイン電極及び前記画素電極から延長される第 1 キャパシター電極をさらに含み、前記第 1 共通電極は、前記第 1 キャパシター電極と重なる第 2 キャパシター電極を含むことを特徴とする請求項 3 に記載の横電界型の液晶表示装置用アレイ基板。

【請求項 5】

前記第 1 及び第 2 キャパシター電極の間には、ゲート絶縁膜をさらに含み、前記ゲート絶縁膜を含んで前記第 1 及び第 2 キャパシター電極は、ストレージキャパシターを構成することを特徴とする請求項 4 に記載の横電界型の液晶表示装置用アレイ基板。

【請求項 6】

前記ゲート配線の一端に形成されるゲートパッドと、前記データ配線の一端に形成されるデータパッドをさらに含むことを特徴とする請求項 1 に記載の横電界型の液晶表示装置用アレイ基板。

【請求項 7】

前記ゲートパッドを覆う領域に、前記第 1 及び第 2 導電性物質層が積層された構造のゲートパッド電極をさらに含むことを特徴とする請求項 6 に記載の横電界型の液晶表示装置用アレイ基板。

【請求項 8】

前記第 1 導電性物質層は、モリブデン Mo、チタン Ti、タンタル Ta、タングステン W、銅 Cu、アルミニウムネオジム AlNd のうち、少なくともいずれか 1 つの金属物質を含むことを特徴とする請求項 1 に記載の横電界型の液晶表示装置用アレイ基板。

【請求項 9】

前記第 2 導電性物質層は、インジウムスズオキサイド ITO とインジウムジニクオオキサイド IZO のいずれかで構成されることを特徴とする請求項 1 に記載の横電界型の液晶表示装置用アレイ基板。

【請求項 10】

前記半導体層は、純粋非晶質シリコン物質で構成されたアクティブ層と、前記アクティ

ブ層上に位置する不純物非晶質シリコン物質で構成されたオーミックコンタクト層で構成されることを特徴とする請求項 1 に記載の横電界型の液晶表示装置用アレイ基板。

【請求項 1 1】

前記共通電極は、前記共通配線から分岐されて形成されることを特徴とする請求項 1 に記載の横電界型の液晶表示装置用アレイ基板。

【請求項 1 2】

前記ドレイン電極及び前記画素電極から第 1 キャパシター電極が延長して形成されており、前記共通電極では、前記第 1 キャパシター電極と重なる第 2 キャパシター電極が延長して形成されていることを特徴とする請求項 1 1 に記載の横電界型の液晶表示装置用アレイ基板。

10

【請求項 1 3】

前記共通電極は、前記ゲート電極と同一層に同一物質で構成されることを特徴とする請求項 1 2 に記載の横電界型の液晶表示装置用アレイ基板。

【請求項 1 4】

基板上に第 1 方向に位置するゲート配線と、前記ゲート配線から分岐されたゲート電極と、前記ゲート配線の一端に位置するゲートパッドと、前記ゲート配線と平行に離隔するように形成された共通配線と、前記共通配線に連結され第 1 共通電極を形成する段階と、

前記ゲート配線、前記ゲート電極、前記ゲートパッド、前記共通配線、前記第 1 共通電極を覆う領域に、前記ゲート配線、前記ゲート電極、前記ゲートパッド上にゲート絶縁膜と、前記ゲート電極と重なる領域にアイランド状の半導体層を形成する段階と、

20

前記半導体層上に第 1 導電性物質層、第 2 導電性物質層を連続して形成し、前記第 1 方向と交差する第 2 方向にデータ配線と、前記データ配線に連結されるソース電極と、前記ソース電極と離隔されたドレイン電極と、前記データ配線の一端に位置するデータパッドと、前記ゲートパッドに連結されるゲートパッド電極と、前記ドレイン電極と一体型に構成されて、前記画素領域へと分岐されている多数の画素電極と、前記共通配線に連結されて前記画素領域で前記画素電極と交互に分岐されている第 2 共通電極を形成する段階と、

前記データ配線、前記ソース電極及び前記ドレイン電極、前記データパッド、前記ゲートパッド電極、前記多数の画素電極、前記第 2 共通電極上に形成されて、前記データパッドと前記ゲートパッド電極を露出させるオープン部を有する保護層を形成する段階とを含むことを特徴とする横電界型の液晶表示装置用アレイ基板の製造方法。

30

【請求項 1 5】

前記不純物非晶質シリコン物質上にフォトレジスト層を形成する段階と、

透過部、遮断部、半透過部を有するマスクを、前記ゲート電極と対応した位置に前記遮断部が位置し、前記ゲートパッドと対応した領域に前記透過部が位置して、その外の領域に前記半透過部が位置するように配置して、前記フォトレジスト層を露光及び現像して、前記ゲート電極と対応した位置で第 1 の厚さを有して、前記ゲートパッドと対応した領域で除去されて、その外の領域で前記第 1 の厚さより薄い第 2 の厚さを有する第 1 フォトレジストパターンを形成する段階と、

前記第 1 フォトレジストパターンが除去された部分と対応した領域に位置するゲート絶縁膜に、前記ゲートパッドを露出させる第 1 コンタクトホールを形成する段階と、

40

前記第 1 フォトレジストパターンを前記第 2 の厚さほど除去して、前記ゲート電極と対応した位置に第 3 の厚さを有する第 2 フォトレジストパターンを形成する段階と、

前記第 2 フォトレジストパターンによって露出された前記不純物非晶質シリコン物質及び純粋非晶質シリコン物質を除去して、前記ゲート電極と重なるように位置する半導体層を形成する段階と、

前記第 2 フォトレジストパターンを除去する段階とをさらに含むことを特徴とする請求項 1 4 に記載の横電界型の液晶表示装置用アレイ基板の製造方法。

【請求項 1 6】

前記半導体層は、前記ゲート電極より小さい面積で形成されることを特徴とする請求項 1 5 に記載の横電界型の液晶表示装置用アレイ基板の製造方法。

50

【請求項 17】

前記ゲートパッド電極を形成する段階で、前記ゲートパッド電極は、前記第1コンタクトホールを通じて前記ゲートパッドに連結されることを特徴とする請求項15に記載の横電界型の液晶表示装置用アレイ基板の製造方法。

【請求項 18】

画素領域が定義された基板上に、第1方向に位置するゲート配線と、前記ゲート配線から分岐されたゲート電極と、前記ゲート配線の一端に位置するゲートパッドと、前記第1方向に前記ゲート配線と離隔するように位置する共通配線と、前記共通配線から分岐されて、前記画素領域に位置する多数の共通電極を形成する段階と、

前記ゲート配線、前記ゲート電極、前記ゲートパッド、前記共通配線、前記共通電極を覆う領域に、前記ゲート配線、前記ゲート電極、前記ゲートパッド、前記共通配線、前記共通電極上にゲート絶縁膜と、前記ゲート電極と重なる領域にアイランド状の半導体層を形成する段階と、

前記半導体層上に第1導電性物質層、第2導電性物質層を連続して形成し、前記第1方向と交差する第2方向にデータ配線と、前記データ配線に連結されるソース電極と、前記ソース電極と離隔されたドレイン電極と、前記データ配線の一端に位置するデータパッドと、前記ゲートパッドに連結されるゲートパッド電極と、前記ドレイン電極と一体型に構成されて、前記画素領域へと分岐されている多数の画素電極を形成する段階と、

前記データ配線、前記ソース電極及び前記ドレイン電極、前記データパッド、前記ゲートパッド電極、前記多数の画素電極上に、前記データパッドと前記ゲートパッド電極を露出させるオープン部を有する保護層を形成する段階とを含むことを特徴とする横電界型の液晶表示装置用アレイ基板の製造方法。

【請求項 19】

前記半導体層は、前記ゲート電極より小さい面積で形成されることを特徴とする請求項18に記載の横電界型の液晶表示装置用アレイ基板の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置に係り、特に、高画質及び高開口率を実現する横電界型の液晶表示装置用アレイ基板及びその製造方法に関する。

【背景技術】

【0002】

一般的な液晶表示装置の駆動原理は、液晶の光学的異方性と分極性質を利用する。液晶は、構造が細く長いために、分子の配列において方向性を有しており、任意に液晶に電界を加えると、分子配列の配列方向が制御できる。従って、液晶の分子配列方向を任意に調節すると、光学的異方性によって液晶の分子配列方向に光が屈折して画像情報を表現する。

【0003】

現在は、薄膜トランジスタとこの薄膜トランジスタに連結された画素電極がマトリックス状に配列されたアクティブマトリックス型の液晶表示装置(AM-LCD、以下、液晶表示装置と称する)が解像度及び動画像の表示能力が優れていて最も注目を浴びている。液晶表示装置は、共通電極が形成されたカラーフィルター基板(上部基板)と画素電極が形成されたアレイ基板(下部基板)と、両基板間に充填された液晶とで構成されるが、このような液晶表示装置は、共通電極と画素電極に印加される電圧により生じる垂直方向の電界によって液晶を駆動する方式であり、透過率と開口率等の特性が優れる。

【0004】

ところが、上下に印加される電場による液晶駆動は、視野角の特性が優れていない短所があって、この短所を克服するために新しい技術が提案されている。後述する液晶表示装置は、横電界による液晶駆動方式であって、視野角の特性が優れている長所がある。

【0005】

図 1 は、従来による横電界型の液晶表示装置の断面を示した拡大断面図である。図 1 に示したように、相互に対向するようにカラーフィルター基板 C S とアレイ基板 A S が配置されており、カラーフィルター基板 C S 及びアレイ基板 A S 間には、液晶層 L C が介されている。アレイ基板 A S は、第 1 透明基板 1 0 に定義された画素領域 P 毎に薄膜トランジスタ T と共通電極 3 0 と画素電極 3 2 が形成される。薄膜トランジスタ T は、ゲート電極 1 4 と、半導体層 1 8 と、相互に離隔して位置するソース電極 2 0 及びドレイン電極 2 2 とを含む。ここで、共通電極 3 0 と画素電極 3 2 は、同一基板 1 0 上に相互に平行に離隔して位置する。図面には示していないが、ゲート電極 1 4 に連結され第 1 方向にゲート配線が形成されて、ソース電極 2 0 に連結され前記第 1 方向と交差する第 2 方向にデータ配線が形成されて、共通電極 3 0 に連結され第 1 方向にゲート配線と離隔するように共通配線が形成される。

10

【0006】

カラーフィルター基板 C S は、第 2 透明基板 4 0 と、第 2 透明基板の内部面の非画素領域に形成されたブラックマトリックス 4 2 と、ブラックマトリックス 4 2 上で画素領域 P に形成されたカラーフィルター層 3 4 とを含む。具体的に、カラーフィルター層 3 4 は、各画素領域 P 毎に形成された赤色 R、緑色 G、青色 B のサブカラーフィルター (3 4 a、3 4 b、図示せず) を含み、図 1 では、緑色のサブカラーフィルター 3 4 b に対応した画素領域 P を一例として提示した。液晶層 L C は、共通電極 3 0 と画素電極 3 2 の水平電界 4 5 によって動作される。

【0007】

20

以下、図 2 を参照して、従来による横電界型の液晶表示装置用アレイ基板を説明する。図 2 は、従来の 4 マスク工程で製作された横電界型の液晶表示装置用アレイ基板の構成を概略的に示した平面図である。図 2 に示したように、透明基板 5 0 上に第 1 方向にゲート配線 5 4 が形成されており、第 1 方向と交差する第 2 方向に形成され画素領域 P を定義するデータ配線 9 2 が形成されている。ゲート配線 5 4 の一端にゲートパッド 5 6 が形成されて、データ配線 9 2 の一端には、データパッド 9 4 が形成される。ゲート配線 5 4 と平行に離隔され共通配線 5 8 が構成される。ゲートパッド 5 6 とデータパッド 9 4 の上部には、各々と連結されるゲートパッド電極 G P と、データパッド電極 D P が各々形成される。

【0008】

30

ゲート配線 5 4 とデータ配線 9 2 の交差点には、ゲート配線 5 4 と接触するゲート電極 5 2 と、ゲート電極 5 2 の上部に位置したアクティブ層 8 4 とオーミックコンタクト層 (図示せず) と、オーミックコンタクト層 (図示せず) の上部に離隔され位置して、データ配線 9 2 に連結されたソース電極 8 8 と、これとは離隔されたドレイン電極 9 0 とを含む薄膜トランジスタ T が構成される (図 3 H も参照)。画素領域 P には、ドレイン電極 9 0 と接触する画素電極 9 9 が形成されており、共通配線 5 8 に連結され画素電極 9 9 と交互に位置する共通電極 9 7 が形成されている (図 4 H も参照)。また、従来の横電界型の液晶表示装置用アレイ基板は、ソース電極 8 8 及びドレイン電極 9 0 とデータ配線 9 2 とアクティブ層 8 4 を同一のマスク工程で形成するために、必然的にアクティブ層 8 4 とソース電極 8 8 及びドレイン電極 9 0 及びデータ配線 9 2 が積層された形態になって、この時、電極 40 及び配線の外部にアクティブ層 8 4 から延長された非晶質シリコン層 7 2 が位置する。

【0009】

ここで、非晶質シリコン層 7 2 及びアクティブ層 8 4 が光に露出され光電流 (photo-current) が発生して、このような光電流は、薄膜トランジスタ T で漏洩電流 (off current) として作用して薄膜トランジスタ T の動作不良を誘発する。また、光電流によって、データ配線 9 2 に近接した電極とカップリング (coupling) が発生して、液晶 (図示せず) の動きを歪曲させる。これにより、液晶パネルの画面には、波状の細かい線が示される波状ノイズ (wavy noise) が発生する。前述したように、薄膜トランジスタの漏洩電流及び画面の波状ノイズは、ソース電極及びドレイン電極とアクティブ層を同時にパターニングする汎用的な方式を使用するために発生する。

50

【0010】

以下、図面を参照して、従来による横電界型の液晶表示装置用アレイ基板の製造工程を説明する。図3A～図3Hと図4A～図4Hと図5A～図5Hと図6A～図6Hは、図2のI I I - I I I 線、I V - I V 線、V - V 線、V I - V I 線に沿った、従来の工程順に示した工程断面図である。図3Aと図4Aと図5Aと図6Aは、第1マスク工程を示した図である。図3Aと図4Aと図5Aと図6Aに示したように、基板50上にスイッチング領域Sを含む画素領域Pとゲート領域GAとデータ領域DAと共通信号領域CAを定義する。多数の領域(S、P、GA、DA、CA)が定義された基板50上に、ゲート領域GAに対応して一方向に延長されて、一端にゲートパッド56を含むゲート配線54と、ゲート配線54に連結されてスイッチング領域Sに位置するゲート電極52を形成すると同時に、ゲート配線54と平行に離隔された共通信号領域CAには、共通配線58を形成する。

10

【0011】

図3B～図3Fと図4B～図4Fと図5B～図5Fと図6B～図6Fは、第2マスク工程を示した図である。図3Bと図4Bと図5Bと図6Bに示したように、ゲート電極52とゲートパッド56を含むゲート配線54と、共通配線58が形成された基板50全面に、ゲート絶縁膜60と、純粋非晶質シリコン層(a-Si:H)62と不純物を含む非晶質シリコン層(n+またはp+a-Si:H)64と第1導電性金属層66を形成する。第1導電性金属層66が形成された基板50全面に、フォトレジストを塗布して感光層68を形成する。感光層68の離隔された上部に、透過部TAと遮断部SAと半透過部HTAを含むマスクMを位置させる。この時、半透過部HTAは、マスクMにスリット状または半透明膜を形成して、光の強度を低めたり、光の透過量を低めたりして、感光層を不完全露光するよう機能する。また、遮断部SAは、光を完全に遮断するよう機能し、透過部TAは、光を透過させて光によって感光層68が完全な化学的变化、すなわち、完全露光させるよう機能する。一方、スイッチング領域Sには、半透過部HTAと、半透過部HTAの両側に遮断部SAを位置させて、データ領域DAには、遮断部SAを位置させる。マスクMの上部に光を照射して、下部の感光層68を露光して現像する工程を行う。

20

【0012】

図3Cと図4Cと図5Cと図6Cに示したように、スイッチング領域Sとデータ領域DAに第1及び第2感光パターン70a、70bを形成する。この時、第1感光パターン70aは、ゲート電極52に対応する中心部が低い高さで現像されて、段差を有する形状である。第1及び第2感光パターン70a、70bの周辺に露出された第1導電性金属層66とその下部の不純物非晶質シリコン64と、純粋非晶質シリコン62を除去する工程を行う。この時、第1導電性金属層66の種類によって第1導電性金属層66とその下部の不純物非晶質シリコン64及び純粋非晶質シリコン62を同時に除去したり、金属層を先にエッチングした後、乾式エッチング工程によって下部の純粋非晶質シリコン62と不純物を含む非晶質シリコン64を除去したりする工程を行う。

30

【0013】

図3Dと図4Dと図5Dと図6Dに示したように、前述した除去工程が完了されると、第1感光パターン70aの下部には、パターニングされた非晶質シリコンパターン72と不純物非晶質シリコンパターン74が積層された第1半導体パターン76と、第1半導体パターン76の上部に第1金属パターン78が形成される。データ領域DAに対応する第2感光パターン70bの下部には、第1半導体パターン76から延長された第2半導体パターン80と、第2半導体パターン80の上部に、第1金属パターン78から延長された第2金属パターン82が形成される。第1感光パターン70aのうち、ゲート電極52の中心に対応して高さの低い部分は除去して下部の第1金属パターン78を露出させる。このようにすると、図3Eと図4Eと図5Eと図6Eに示したように、ゲート電極52の中心に対応する第1金属パターン78の一部が露出されて、この時、第1及び第2感光パターン70a、70bの周辺に第1及び第2金属パターン78、82の一部が同時に露出される。アッシング工程を行った後、第1金属パターン78の露出された部分とその下部の不純物非晶質シリコン層74を除去する工程を行う。

40

50

【0014】

図3Fと図4Fと図5Fと図6Fに示したように、除去工程が完了されると、ゲート電極52の上部に位置した第1半導体パターン76のうち、下部層(純粋非晶質シリコン層)は、アクティブ層84の機能をして、アクティブ層84の上部で一部が除去され離隔された上部層(不純物非晶質シリコン層)は、オーミックコンタクト層86の機能をする。この時、アクティブ層84と上部のオーミックコンタクト層86を除去しながら、下部のアクティブ層84をオーバーエッチングしてアクティブ層の表面(アクティブチャンネル)に不純物が残らないようにする。一方、オーミックコンタクト層86の上部に位置して分けられた金属パターンは、各々ソース電極88とドレイン電極90とする。この時、ソース電極88と接触する第2金属パターン(図4Eの82)は、データ配線92であって、データ配線92の一端は、データパッド94とする。残留した第1及び第2感光パターン70a、70bを除去する工程を行うことによって、第2マスク工程が完了される。

【0015】

図3Gと図4Gと図5Gと図6Gは、第3マスク工程を示した図である。図3Gと図4Gと図5Gと図6Gに示したように、ソース電極88及びドレイン電極90、データパッド94、データ配線92上には、保護層96が形成されて、保護層96をパターンニングしてドレイン電極90の一部を露出するドレインコンタクトホール98aと、共通配線58の一部を露出する共通配線コンタクトホール98bと、ゲートパッド56を露出するゲートパッドコンタクトホール98cと、データパッド94を露出するデータパッドコンタクトホール98dとを形成する。

【0016】

図3Hと図4Hと図5Hと図6Hは、第4マスク工程を示した図である。図3Hと図4Hと図5Hと図6Hに示したように、保護膜96が形成された基板50の画素領域Pに、透明導電性物質を利用して画素電極99と共通電極97を交互に形成すると同時に、ゲートパッド56と接触するゲートパッド電極GPと、データパッド94と接触するデータパッド電極DPを形成する。以上、従来による4マスク工程で横電界型の液晶表示装置用アレイ基板を製作することができる。

【発明の開示】

【発明が解決しようとする課題】

【0017】

以上のような従来の製造方法では、第2マスク工程において、アクティブ層(非晶質シリコン層)84及びオーミックコンタクト層(不純物非晶質シリコン層)86と上部のソース電極88及びドレイン電極90とデータ配線92が同時に形成されて、データ配線92の下部に、第2半導体パターン80が残り、特に、第2半導体パターン80の下部純粋非晶質シリコン層72がデータ配線92の両側に延長された形態でパターンニングされる。前述したように、データ配線92の両側に下部の純粋非晶質シリコン層72が拡張された形態であるために、これによって、画面に波状ノイズが発生する問題がある。また、ゲート電極52の上部に位置したアクティブ層84も、ゲート電極52の側面に露出された部分を有しているために、光によって露出され光電流、すなわち、漏洩電流が発生して、これによって、薄膜トランジスタの動作不良を誘発する問題がある。

【0018】

本発明は、前述したような問題を解決するために提案されており、非晶質シリコン層(アクティブ層)が配線の下部に位置せず、ゲート電極の上部のみにアイランド状に形成させて、光電流による薄膜トランジスタの漏洩電流の特性を最小化すると同時に、波状ノイズの発生を防いで高画質を実現する横電界型の液晶表示装置用アレイ基板及びその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0019】

本発明は、前述したような目的を達成するために、第1方向に形成されたゲート配線と、前記第1方向と交差する第2方向に形成されて画素領域を定義するデータ配線と、前記

第1方向に形成されて、前記ゲート配線と離隔するように形成された共通配線と、前記ゲート配線に連結されたゲート電極と、前記ゲート電極と重なる領域に形成されるアイランド状の半導体層と、前記データ配線に連結されるソース電極と、前記半導体層を間に前記ソース電極と離隔するように位置するドレイン電極と、前記ドレイン電極と一体型に構成されて、前記画素領域へと分岐されている多数の画素電極と、前記共通配線に連結されて、前記画素領域で前記画素電極と交互に分岐されている多数の共通電極とを含み、前記ソース電極、前記ドレイン電極、前記データ配線、前記画素電極はそれぞれ、金属物質で構成された第1導電性物質層と、前記第1導電性物質層の上部に形成されて、透明導電性物質で構成された第2導電性物質層が順に積層された構造であることを特徴とする横電界型の液晶表示装置用アレイ基板を提供する。

10

前記半導体層は、前記ゲート電極より小さい面積である。

前記共通電極は、前記共通配線から延長された第1共通電極と、前記第1及び第2導電性物質層で構成された第2共通電極とで構成される。

前記ドレイン電極及び前記画素電極から延長される第1キャパシター電極をさらに含み、前記第1共通電極は、前記第1キャパシター電極と重なる第2キャパシター電極を含む。

前記第1及び第2キャパシター電極の間には、ゲート絶縁膜をさらに含み、前記ゲート絶縁膜を含んで前記第1及び第2キャパシター電極は、ストレージキャパシターを構成する。

前記ゲート配線の一端に形成されるゲートパッドと、前記データ配線の一端に形成されるデータパッドをさらに含む。

20

前記ゲートパッドを覆う領域に、前記第1及び第2導電性物質層が積層された構造のゲートパッド電極をさらに含む。

前記第1導電性物質層は、モリブデンMo、チタンTi、タンタルTa、タングステンW、銅Cu、アルミニウムネオジムAlNdのうち、少なくともいずれか1つの金属物質を含み、前記第2導電性物質層は、インジウムスズオキサイドITOとインジウムジンクオキサイドIZOのいずれかで構成される。

前記半導体層は、純粋非晶質シリコン物質で構成されたアクティブ層と、前記アクティブ層上に位置する不純物非晶質シリコン物質で構成されたオーミックコンタクト層で構成される。

30

前記共通電極は、前記共通配線から分岐されて形成される。

前記ドレイン電極及び前記画素電極から第1キャパシター電極が延長して形成されており、前記共通電極では、前記第1キャパシター電極と重なる第2キャパシター電極が延長して形成されている。

前記共通電極は、前記ゲート電極と同一層に同一物質で構成される。

【0020】

また、本発明は、基板上に第1方向に位置するゲート配線と、前記ゲート配線から分岐されたゲート電極と、前記ゲート配線の一端に位置するゲートパッドと、前記ゲート配線と平行に離隔するように形成された共通配線と、前記共通配線に連結され第1共通電極を形成する段階と、前記ゲート配線、前記ゲート電極、前記ゲートパッド、前記共通配線、前記第1共通電極を覆う領域に、前記ゲート配線、前記ゲート電極、前記ゲートパッド上にゲート絶縁膜と、前記ゲート電極と重なる領域にアイランド状の半導体層を形成する段階と、前記半導体層上に第1導電性物質層、第2導電性物質層を連続して形成し、前記第1方向と交差する第2方向にデータ配線と、前記データ配線に連結されるソース電極と、前記ソース電極と離隔されたドレイン電極と、前記データ配線の一端に位置するデータパッドと、前記ゲートパッドに連結されるゲートパッド電極と、前記ドレイン電極と一体型に構成されて、前記画素領域へと分岐されている多数の画素電極と、前記共通配線に連結されて前記画素領域で前記画素電極と交互に分岐されている第2共通電極を形成する段階と、前記データ配線、前記ソース電極及び前記ドレイン電極、前記データパッド、前記ゲートパッド電極、前記多数の画素電極、前記第2共通電極上に形成されて、前記データパ

40

50

ッドと前記ゲートパッド電極を露出させるオープン部を有する保護層を形成する段階とを含むことを特徴とする横電界型の液晶表示装置用アレイ基板の製造方法を提供する。

前記不純物非晶質シリコン物質上にフォトレジスト層を形成する段階と、透過部、遮断部、半透過部を有するマスクを、前記ゲート電極と対応した位置に前記遮断部が位置し、前記ゲートパッドと対応した領域に前記透過部が位置して、その外の領域に前記半透過部が位置するように配置して、前記フォトレジスト層を露光及び現像して、前記ゲート電極と対応した位置で第1の厚さを有して、前記ゲートパッドと対応した領域で除去されて、その外の領域で前記第1の厚さより薄い第2の厚さを有する第1フォトレジストパターンを形成する段階と、前記第1フォトレジストパターンが除去された部分と対応した領域に位置するゲート絶縁膜に、前記ゲートパッドを露出させる第1コンタクトホールを形成する段階と、前記第1フォトレジストパターンを前記第2の厚さほど除去して、前記ゲート電極部と対応した位置に第3の厚さを有する第2フォトレジストパターンを形成する段階と、前記第2フォトレジストパターンによって露出された前記不純物非晶質シリコン物質及び純粋非晶質シリコン物質を除去して、前記ゲート電極と重なるように位置する半導体層を形成する段階と、前記第2フォトレジストパターンを除去する段階とをさらに含む。

10

前記半導体層は、前記ゲート電極より小さい面積で形成される。

前記ゲートパッド電極を形成する段階で、前記ゲートパッド電極は、前記第1コンタクトホールを通じて前記ゲートパッドに連結される。

【0021】

さらに、本発明は、画素領域が定義された基板上に、第1方向に位置するゲート配線と、前記ゲート配線から分岐されたゲート電極と、前記ゲート配線の一端に位置するゲートパッドと、前記第1方向に前記ゲート配線と離隔するように位置する共通配線と、前記共通配線から分岐されて、前記画素領域に位置する多数の共通電極を形成する段階と、前記ゲート配線、前記ゲート電極、前記ゲートパッド、前記共通配線、前記共通電極を覆う領域に、前記ゲート配線、前記ゲート電極、前記ゲートパッド、前記共通配線、前記共通電極上にゲート絶縁膜と、前記ゲート電極と重なる領域にアイランド状の半導体層を形成する段階と、前記半導体層上に第1導電性物質層、第2導電性物質層を連続して形成し、前記第1方向と交差する第2方向にデータ配線と、前記データ配線に連結されるソース電極と、前記ソース電極と離隔されたドレイン電極と、前記データ配線の一端に位置するデータパッドと、前記ゲートパッドに連結されるゲートパッド電極と、前記ドレイン電極と一体型に構成されて、前記画素領域へと分岐されている多数の画素電極を形成する段階と、前記データ配線、前記ソース電極及び前記ドレイン電極、前記データパッド、前記ゲートパッド電極、前記多数の画素電極上に、前記データパッドと前記ゲートパッド電極を露出させるオープン部を有する保護層を形成する段階とを含むことを特徴とする横電界型の液晶表示装置用アレイ基板の製造方法を提供する。

20

30

前記半導体層は、前記ゲート電極より小さい面積で形成される。

【発明の効果】

【0022】

本発明による横電界型の液晶表示装置用アレイ基板は、アクティブ層として利用される非晶質シリコン層が光に露出される構造ではないので、薄膜トランジスタに漏洩電流が発生せず、薄膜トランジスタの動作を改善する。また、データ配線の下部にアクティブ層が存在することによって発生した波状ノイズが発生せず、高画質を実現する。さらに、高開口率の構造を得ることができる。

40

【0023】

従来とは異なり、アクティブパターンをゲート電極と対応した部分のみにアイランドパターンで残すために、データ配線と横電界電極間の隔離距離を減少させる。そして、ドレイン電極と画素電極が相互に一体型のパターンで形成されることによって別途のコンタクトホールを省略してコンタクトホールを形成するための面積を開口領域として活用することができる。また、ストレージキャパシタの絶縁体がゲート絶縁膜のみで構成されることによって、既存のゲート絶縁膜及び保護膜で構成された構造より絶縁体の厚さを薄くし

50

て、ストレージキャパシターの面積を減らしながらもストレージキャパシターの容量を維持することができて、ストレージキャパシターの面積の減少によって高開口率を得ることができる。

【発明を実施するための最良の形態】

【0024】

本発明は、アクティブ層がゲート電極と対応した位置のみに形成されバックライトの光がゲート電極によって遮断されアクティブ層での光電流が防げる構造の横電界型のアレイ基板を新しい4マスク工程で製造することの特徴とする。

以下、添付した図面を参照して、本発明の望ましい実施の形態を説明する。

【0025】

図7は、本発明の一実施の形態による横電界型の液晶表示装置用アレイ基板の一部を拡大した平面図である。図7に示したように、第1方向にゲート配線104が形成されており、第1方向と交差する第2方向にデータ配線132が形成され画素領域Pが定義されている。また、第1方向にゲート配線104と離隔するように共通配線108が形成されている。ゲート配線104とデータ配線132の交差点には、ゲート電極102、半導体層123(アクティブ層120とオーミックコンタクト層122を含む)、ソース電極128及びドレイン電極130で構成された薄膜トランジスタTが形成されている。

【0026】

ドレイン電極130から延長され多数に分岐された画素電極140が画素領域Pに形成されており、さらに画素領域Pには、共通配線108に連結され画素電極140と交互に配置された共通電極142が形成されている。この時、共通電極142は、第1及び第2共通電極142a、142bに分類されるが、共通配線108から延長され画素領域Pの外郭を取り囲む領域に形成された第1共通電極142aと、共通配線108とコンタクトホールCH1を通じて連結された第2共通電極142bで構成される。第1共通電極142aでは、第1キャパシター電極131が延長して形成されており、ドレイン電極130及び画素電極140からは第1キャパシター電極131と重なるように第2キャパシター電極143が形成されている(図8A等参照)。第1及び第2キャパシター電極131、143が重なった領域は、ストレージキャパシターCstを構成する。また、ゲート配線104の一端には、ゲートパッド106が位置して、ゲートパッド106を覆う領域には、ゲートパッド電極136が形成されており、データ配線132の一端には、データパッド134が形成されている。

【0027】

特に、本発明では、i)4マスク工程によって横電界型の液晶表示装置を形成するにおいて、ソース電極128及びドレイン電極130を形成する段階で画素電極140を共に形成するために、第1及び第2導電性物質層(図8Aの124、126)が積層された構造で形成して、第1導電性物質層は、ソース電極128及びドレイン電極130として利用される金属物質で構成されて、第2導電性物質層は、画素電極140物質として利用される透明導電性物質で構成される。従って、本発明では、データパッド134の場合、別途のパッド電極なしにパッド及びパッド電極として兼用することができる。

i i)半導体層123がゲート電極102より小さい面積でゲート電極102と重なるように形成されることによって、半導体層123の非晶質シリコンで構成されたアクティブ層120が光に露出されるのを防いで薄膜トランジスタTでの漏洩電流及びデータ配線132部での波状ノイズ不良を防ぐことができる。

i i i)共通電極142は、共通配線108から延長され画素領域Pの外郭を取り囲んで第1キャパシター電極131を含む第1共通電極142aと、画素電極140と同一工程で形成され共通配線108とコンタクトホールCH1を通じて連結された第2共通電極142bで構成される。

i v)第1共通電極142aから延長された第1キャパシター電極131と、ドレイン電極130及び画素電極140から延長され第1キャパシター電極131と重なるように第2キャパシター電極143が形成されており、第1及び第2キャパシター電極131、

10

20

30

40

50

143間には、ゲート絶縁膜110が介され絶縁体の役割をするために、既存のゲート絶縁膜及び保護層が介された構造より絶縁体の厚さを薄くして、容量はそのままにして面積を減少させて高開口率を得ることができる。

【0028】

以下、図8Aと図8Bと図8Cと図8Dを参照して、本発明による薄膜トランジスタのアレ基板の断面構成を説明する。図8Aと図8Bと図8Cと図8Dは、図7のIX-I X線、X-X線、XI-XI線、XII-XII線に沿って切断した断面図である。図8Aと図8Bと図8Cと図8Dに示したように、基板100を多数の画素領域Pとゲート領域GAとデータ領域DAとスイッチング領域Sと共通信号領域CAとで定義(領域設定)する。スイッチング領域Sには、ゲート電極102と、ゲート電極102の上部のゲート絶縁膜110と、アクティブ層120と、離隔(分離)されたオーミックコンタクト層122と、分離されたオーミックコンタクト層122の各々一方と接触するソース電極128及びドレイン電極130とを含む薄膜トランジスタTを構成する。

10

【0029】

この時、ソース電極128及びドレイン電極130は、第1及び第2導電性物質層124、126が順に積層された構造で構成される。第1導電性物質層124は、モリブデンMo、チタンTi、タンタルTA、タングステンW、銅Cu、アルミニウムネオジムAlNdのような金属物質で構成されて、第2導電性物質層126は、インジウムスズオキサイドITOまたはインジウムジンクオキサイドIZOのような透明導電性物質から選択される。また、ソース電極128に連結されて、一端にデータパッド134を含むデータ配線132をデータ領域DAの一侧に構成して、データ配線132及びデータパッド134も、第1及び第2導電性物質層124、126の積層構造で構成する。さらに、ゲートパッド106の上部には、これと接触するゲートパッド電極136を構成するが、ゲートパッド電極136も第1及び第2導電性物質層124、126が積層された構造である。

20

【0030】

画素領域Pには、ドレイン電極130から延長され画素領域Pに形成された多数の画素電極140と、共通配線108に連結され画素領域Pで多数の画素電極140と交互に形成された多数の共通電極142が構成される。共通電極142は、共通配線108から延長され画素領域Pの外郭を取り囲む領域に形成される第1共通電極142aと、画素電極140と同一工程で同じ第1及び第2導電性物質層124、126で構成された第2共通電極142bで構成される。図面には示していないが、第1共通電極142aは、第1キャパシター電極131を含み、ドレイン電極130及び画素電極140からは、第1キャパシター電極131と重なる第2キャパシター電極143が形成されており、第1及び第2キャパシター電極131、143は、ゲート絶縁膜110が介された状態でストレージキャパシターCstを構成する。前述した構成は、アクティブ層120とオーミックコンタクト層122と同一物質の純粋非晶質シリコン(a-Si:H)と不純物非晶質シリコン(n+a-Si:H)がゲート配線104及びデータ配線132の下部に存在せず、このような構成によって従来の4マスク構造の代表的な問題となっていた漏洩電流特性及び波状ノイズ問題が解決される長所がある。

30

40

【0031】

また、前述した特徴的な構成は、本発明で提案した4マスク工程により形成される。以下、図面を参照して、本発明の新しい4マスク工程による横電界型の液晶表示装置用アレ基板の製造方法を説明する。図9A～図9Gと図10A～図10Gと図11A～図11Gと図12A～図12Gは、図7のIX-I X線、X-X線、XI-XI線、XII-XII線に沿って切断して、本発明を工程順に示した工程断面図である。この時、図7のIX-I X線は、薄膜トランジスタの切断線、X-X線は、画素領域を切断した切断線、XI-XI線は、ゲートパッドの切断線、XII-XII線は、データパッドの切断線である。

【0032】

図9Aと図10Aと図11Aと図12Aは、第1マスク工程を示した工程断面図である

50

。図 9 A と図 10 A と図 11 A と図 12 A に示したように、基板 100 上に、スイッチング領域 S と画素領域 P とゲート領域 GA とデータ領域 DA と共通信号領域 CA とを定義する。多数の領域 (S、P、GA、DA、CA) を定義した基板 100 上に、アルミニウム Al、アルミニウムネオジウム AlNd、クロム Cr、モリブデン Mo、タングステン W、チタン Ti、銅 Cu、タンタル TA などを含む導電性金属グループのうちから選択された一つまたは一つ以上の金属を蒸着して第 1 導電性金属層 (図示せず) を形成して、これを第 1 マスク工程によってパターニングし、スイッチング領域 S にゲート電極 102 を形成して、ゲート領域 GA に対応して一端にゲートパッド 106 を含むゲート配線 (図 7 の 104) を形成すると同時に、ゲート配線 (図 7 の 104) と平行に離隔された位置に共通配線 108 を形成する。共通信号領域 CA に、共通配線 108 から延長され画素領域 P に位置する第 1 共通電極 142 a をさらに形成する。 10

【0033】

以下、図 9 B ～図 9 E と図 10 B ～図 10 E と図 11 B ～図 11 E と図 12 A ～図 12 E は、第 2 マスク工程を工程順に示した工程断面図である。図 9 B と図 10 B と図 11 B と図 12 B に示したように、ゲート電極 102 とゲートパッド 106 及びゲート配線 (図 7 の 104) と共通配線 108 と第 1 共通電極 142 a が形成された基板 100 全面に、ゲート絶縁膜 110 と、非晶質シリコン層 (a-Si:H) 112 と不純物非晶質シリコン層 (n+a-Si:H) 114 と、不純物非晶質シリコン層 114 の上部にフォトレジストを塗布して感光層 116 を形成する。この時、ゲート絶縁膜 110 は、シリコン窒化物 SiN_x とシリコン酸化物 SiO_x を含む無機絶縁物質グループのうちから選択された一つまたは一つ以上の物質を蒸着して形成する。 20

【0034】

一方、感光層 116 を形成した後、感光層 116 が形成された基板 100 の離隔された上部に、透過部 TA と遮断部 SA と半透過部 HTA とで構成されたマスク M を位置させる。この時、スイッチング領域 S に対応して遮断部 SA と、共通信号領域 CA に部分的に透過部 TA を位置させて、ゲートパッド 106 に対応して透過部 TA を位置させて、それ以外の領域には、半透過部 HTA を位置させる。ここで、スイッチング領域 S に対応する遮断部 SA の面積は、ゲート電極 102 の面積を越えない範囲である。次に、マスク M の上部に光を照射して下部の感光層 116 を露光する工程と、現像工程を行う。

【0035】

図 9 C と図 10 C と図 11 C 図 12 C に示したように、スイッチング領域 S は元々の高さにパターニングされて、共通配線 108 の一部とゲートパッド 106 の一部に対応した部分は完全に除去され下部の不純物非晶質シリコン層 114 が露出し、残り領域には、元々の高さより低い高さでパターニングされた感光パターン 118 が残る。ゲートパッド 106 に対応して露出された不純物非晶質シリコン層 114 と純粋非晶質シリコン層 112 とゲート絶縁膜 110 を除去して、スイッチング領域を除いた低い部分の感光パターンをアッシング工程を利用して除去する。 30

【0036】

図 9 D と図 10 D と図 11 D と図 12 D に示したように、基板 100 全面に、不純物非晶質シリコン層 114 が露出された状態であると同時に、ゲートパッド 106 と共通配線 108 の一部が露出された状態で形成される。一方、スイッチング領域 S に対応して高さが低くなった感光パターン 118 が残された状態になる。感光パターン 118 の外部に露出された非晶質シリコン層 114 とその下部の純粋非晶質シリコン層 112 を除去する工程を行う。次に、残された感光パターン 118 を除去する工程を行う。 40

【0037】

図 9 E と図 10 E と図 11 E と図 12 E に示したように、スイッチング領域 S に対応するゲート電極 102 の上部に、アイランド状のアクティブ層 120 とオーミックコンタクト層 122 が形成される。

【0038】

図 9 F と図 10 F と図 11 F 図 12 F は、第 3 マスク工程を示した図である。図 9 F と 50

図10Fと図11F図12Fに示したように、アクティブ層120とオーミックコンタクト層122が形成された基板100全面に、第1及び第2導電性金属物質層(図示せず)を積層して第3マスク工程によってパターンニングし、スイッチング領域Sに対応して離隔されたソース電極128とドレイン電極130を形成して、画素領域Pに対応して画素電極140と共通電極142を形成する。この時、画素電極140は、ドレイン電極130から画素領域に垂直に延長されたバー状であり、共通電極142は、共通配線108と接触しながら画素領域Pに延長されたバー状であって、画素電極140と平行に離隔された状態で形成する。しかし、画素電極140及び共通電極142の形状は、多様に変更可能である。ゲートパッド106と接触するゲートパッド電極136を形成して、データ領域DAには、一端にデータパッド134を含むデータ配線132を形成する。

10

【0039】

ソース電極128及びドレイン電極130の離隔された間に露出されたオーミックコンタクト層122を除去して、下部のアクティブ層120を露出する工程を行う。この時、ソース電極128及びドレイン電極130と、画素電極140と共通電極142と、データパッド134及びデータ配線132と、ゲートパッド136は、第1及び第2導電性物質層124、126が積層された構造で形成される。例えば、第1導電性物質層124は、モリブデンMo、チタンTi、タンタルTA、タングステンW、銅Cu、アルミニウムAlNdのような金属物質で構成されて、第2導電性物質層126は、インジウムスズーオキサイドITOまたはインジウムーゲルマニウムーオキサイドIZOのような透明導電性物質で構成される。

20

【0040】

図9Gと図10Gと図11Gと図12Gに示したように、基板100全面に、保護膜150を形成する。保護膜150は、ベンゾシクロブテンBCBまたはアクリル系樹脂のような有機絶縁物質またはシリコン窒化物SiNxまたはシリコン酸化物SiOxのような無機絶縁物質で構成されて、有機絶縁物質で構成される場合は、コーティング工程によって形成されて、無機絶縁物質で構成される場合は、蒸着工程によって形成される。保護膜150を前述したようなマスク工程を適用した第4マスク工程によってパターンニングし、ゲートパッド電極136とデータパッド電極134を露出する。図面には示していないが、第4マスク工程で保護膜150に画素領域を露出させるオープン部を形成して、オープン部を通じて露出された画素電極及び共通電極の上部面の厚さの一部を除去する工程を含む。このような工程は、後のラビング工程で画素電極及び共通電極が基板面と成す段差を最小化して、段差部分での光漏れを減少させるためである。前述した工程を通じて、本発明による新しい4マスク構造で横電界型の液晶表示装置用アレイ基板を製造することができる。

30

【0041】

図13及び図14は、本発明の変形例による横電界型の液晶表示装置の図であって、図13は、平面図、図14は、図13のXIV-XIV線に沿った断面図である。説明の便宜上、本例では、図7、図8A～図8D、図9A～図9G、図10A～図10G、図11A～図11G、図12A～図12Gで説明された部分と重複された部分は、省略して、本例のみの特徴的な部分を基準に説明する。図13と図14に示したように、ゲート配線204と平行に位置する共通配線208では、画素電極240と平行な方向に、画素電極240と交互に多数の共通電極242が分岐されている。そして、ドレイン電極230から延長され画素電極240が多数分岐された第1キャパシター電極231と対応するように、第1キャパシター電極231と隣接した外郭の共通電極242から延長され第1キャパシター電極231と重なるように第2キャパシター電極243が形成されている。第1及び第2キャパシター電極231、243は、ストレージキャパシターCstを構成する。

40

【0042】

共通電極242は、ゲート電極202と同一工程で同一物質を利用して形成される。従って、基板上に多数の共通電極242が相互に一定間隔離隔して形成されており、共通電極242を覆う領域には、ゲート絶縁膜210が形成されていて、ゲート絶縁膜210上

50

の共通電極 242 の間の区間には、画素電極 240 が各々形成されている。この時、画素電極 240 は、第 1 及び第 2 導電性物質層が順に積層された構造で形成されている。

【0043】

本例でも同様に、半導体層 223 は、ゲート電極 202 の上部でゲート電極 202 より小さい面積で形成されており、半導体層 223 上には、第 1 及び第 2 導電性物質層が順に積層された構造のソース電極 228 及びドレイン電極 230 が形成されていて、ドレイン電極 230 と一体型パターンで第 2 キャパシター電極 243 が延長形成されている。そして、半導体層 223 は、ゲート電極 202 の上部のみにアイランドパターンで形成されることによって、データ配線 232 の下部には、存在しない。従って、既存の半導体層の純粋非晶質シリコン層の側面露出による光電流の発生が防げる。前述した工程によって製造された本発明による横電界型の液晶表示装置用アレイ基板は、非晶質シリコン層が配線の下部に存在せず、ゲート電極の上部のみにアイランド状に構成され、光による非晶質シリコン層の漏洩電流の発生を防止したことを特徴とする。

10

【図面の簡単な説明】

【0044】

【図 1】従来の横電界型の液晶表示装置の一部を概略的に示した断面図である。

【図 2】従来の横電界型の液晶表示装置用アレイ基板の一画素を示した拡大平面図である。

。【図 3 A】図 2 の I I I - I I I 線に沿った、従来の製造工程を示した工程断面図である。

20

【図 3 B】図 3 A に続く製造工程を示す断面図である。

【図 3 C】図 3 B に続く製造工程を示す断面図である。

【図 3 D】図 3 C に続く製造工程を示す断面図である。

【図 3 E】図 3 D に続く製造工程を示す断面図である。

【図 3 F】図 3 E に続く製造工程を示す断面図である。

【図 3 G】図 3 F に続く製造工程を示す断面図である。

【図 3 H】図 3 G に続く製造工程を示す断面図である。

【図 4 A】図 2 の I V - I V 線に沿った、従来の製造工程を示した工程断面図である。

【図 4 B】図 4 A に続く製造工程を示す断面図である。

【図 4 C】図 4 B に続く製造工程を示す断面図である。

30

【図 4 D】図 4 C に続く製造工程を示す断面図である。

【図 4 E】図 4 D に続く製造工程を示す断面図である。

【図 4 F】図 4 E に続く製造工程を示す断面図である。

【図 4 G】図 4 F に続く製造工程を示す断面図である。

【図 4 H】図 4 G に続く製造工程を示す断面図である。

【図 5 A】図 2 の V - V 線に沿ってた、従来の製造工程を示した工程断面図である。

【図 5 B】図 5 A に続く製造工程を示す断面図である。

【図 5 C】図 5 B に続く製造工程を示す断面図である。

【図 5 D】図 5 C に続く製造工程を示す断面図である。

【図 5 E】図 5 D に続く製造工程を示す断面図である。

40

【図 5 F】図 5 E に続く製造工程を示す断面図である。

【図 5 G】図 5 F に続く製造工程を示す断面図である。

【図 5 H】図 5 G に続く製造工程を示す断面図である。

【図 6 A】図 2 の V I - V I 線に沿った、従来の製造工程を示した工程断面図である。

【図 6 B】図 6 A に続く製造工程を示す断面図である。

【図 6 C】図 6 B に続く製造工程を示す断面図である。

【図 6 D】図 6 C に続く製造工程を示す断面図である。

【図 6 E】図 6 D に続く製造工程を示す断面図である。

【図 6 F】図 6 E に続く製造工程を示す断面図である。

【図 6 G】図 6 F に続く製造工程を示す断面図である。

50

【図 6 H】図 6 G に続く製造工程を示す断面図である。

【図 7】本発明による横電界型の液晶表示装置用アレイ基板の一部を拡大した平面図である。

【図 8 A】図 7 の I X - I X 線に沿った断面図である。

【図 8 B】図 7 の X - X 線に沿った断面図である。

【図 8 C】図 7 の X I - X I 線に沿った断面図である。

【図 8 D】図 7 の X I I - X I I 線に沿った断面図である。

【図 9 A】図 7 の I X - I X 線に沿った、本発明の製造工程を示した工程断面図である。

【図 9 B】図 9 A に続く製造工程を示す断面図である。

【図 9 C】図 9 B に続く製造工程を示す断面図である。

10

【図 9 D】図 9 C に続く製造工程を示す断面図である。

【図 9 E】図 9 D に続く製造工程を示す断面図である。

【図 9 F】図 9 E に続く製造工程を示す断面図である。

【図 9 G】図 9 F に続く製造工程を示す断面図である。

【図 10 A】図 7 の X - X 線に沿った、本発明の製造工程を示した工程断面図である。

【図 10 B】図 10 A に続く製造工程を示す断面図である。

【図 10 C】図 10 B に続く製造工程を示す断面図である。

【図 10 D】図 10 C に続く製造工程を示す断面図である。

【図 10 E】図 10 D に続く製造工程を示す断面図である。

【図 10 F】図 10 E に続く製造工程を示す断面図である。

20

【図 10 G】図 10 F に続く製造工程を示す断面図である。

【図 11 A】図 7 の X I - X I 線に沿った、本発明の製造工程を示した工程断面図である。

【図 11 B】図 11 A に続く製造工程を示す断面図である。

【図 11 C】図 11 B に続く製造工程を示す断面図である。

【図 11 D】図 11 C に続く製造工程を示す断面図である。

【図 11 E】図 11 D に続く製造工程を示す断面図である。

【図 11 F】図 11 E に続く製造工程を示す断面図である。

【図 11 G】図 11 F に続く製造工程を示す断面図である。

【図 12 A】図 7 の X I I - X I I 線に沿った、本発明の製造工程を示した工程断面図である。

30

ある。

【図 12 B】図 12 A に続く製造工程を示す断面図である。

【図 12 C】図 12 B に続く製造工程を示す断面図である。

【図 12 D】図 12 C に続く製造工程を示す断面図である。

【図 12 E】図 12 D に続く製造工程を示す断面図である。

【図 12 F】図 12 E に続く製造工程を示す断面図である。

【図 12 G】図 12 F に続く製造工程を示す断面図である。

【図 13】本発明の変形例による横電界型の液晶表示装置用アレイ基板の一部を拡大した

平面図である。

【図 14】図 13 の X I V - X I V 線に沿った、本発明の製造工程を示した断面図である

40

。

【符号の説明】

【0045】

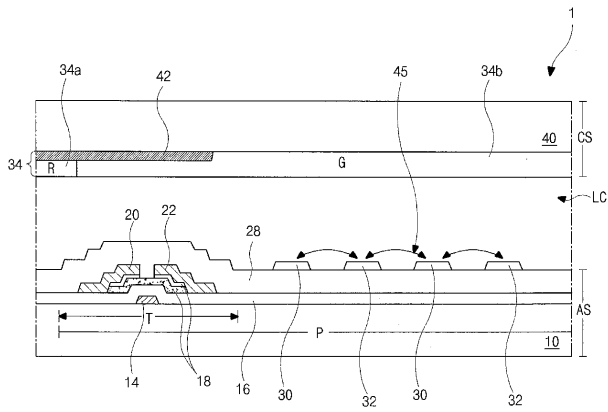
100 基板、102、ゲート電極、104 ゲート配線、106 ゲートパッド、1

08 共通配線、120 アクティブ層、128 ソース電極、130 ドレイン電極、

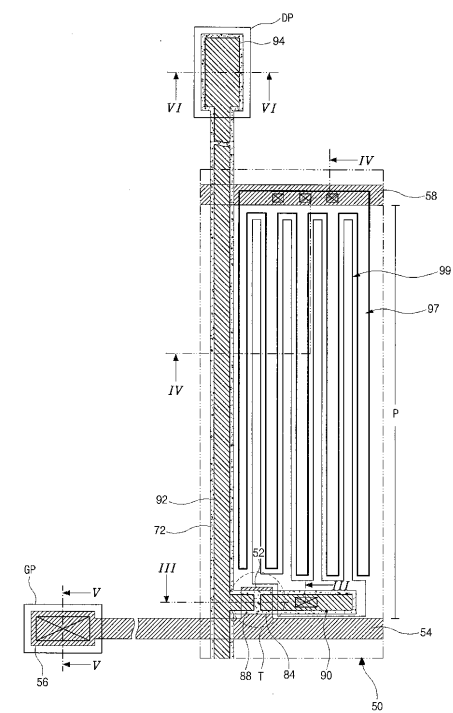
132 データ配線、134 データパッド、136 ゲートパッド電極、140 画素

電極、142 共通電極。

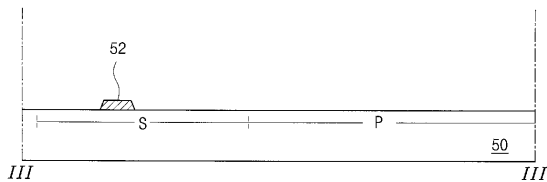
【図 1】



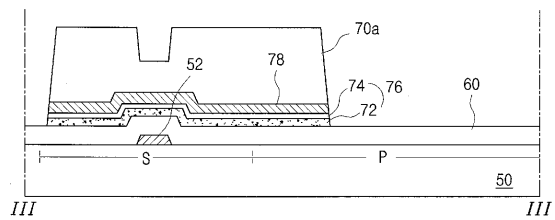
【図 2】



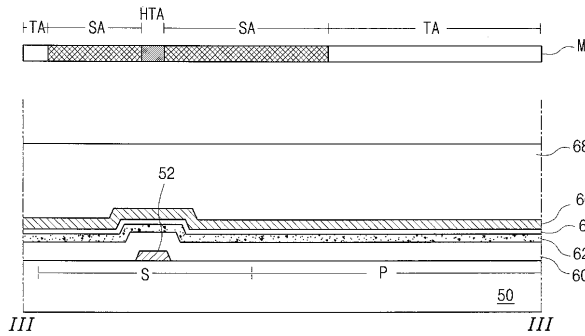
【図 3 A】



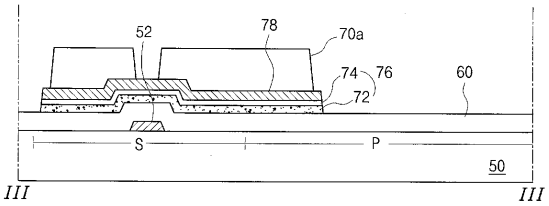
【图 3 D】



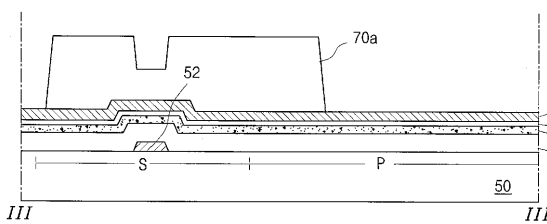
【図 3 B】



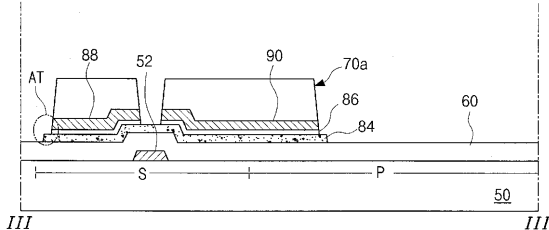
【図 3 E】



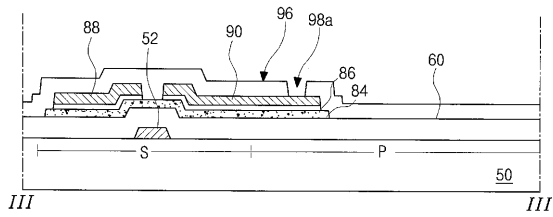
【図 3 C】



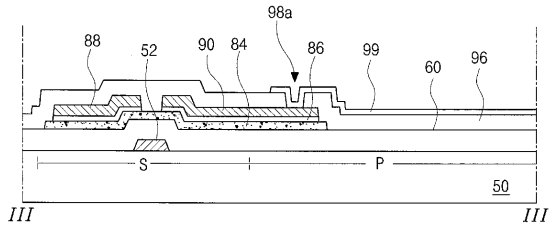
【図 3 F】



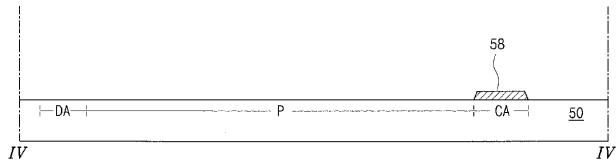
【図 3 G】



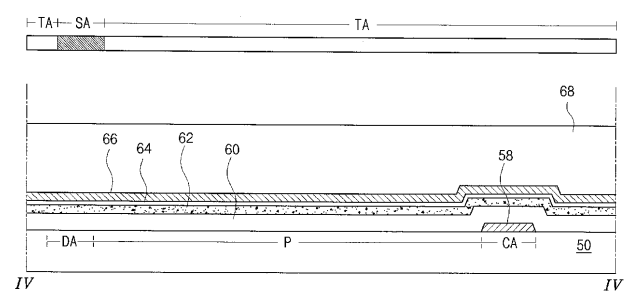
【図 3 H】



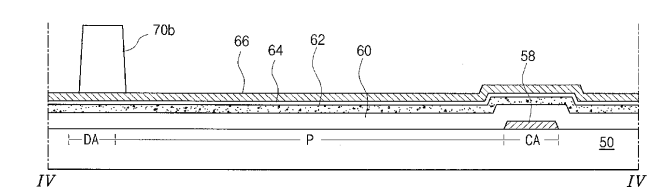
【図 4 A】



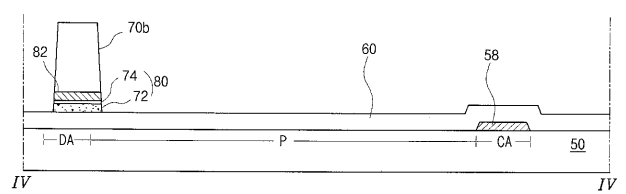
【図 4 B】



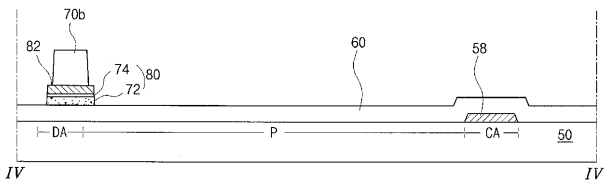
【図 4 C】



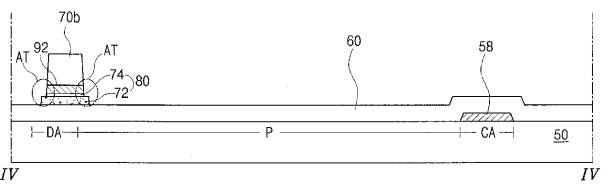
【図 4 D】



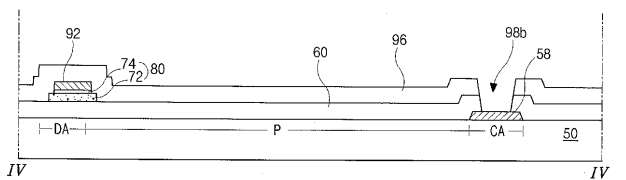
【図 4 E】



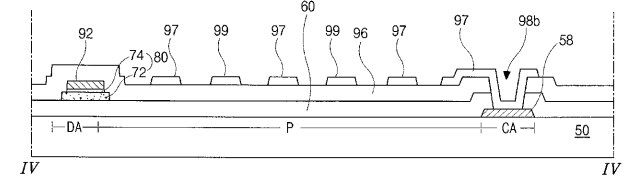
【図 4 F】



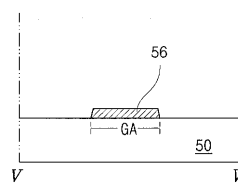
【図 4 G】



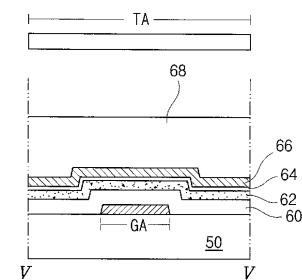
【図 4 H】



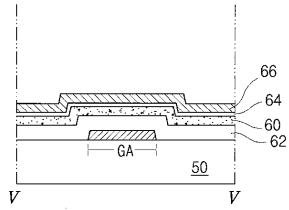
【図 5 A】



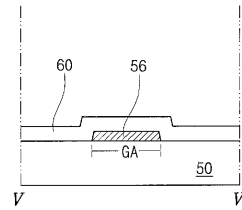
【図 5 B】



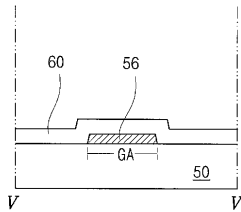
【図 5 C】



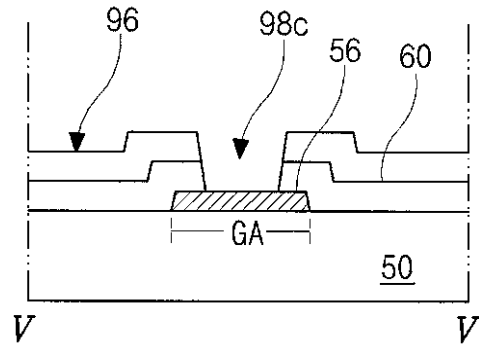
【図 5 F】



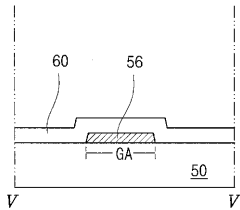
【図 5 D】



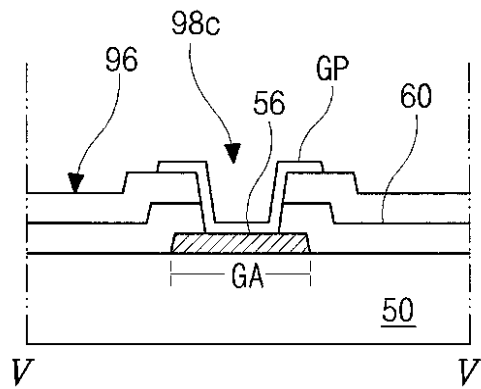
【図 5 G】



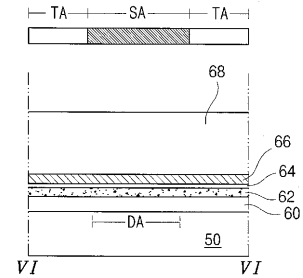
【図 5 E】



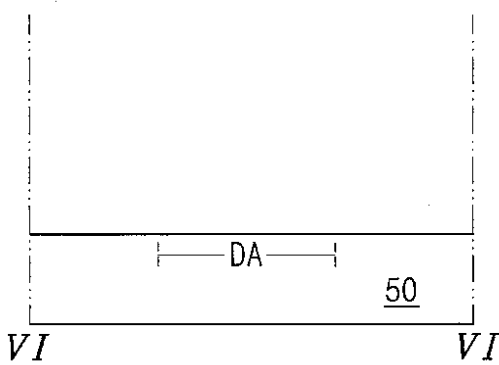
【図 5 H】



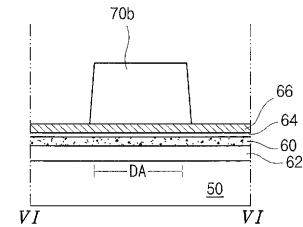
【図 6 B】



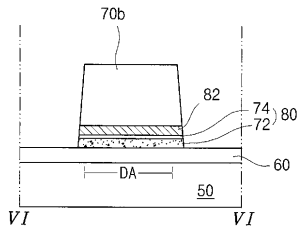
【図 6 A】



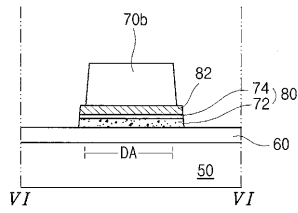
【図 6 C】



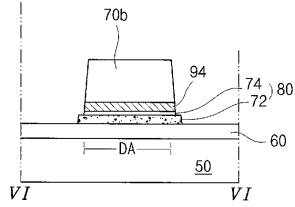
【図 6 D】



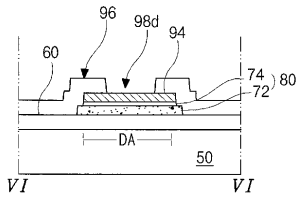
【図 6 E】



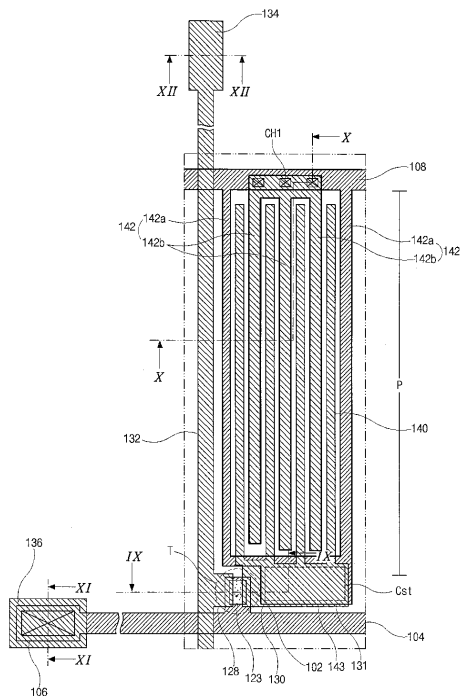
【図 6 F】



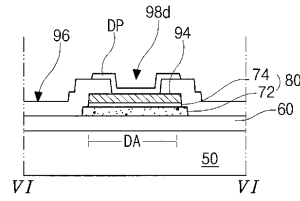
【図 6 G】



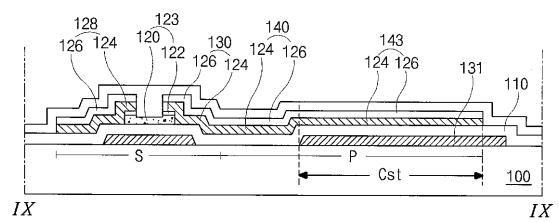
【図 7】



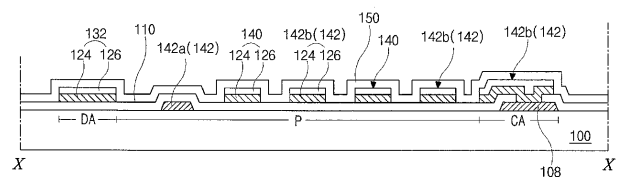
【図 6 H】



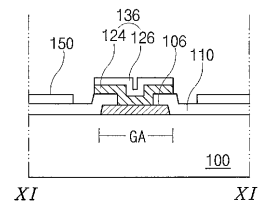
【図 8 A】



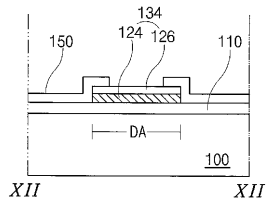
【図 8 B】



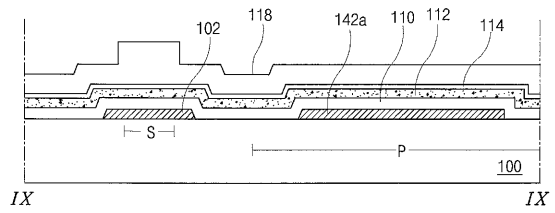
【図 8 C】



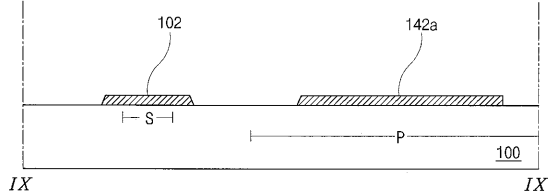
【図 8 D】



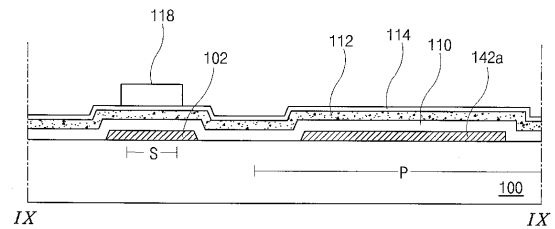
【図 9 C】



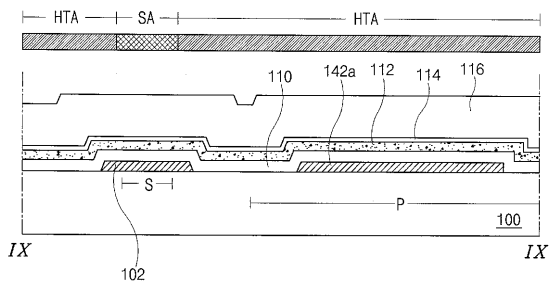
【図 9 A】



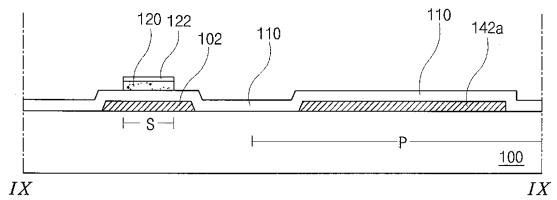
【図 9 D】



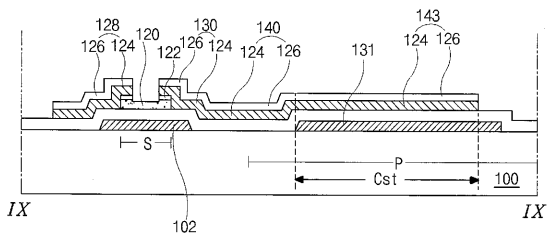
【図 9 B】



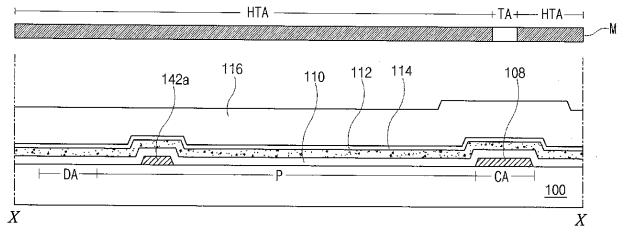
【図 9 E】



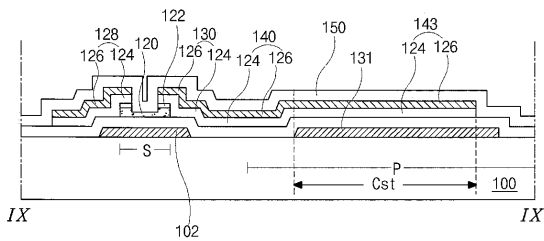
【図 9 F】



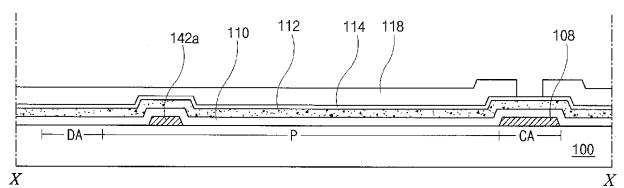
【図 10 B】



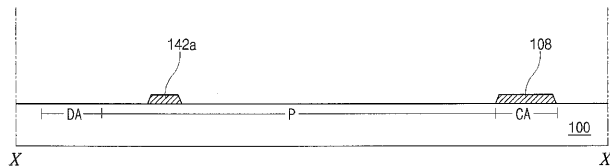
【図 9 G】



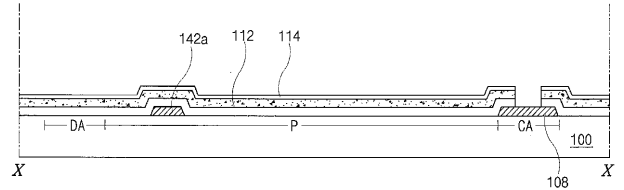
【図 10 C】



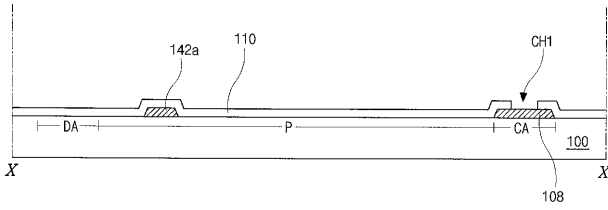
【図 10 A】



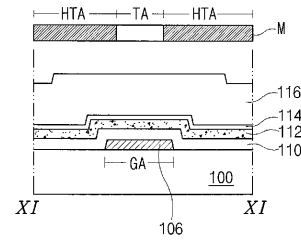
【図 10 D】



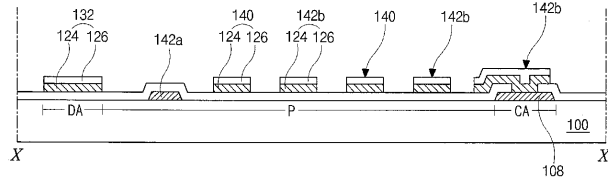
【図 10 E】



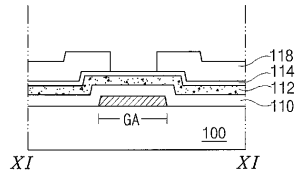
【図 11 B】



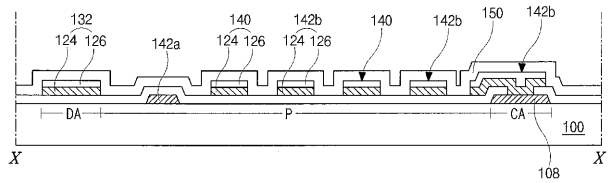
【図 10 F】



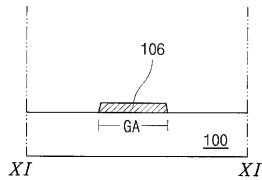
【図 11 C】



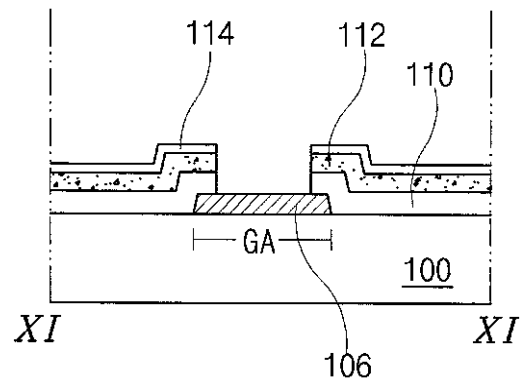
【図 10 G】



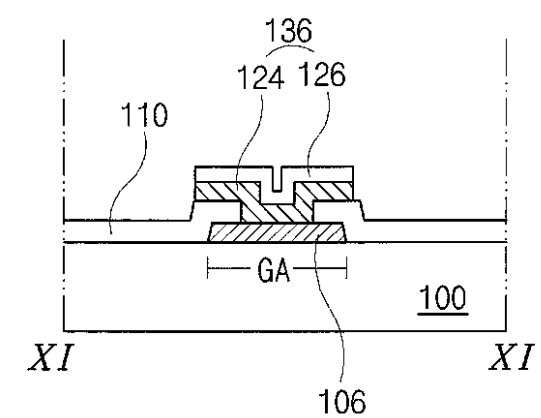
【図 11 A】



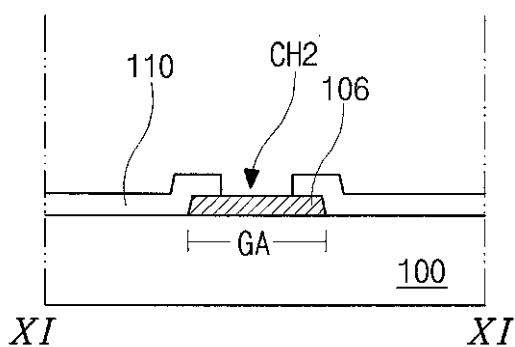
【図 11 D】



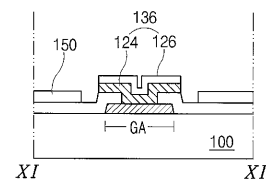
【図 11 F】



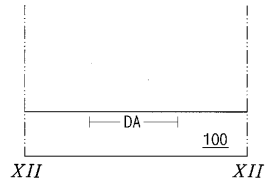
【図 11 E】



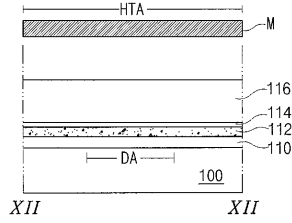
【図 11 G】



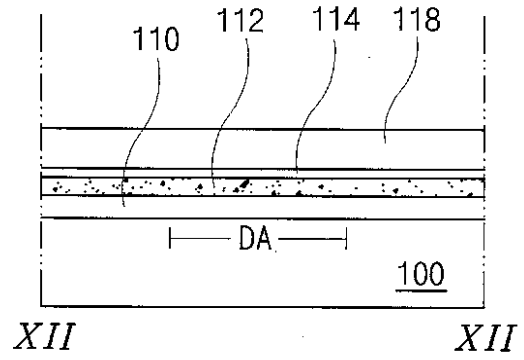
【図 1 2 A】



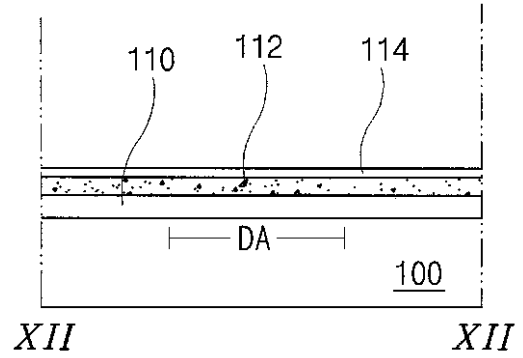
【図 1 2 B】



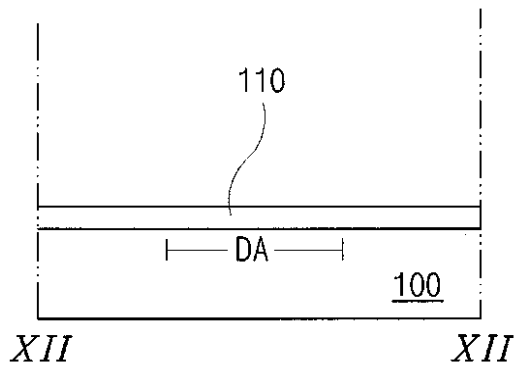
【図 1 2 C】



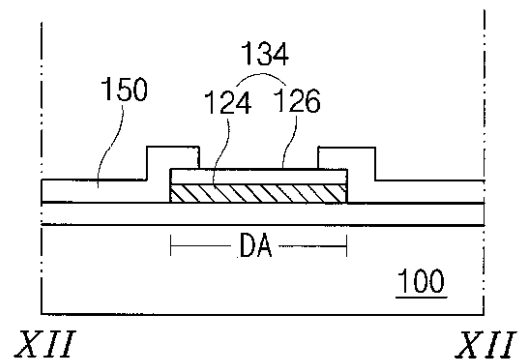
【図 1 2 D】



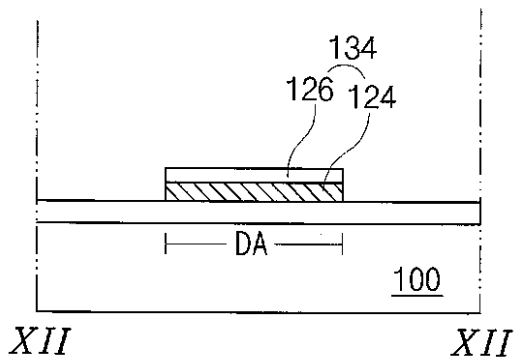
【図 1 2 E】



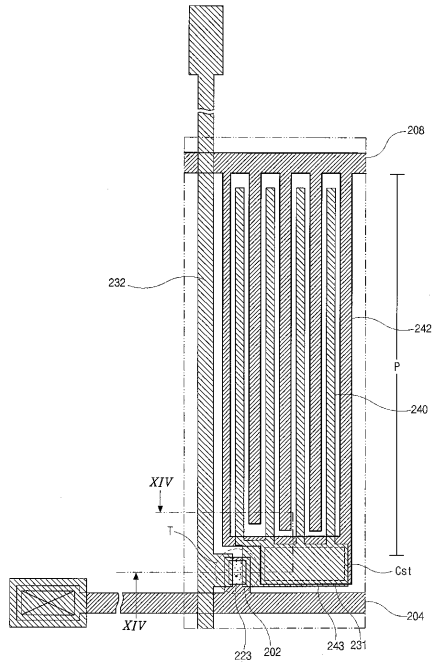
【図 1 2 G】



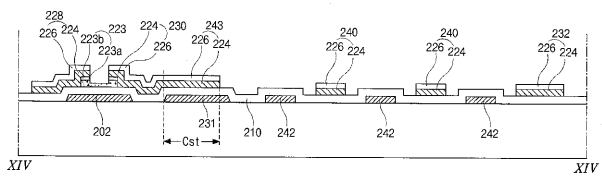
【図 1 2 F】



【図 13】



【図 14】



フロントページの続き

(72)発明者 ビョンークク・チョイ

大韓民国、405-732 インチョン、ナムドング、クウォル・１ードン、ペンド・アパート
メント 258 (20/3) 7/1307

(72)発明者 ヒョウウク・キム

大韓民国、730-300 キョンサンブクード、クミーシ、グピョンードン 454、グピョン
・3チャ・ブヨン・アパートメント 601/301

(72)発明者 チャンービン・リ

大韓民国、604-823 プサン、サハーグ、ダデ・１ードン 948-1、ジョソン・アパー
トメント 5/402

Fターム(参考) 2H092 GA14 GA32 HA04 HA06 JA10 JA24 JA30 JA34 JB14 JB22
JB31 JB67 JB69 KA05 KB04 MA27 NA11 NA21

专利名称(译)	用于横向电场型液晶显示装置的阵列基板及其制造方法		
公开(公告)号	JP2008015511A	公开(公告)日	2008-01-24
申请号	JP2007164291	申请日	2007-06-21
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji飞利浦杜迪股份有限公司		
[标]发明人	ビヨンククチョイ ヒヨウクキム チャンビンリ		
发明人	ビヨン-クク-チョイ ヒヨ-ウク-キム チャン-ビン-リ		
IPC分类号	G02F1/1368 G02F1/1343		
CPC分类号	H01L27/1288 G02F1/134363 G02F1/13439 G02F1/1368 H01L27/124 H01L29/41733		
FI分类号	G02F1/1368 G02F1/1343		
F-TERM分类号	2H092/GA14 2H092/GA32 2H092/HA04 2H092/HA06 2H092/JA10 2H092/JA24 2H092/JA30 2H092/JA34 2H092/JB14 2H092/JB22 2H092/JB31 2H092/JB67 2H092/JB69 2H092/KA05 2H092/KB04 2H092/MA27 2H092/NA11 2H092/NA21 2H192/AA24 2H192/BB03 2H192/BB66 2H192/BB72 2H192/CB05 2H192/CC72 2H192/DA12 2H192/FA65 2H192/HA44		
代理人(译)	英年古河 Kajinami秩序 上田俊一		
优先权	1020060060865 2006-06-30 KR		
其他公开文献	JP4925057B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：为横向电场液晶显示器类型提供阵列基板，实现高质量图像和高孔径比，并提供其制造方法。解决方案：本发明包括沿第一方向形成的栅极布线；数据布线沿第二方向形成，与第一方向交叉并限定像素域；在与栅极布线隔离的第一方向上形成的公共布线；栅极连接到栅极布线；岛状半导体层，形成在与栅电极重叠的区域中；源极连接到数据线；漏电极与源电极隔离，半导体层位于其间；多个像素电极，与漏电极集成并分支到像素区域中；多个公共电极连接到公共布线并在像素区域中分支，与像素电极交替。源电极，漏电极，数据布线和像素电极都具有这样的结构，其中形成金属材料的第一导电材料层和透明导电材料的第二导电材料层，后者层放置在前者上层。Z

