

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2007-65625
(P2007-65625A)

(43) 公開日 平成19年3月15日(2007.3.15)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H092
G02F 1/1368 (2006.01)	G02F 1/1368	2H093
G02F 1/133 (2006.01)	G02F 1/133 55O	5C006
G09G 3/20 (2006.01)	G09G 3/20 642E	5C080
	G09G 3/20 624B	
審査請求 有 請求項の数 17 O L (全 10 頁) 最終頁に続く		

(21) 出願番号 特願2006-180919 (P2006-180919)	(71) 出願人 501426046
(22) 出願日 平成18年6月30日 (2006.6.30)	エルジー・フィリップス エルシーデー
(31) 優先権主張番号 10-2005-0078865	カンパニー, リミテッド
(32) 優先日 平成17年8月26日 (2005.8.26)	大韓民国 ソウル, ヨンドウンポーク, ヨ
(33) 優先権主張国 韓国 (KR)	イドードン 20
	(74) 代理人 100064447
	弁理士 岡部 正夫
	(74) 代理人 100085176
	弁理士 加藤 伸晃
	(74) 代理人 100094112
	弁理士 岡部 譲
	(74) 代理人 100096943
	弁理士 臼井 伸一
	(74) 代理人 100101498
	弁理士 越智 隆夫
	最終頁に続く

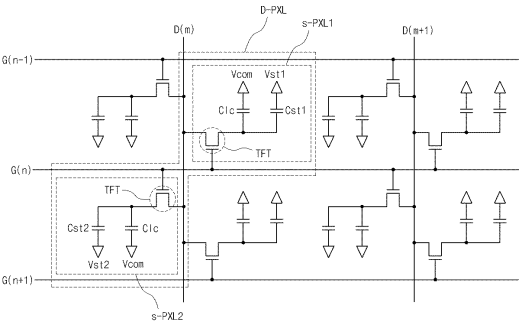
(54) 【発明の名称】 液晶表示装置及びその駆動方法

(57) 【要約】

【課題】本発明は、液晶表示装置とその駆動方法に係り、より詳しくは、広視野角を具現するVA (Vertical Alignment) 方式の液晶表示装置とその駆動方法に関する。

【解決手段】本発明は、相互に交差するゲート配線及びデータ配線と、前記ゲート配線及びデータ配線に連結されて、共通電圧と第1ストレージ電圧が印加される第1画素と、前記ゲート配線及びデータ配線に連結されて、前記共通電圧と第2ストレージ電圧が印加される第2画素とを含み、前記第1画素、第2画素は、前記ゲート配線を基準に相互の反対側に位置して、前記データ配線を基準に相互の反対側に位置する液晶表示装置を提供する。

【選択図】 図3



【特許請求の範囲】**【請求項 1】**

相互に交差するゲート配線及びデータ配線と、

前記ゲート配線及びデータ配線に連結されて、共通電圧と第 1 ストレージ電圧が印加される第 1 画素と、

前記ゲート配線及びデータ配線に連結されて、前記共通電圧と第 2 ストレージ電圧が印加される第 2 画素とを含み、前記第 1 画素、第 2 画素は、前記ゲート配線を基準に相互の反対側に位置して、前記データ配線を基準に相互の反対側に位置することを特徴とする液晶表示装置。

【請求項 2】

10

前記第 1 画素、第 2 画素各々は、前記ゲート配線及びデータ配線に連結される薄膜トランジスタと、前記薄膜トランジスタに連結されて共通電圧の印加を受ける液晶キャパシタと、前記薄膜トランジスタに連結されて第 1 ストレージ電圧または第 2 ストレージ電圧の印加を受けるストレージキャパシタとを含むことを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

前記共通電圧と第 1 ストレージ電圧、第 2 ストレージ電圧は、直流電圧であることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 4】

前記共通電圧のレベルは、前記第 1 ストレージ電圧、第 2 ストレージ電圧間に位置することを特徴とする請求項 3 に記載の液晶表示装置。

20

【請求項 5】

前記液晶表示装置は、V A 方式の液晶表示装置であることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 6】

多数のゲート配線にゲート電圧を順に印加する段階と、

多数のデータ配線にデータ電圧を印加する段階と、

第 1 画素、第 2 画素各々に直流電圧である第 1 ストレージ電圧、第 2 ストレージ電圧を印加して、前記第 1 画素、第 2 画素に共通電圧を印加する段階とを含み、前記第 1 画素、第 2 画素は、前記多数のゲート配線のいずれかの 1 つと前記多数のデータ配線のいずれかの 1 つに連結されることを特徴とする液晶表示装置の駆動方法。

30

【請求項 7】

前記第 1 画素、第 2 画素各々は、前記ゲート配線及びデータ配線に連結される薄膜トランジスタと、前記薄膜トランジスタに連結されて共通電圧の印加を受ける液晶キャパシタと、前記薄膜トランジスタに連結されて第 1 ストレージ電圧または第 2 ストレージ電圧の印加を受けるストレージキャパシタとを含むことを特徴とする請求項 6 に記載の液晶表示装置の駆動方法。

【請求項 8】

前記共通電圧は、直流電圧であることを特徴とする請求項 6 に記載の液晶表示装置の駆動方法。

40

【請求項 9】

前記共通電圧のレベルは、前記第 1 ストレージ電圧、第 2 ストレージ電圧間に位置することを特徴とする請求項 8 に記載の液晶表示装置の駆動方法。

【請求項 10】

前記共通電圧と前記第 1 ストレージ電圧、第 2 ストレージ電圧は、陽極性を有することを特徴とする請求項 8 に記載の液晶表示装置の駆動方法。

【請求項 11】

前記ゲート電圧のオン状態時間は、前記多数のゲート配線の順次によって増加することを特徴とする請求項 6 に記載の液晶表示装置の駆動方法。

【請求項 12】

50

前記液晶表示装置は、V A方式の液晶表示装置であることを特徴とする請求項6に記載の液晶表示装置の駆動方法。

【請求項13】

相互に交差するゲート配線及びデータ配線と、

前記ゲート配線及びデータ配線に連結されて、共通電圧と第1ストレージ電圧が印加される第1画素と、

前記ゲート配線及びデータ配線に連結されて、前記共通電圧と第2ストレージ電圧が印加される第2画素を含み、前記共通電圧と前記第1ストレージ電圧、第2ストレージ電圧は、直流電圧であることを特徴とする液晶表示装置。

【請求項14】

前記第1画素、第2画素は、前記ゲート配線を基準に相互の反対側に位置して、前記データ配線を基準に相互の反対側に位置することを特徴とする請求項13に記載の液晶表示装置。

【請求項15】

前記第1画素、第2画素各々は、前記ゲート配線及びデータ配線に連結される薄膜トランジスタと、前記薄膜トランジスタに連結されて共通電圧の印加を受ける液晶キャパシタと、前記薄膜トランジスタに連結されて第1ストレージ電圧または第2ストレージ電圧の印加を受けるストレージキャパシタとを含むことを特徴とする請求項13に記載の液晶表示装置。

【請求項16】

前記共通電圧のレベルは、前記第1ストレージ電圧、第2ストレージ電圧間に位置することを特徴とする請求項13に記載の液晶表示装置。

【請求項17】

前記液晶表示装置は、V A方式の液晶表示装置であることを特徴とする請求項13に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置とその駆動方法に係り、より詳しくは、広視野角を具現するV A (Vertical Alignment)方式の液晶表示装置とその駆動方法に関する。

【背景技術】

【0002】

最近では、液晶表示装置の視野角改善のための方法の1つとして液晶が垂直配列されたV A方式の液晶表示装置が提案され使われている。

【0003】

図1は、従来のV A方式の液晶表示装置を示した回路図であって、図2は、図1の液晶表示装置の画素に印加される共通電圧とストレージ電圧を示した波形図である。図1に示したように、従来の液晶表示装置は、第1方向に延長された多数のゲート配線($G(n-1)$ 、 $G(n)$ 、 $G(n+1)$)、第2方向に延長された多数のデータ配線($D(m-1)$ 、 $D(m)$ 、 $D(m+1)$)を含む。

【0004】

多数の画素は、マトリックス状に配置されている。各画素は、対応するゲート配線($G(n-1)$ 、 $G(n)$ 、 $G(n+1)$)と対応するデータ配線($D(m-1)$ 、 $D(m)$ 、 $D(m+1)$)に連結される。各画素は、薄膜トランジスタTFTと、液晶キャパシタC_{lc}と、ストレージキャパシタC_{st}を含む。

【0005】

液晶キャパシタC_{lc}の一電極は、薄膜トランジスタTFTに連結されており、他電極は、共通電圧V_{com}の印加を受ける。

ストレージキャパシタC_{st}の一電極は、薄膜トランジスタTFTに連結されており、他電極は、ストレージ電圧V_{st}の印加を受ける。ストレージ電圧V_{st}は、画素に貯蔵

10

20

30

40

50

される電圧の量を決定する。

【0006】

従来の液晶表示装置は、データ配線 ($D(m-1)$ 、 $D(m)$ 、 $D(m+1)$) の延長方向に沿って配置され、同一なゲート配線 ($G(n-1)$ 、 $G(n)$ 、 $G(n+1)$) に連結された2つの画素 (図1で、点線に示された2つの画素) が同一なデータ電圧の印加を受ける方式によって駆動される。同一な電圧の印加を受ける2つの画素は、画素ユニット PXL を定義する。

【0007】

図2に示したように、直流共通電圧 V_{com} と交流ストレージ電圧 V_{st} が画素に印加される。ストレージ電圧 V_{st} は、特定波数の共通電圧 V_{com} を基準にスイング (swing) する。画素ユニット PXL の1つの画素に印加されるストレージ電圧 V_{st} の波形は、画素ユニット PXL の他の画素に印加されるストレージ電圧 V_{st} の波形とは反対である。 10

【0008】

画素ユニット PXL の2つの画素に印加される共通電圧 V_{st} は、相互に異なる波形を有するために、2つの画素は、相互に異なる電圧を貯蔵するようになる。これによって、同一なデータ電圧の印加を受ける2つの画素に対して、液晶分子の回転角の差が発生する。このような差によって、液晶表示装置の視野角は向上する。

【0009】

ところが、従来の液晶表示装置は、下記の問題を有する。ストレージ電圧を伝送してデータ配線またはゲート配線と同一な工程で形成されるストレージ配線は、抵抗性負荷 (resistance load) 及び容量性負荷 (capacitance load) を有する。このようなストレージ配線の負荷は、ストレージ電圧がストレージ配線の経路に沿って減少される現象を誘発する。特に、ストレージ電圧は、交流電圧であるために、ストレージ電圧は、著しく減少される、これによって、画素がストレージ電圧の一端に近いほど、望むストレージ電圧が印加されなくなる。従って、視野角は狭くなり、画質は低下される。 20

【発明の開示】

【発明が解決しようとする課題】

【0010】

前述したような問題を解決するために、本発明は、視野角と画質を向上させた液晶表示装置及びその駆動方法を提供することを目的とする。 30

【課題を解決するための手段】

【0011】

前述したような目的を達成するために、本発明は、相互に交差するゲート配線及びデータ配線と、前記ゲート配線及びデータ配線に連結されて、共通電圧と第1ストレージ電圧が印加される第1画素と、前記ゲート配線及びデータ配線に連結されて、前記共通電圧と第2ストレージ電圧が印加される第2画素とを含み、前記第1画素、第2画素は、前記ゲート配線を基準に相互の反対側に位置して、前記データ配線を基準に相互の反対側に位置する液晶表示装置を提供する。

【0012】

ここで、前記第1画素、第2画素各々は、前記ゲート配線及びデータ配線に連結される薄膜トランジスタと、前記薄膜トランジスタに連結されて共通電圧の印加を受ける液晶キャパシタと、前記薄膜トランジスタに連結されて第1ストレージ電圧または第2ストレージ電圧の印加を受けるストレージキャパシタとを含む。 40

前記共通電圧と第1ストレージ電圧、第2ストレージ電圧は、直流電圧である。

前記共通電圧のレベルは、前記第1ストレージ電圧、第2ストレージ電圧間に位置させる。

前記液晶表示装置は、VA方式の液晶表示装置である場合がある。

【0013】

また、本発明は、多数のゲート配線にゲート電圧を順に印加する段階と、多数のデータ 50

配線にデータ電圧を印加する段階と、第 1 画素、第 2 画素各々に直流電圧である第 1 ストレージ電圧、第 2 ストレージ電圧を印加して、前記第 1 画素、第 2 画素に共通電圧を印加する段階とを含み、前記第 1 画素、第 2 画素は、前記多数のゲート配線のいずれかの 1 つと前記多数のデータ配線のいずれかの 1 つに連結される液晶表示装置の駆動方法を提供する。

【0014】

前記第 1 画素、第 2 画素各々は、前記ゲート配線及びデータ配線に連結される薄膜トランジスタと、前記薄膜トランジスタに連結されて共通電圧の印加を受ける液晶キャパシタと、前記薄膜トランジスタに連結されて第 1 ストレージ電圧または第 2 ストレージ電圧の印加を受けるストレージキャパシタとを含む。

10

前記共通電圧は、直流電圧である。

前記共通電圧のレベルは、前記第 1 ストレージ電圧、第 2 ストレージ電圧間に位置させる。

前記共通電圧と前記第 1 ストレージ電圧、第 2 ストレージ電圧は、陽極性を有する。

前記ゲート電圧のオン状態時間は、前記多数のゲート配線の順次によって増加される。

前記液晶表示装置は、VA方式の液晶表示装置である場合がある。

【0015】

さらに、本発明は、相互に交差するゲート配線及びデータ配線と、前記ゲート配線及びデータ配線に連結されて、共通電圧と第 1 ストレージ電圧が印加される第 1 画素と、前記ゲート配線及びデータ配線に連結されて、前記共通電圧と第 2 ストレージ電圧が印加される第 2 画素とを含み、前記共通電圧と前記第 1 ストレージ電圧、第 2 ストレージ電圧は、直流電圧である液晶表示装置を提供する。

20

【0016】

前記第 1 画素、第 2 画素は、前記ゲート配線を基準に相互の反対側に位置して、前記データ配線を基準に相互の反対側に位置する。

前記第 1 画素、第 2 画素各々は、前記ゲート配線及びデータ配線に連結される薄膜トランジスタと、前記薄膜トランジスタに連結されて共通電圧の印加を受ける液晶キャパシタと、前記薄膜トランジスタに連結されて第 1 ストレージ電圧または第 2 ストレージ電圧の印加を受けるストレージキャパシタとを含む。

前記共通電圧のレベルは、前記第 1 ストレージ電圧、第 2 ストレージ電圧間に位置させる。

30

前記液晶表示装置は、VA方式の液晶表示装置である場合がある。

【0017】

以下、添付された図を参照して、本発明の実施例を説明する。

【発明の効果】

【0018】

本発明の液晶表示装置では、同一なデータ電圧と同一なゲート電圧が印加される 2 つの画素は、相互に異なる直流電圧レベルのストレージ電圧の印加を受ける。これによって、全ての画素は、正常に駆動されて、広視野角と高画質を具現する。

【実施例】

40

【0019】

図 3 は、本発明の実施例による VA 方式の液晶表示装置を示した回路図であって、図 4 は、図 3 の液晶表示装置に印加される共通電圧とストレージ電圧を示した波形図である。

【0020】

図 3 に示したように、第 1 方向に延長された多数のゲート配線 ($G(n-1)$ 、 $G(n)$ 、 $G(n+1)$)、第 2 方向に延長された多数のデータ配線 ($D(m)$ 、 $D(m+1)$) を含む。多数のゲート配線 ($G(n-1)$ 、 $G(n)$ 、 $G(n+1)$) と多数のデータ配線 ($D(m)$ 、 $D(m+1)$) は、多数の画素領域を定義する。図面には示していないが、液晶表示装置は、第 1 基板、第 2 基板、両基板間に位置する液晶層を含み、多数のゲート配線 ($G(n-1)$ 、 $G(n)$ 、 $G(n+1)$) と多数のデータ配線 ($D(m)$ 、 $D(m+1)$) を含む。

50

$m + 1$)) は、第 1 基板上に位置する。

【 0 0 2 1 】

多数の画素は、マトリックス状に配置されている。各画素は、対応するゲート配線 ($G (n - 1)$)、 $G (n)$)、 $G (n + 1)$) と、対応するデータ配線 ($D (m - 1)$)、 $D (m)$)、 $D (m + 1)$) に連結されている。いずれかの 1 つのデータ配線の両側に位置する画素、すなわち、いずれかの 1 つのデータ配線を基準に隣接する 2 列に位置する画素は、いずれかの 1 つのデータ配線に連結されている。また、データ配線を共有する同一の行に位置する 2 つの画素うち、隣接する 2 つの列の 1 つに位置する画素は、いずれかの 1 つのゲート配線に連結されて、隣接する 2 つの列の残りに位置する画素は、いずれかの 1 つのゲート配線の次のゲート配線に連結される。すなわち、同一なデータ配線と同一なゲート配線を共有する 2 つの画素は、対角線方向に位置する。これによって、対角線方向に位置する 2 つの画素は、画素ユニットを定義し、同一なデータ電圧の印加を受ける。

【 0 0 2 2 】

また、データ配線の右側及びゲート配線の上側に位置する画素は、第 1 画素 $s - P \times L_1$ と称し、データ配線の左側及びゲート配線の下側に位置する画素は、第 2 画素 $s - P \times L_2$ と称して、第 1 画素、第 2 画素は、画素ユニットを定義する。

【 0 0 2 3 】

前述したように、データ配線の両側に位置する画素は、データ配線を共有する。これによって、データ配線の数、従来に比べて、半分ほどに減少される。従って、開口率と製造費用は、節減される。

【 0 0 2 4 】

各画素は、薄膜トランジスタ TFT と、液晶キャパシタ C_{lc} と、ストレージキャパシタ C_{st} を含む。液晶キャパシタ C_{lc} の一電極 (画素電極) は、薄膜トランジスタ TFT に連結されており、他電極 (共通電極) は、共通電圧 V_{com} の印加を受ける。図面に示してないが、画素電極は、第 1 基板上の各画素に形成されて、共通電極は、第 2 基板の全面に形成される。画素電極と、共通電極と、両電極間の液晶層は、液晶キャパシタ C_{lc} を定義する。

【 0 0 2 5 】

ストレージキャパシタ C_{st} の一電極は、薄膜トランジスタ TFT に連結される。ストレージキャパシタ C_{st} の他電極は、第 1 ストレージ配線または第 2 ストレージ配線 (図示せず) と連結される。第 1 ストレージ配線、第 2 ストレージ配線各々は、第 1 ストレージ電圧 V_{st1} 、第 2 ストレージ電圧 V_{st2} を供給する。例えば、奇数番目の行に位置する画素は、第 1 ストレージ電圧 V_{st1} の供給を受けて、偶数番号の行に位置する画素は、第 2 ストレージ電圧 V_{st2} の供給を受ける。

【 0 0 2 6 】

さらに、第 1 画素 $s - P \times L_1$ のストレージキャパシタ C_{st1} は、第 1 ストレージ電圧 V_{st1} の供給を受けて、第 2 画素 $s - P \times L_2$ のストレージキャパシタ C_{st2} は、第 2 ストレージ電圧 V_{st2} の供給を受ける。図面には示してないが、第 1 ストレージ配線、第 2 ストレージ配線は、第 1 基板上に形成される。

【 0 0 2 7 】

第 1 ストレージ電圧 V_{st1} または第 2 ストレージ電圧 V_{st2} は、対応する画素に貯蔵されるデータ電圧の量を決定する。共通電圧 V_{com} と第 1 ストレージ電圧 V_{st1} 、第 2 ストレージ電圧 V_{st2} は、直流電圧である。

【 0 0 2 8 】

直流第 1 ストレージ電圧 V_{st1} 、第 2 ストレージ電圧 V_{st2} を使用することによって、従来で交流ストレージ電圧を使用することによるストレージ配線の負荷は減少される。従って、画素の位置に関係なく、第 1 ストレージ電圧 V_{st1} 、第 2 ストレージ電圧 V_{st2} を全ての画素に均一に供給される。

【 0 0 2 9 】

第 1 ストレージ電圧 V_{st1} 、第 2 ストレージ電圧 V_{st2} は、共通電圧 V_{com} を基

準に反対される位相を有する。同一なデータ電圧の印加を受ける第1画素 $s-PXL1$ 、第2画素 $s-PXL2$ は、各々第1ストレージ電圧 V_{st1} 、第2ストレージ電圧 V_{st2} の印加を受けるために、第1画素 $s-PXL1$ 、第2画素 $s-PXL2$ 間の液晶分子の回転角の差が発生する。これによって、視野角が改善する。

【0030】

図4に示したように、共通電圧 V_{com} は、全ての画素に均一に供給される。第1ストレージ電圧 V_{st1} 、第2ストレージ電圧 V_{st2} は、相互に反対される位相を有する。第1ストレージ電圧 V_{st1} は、共通電圧 V_{com} より高いレベルを有して、第2ストレージ電圧 V_{st2} は、共通電圧 V_{com} より低いレベルを有する。共通電圧 V_{com} と第1ストレージ電圧 V_{st1} 、第2ストレージ電圧 V_{st2} は、陽極性を有する場合がある。例えば、共通電圧 V_{com} は、大体5Vないし6Vの電圧を有して、第1ストレージ電圧 V_{st1} 、第2ストレージ電圧 V_{st2} は、共通電圧 V_{com} に比べて、数百mVないし数V程度の電圧レベルの差を有する。第1ストレージ電圧 V_{st1} と第2ストレージ電圧 V_{st2} の電圧レベルは、必要に応じて、相互に変わることもできる。

10

【0031】

本発明の実施例によるVA方式の液晶表示装置の駆動方法を、図3と図4を参照して説明する。

【0032】

共通電圧 V_{com} は、全ての画素に供給される。第1ストレージ電圧 V_{st1} 、第2ストレージ電圧 V_{st2} は、対応する画素に供給されるが、例えば、第1画素 $s-PXL1$ 、第2画素 $s-PXL2$ に各々供給される。第1ストレージ電圧 V_{st1} 、第2ストレージ電圧 V_{st2} は、相互に異なる電圧レベルを有する。共通電圧 V_{com} は、第1ストレージ電圧 V_{st1} 、第2ストレージ電圧 V_{st2} より先に供給されることができる。

20

【0033】

ゲート電圧は、順にゲート配線 ($G(n-1)$ 、 $G(n)$ 、 $G(n+1)$) に供給される。ゲート配線 ($G(n-1)$ 、 $G(n)$ 、 $G(n+1)$) にオン状態のゲート電圧が印加されると、ゲート配線 ($G(n-1)$ 、 $G(n)$ 、 $G(n+1)$) に連結された薄膜トランジスタTFTは、ターンオン (turn-on) される。例えば、 n 番目のゲート配線 $G(n)$ にオン状態のゲート電圧が印加されると、画素単位 $D-PXL$ の第1画素 $s-PXL1$ 、第2画素 $s-PXL2$ の薄膜トランジスタTFTがターンオンされる。薄膜トランジスタTFTがターンオンされると、データ配線 ($D(m)$ 、 $D(m+1)$) を通じてデータ電圧がターンオンされた画素に印加される。第1画素 $s-PXL1$ 、第2画素 $s-PXL2$ は、同一なゲート配線及び同一なデータ配線に連結されているために、第1画素 $s-PXL1$ 、第2画素 $s-PXL2$ は、同一なデータ電圧の印加を受ける。

30

【0034】

図5は、本発明の実施例によるVA方式の液晶表示装置のゲート配線に印加されるゲート電圧を示した波形図である。

図5に示したように、ゲート配線 ($G(n-1)$ 、 $G(n)$ 、 $G(n+1)$) が順に走査される時、ゲート配線 ($G(n-1)$ 、 $G(n)$ 、 $G(n+1)$) に印加されるゲート電圧のオン状態時間 ($T1$ 、 $T2$ 、 $T3$) は増加する ($T1 < T2 < T3$)。データ配線は、抵抗性負荷及び容量性負荷を有するために、データ配線の位置がデータ駆動ICから遠くなるほどデータ電圧は減少される。すなわち、ゲート電圧のオン状態時間 ($T1$ 、 $T2$ 、 $T3$) を画素の位置によって増加させることによって、データ電圧を充電する十分な時間が画素に与えられ、全ての画素は、正常なデータ電圧を有する。

40

【0035】

従って、データ配線の負荷によるデータ電圧の送信損失及び画素に貯蔵されるデータ電圧の消失が最小化される。

【0036】

前述したように、同一なデータ電圧と同一なゲート電圧が印加される第1画素、第2画素は、相互に異なる電圧レベルの第1ストレージ電圧、第2ストレージ電圧の印加を受け

50

る。第1ストレージ電圧、第2ストレージ電圧は、直流電圧である。これによって、全ての画素は、正常に駆動されて、広視野角と高画質を具現する。

【図面の簡単な説明】

【0037】

【図1】従来のVA方式の液晶表示装置を示した回路図である。

【図2】図1の液晶表示装置の画素に印加される共通電圧とストレージ電圧を示した波形図である。

【図3】本発明の実施例によるVA方式の液晶表示装置を示した回路図である。

【図4】図3の液晶表示装置に印加される共通電圧とストレージ電圧を示した波形図である。

【図5】本発明の実施例によるVA方式の液晶表示装置のゲート配線に印加されるゲート電圧を示した波形図である。

【符号の説明】

【0038】

D(m)、D(m+1)：データ配線

G(n-1)、G(n)、G(n+1)：ゲート配線

D-PXL：画素ユニット

TFT：薄膜トランジスタ

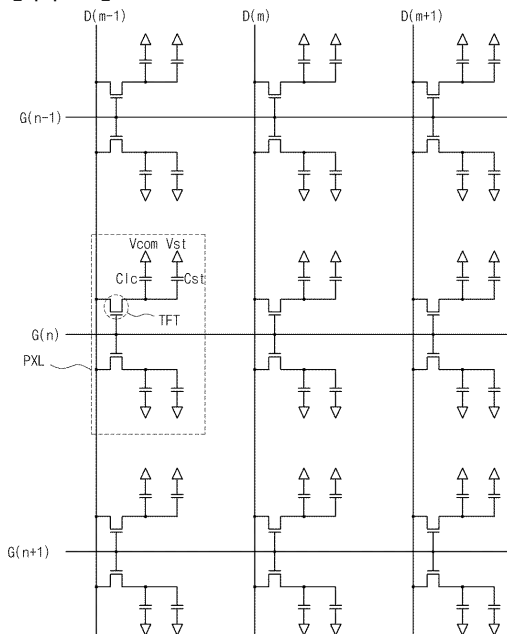
Clc：液晶キャパシタ

Cst：ストレージキャパシタ

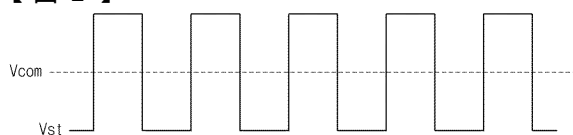
Vcom：共通電圧

Vst：ストレージ電圧

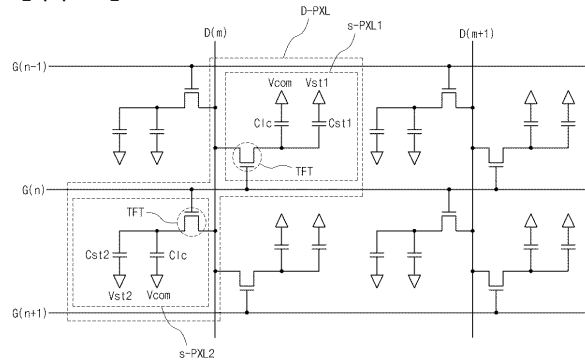
【図1】



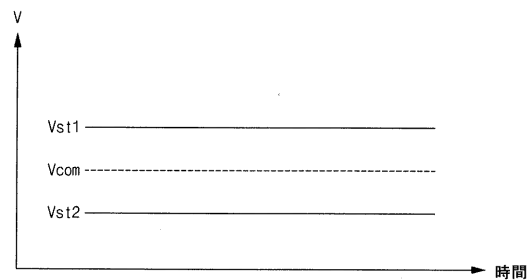
【図2】



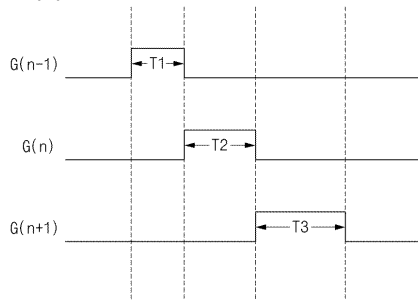
【図3】



【図4】



【 図 5 】



フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	G 0 9 G 3/20	6 2 4 Z
	G 0 9 G 3/20	6 2 1 M
	G 0 9 G 3/20	6 8 0 G

(74)代理人 100096688

弁理士 本宮 照久

(74)代理人 100104352

弁理士 朝日 伸光

(74)代理人 100128657

弁理士 三山 勝巳

(72)発明者 ハ ウスク

大韓民国 4 4 9 - 5 4 6 キョンギド ヨンインシ チュクチョン2(アイ)ドン ピョクサン
 チェルシーヴィル アパート 1 0 0 2 - 1 1 0 3

F ターム(参考) 2H092 JA23 JB11 JB22 JB31 JB69 NA01

2H093 NC02 NC09 NC11 NC18 NC34 NC35 ND13

5C006 AA16 AC25 AF46 AF50 AF51 AF53 BB16 BC02 BC03 BC06

BC11 BC20 BF43 EB05 FA21 FA55

5C080 AA10 BB05 DD03 DD28 EE28 FF11 JJ03 JJ04 JJ05

专利名称(译)	液晶显示装置及其驱动方法		
公开(公告)号	JP2007065625A	公开(公告)日	2007-03-15
申请号	JP2006180919	申请日	2006-06-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji.菲利普斯杜天公司，有限公司		
[标]发明人	ハウスク		
发明人	ハ ウスク		
IPC分类号	G09G3/36 G02F1/1368 G02F1/133 G09G3/20		
CPC分类号	G09G3/3648 G09G2300/0465 G09G2300/0876 G09G2320/0223 G09G2320/028		
FI分类号	G09G3/36 G02F1/1368 G02F1/133.550 G09G3/20.642.E G09G3/20.624.B G09G3/20.624.Z G09G3/20.621.M G09G3/20.680.G		
F-TERM分类号	2H092/JA23 2H092/JB11 2H092/JB22 2H092/JB31 2H092/JB69 2H092/NA01 2H093/NC02 2H093/NC09 2H093/NC11 2H093/NC18 2H093/NC34 2H093/NC35 2H093/ND13 5C006/AA16 5C006/AC25 5C006/AF46 5C006/AF50 5C006/AF51 5C006/AF53 5C006/BB16 5C006/BC02 5C006/BC03 5C006/BC06 5C006/BC11 5C006/BC20 5C006/BF43 5C006/EB05 5C006/FA21 5C006/FA55 5C080/AA10 5C080/BB05 5C080/DD03 5C080/DD28 5C080/EE28 5C080/FF11 5C080/JJ03 5C080/JJ04 5C080/JJ05 2H192/AA24 2H192/BC26 2H192/CC22 2H192/CC62 2H192/DA12 2H192/GD61 2H192/JA13 2H193/ZA04 2H193/ZF02 2H193/ZF59		
代理人(译)	臼井伸一 朝日 伸光		
优先权	1020050078865 2005-08-26 KR		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供VA（垂直取向）型液晶显示装置，并提供一种驱动该装置的方法，其更详细地体现宽视角。ŽSOLUTION：液晶显示装置包括多条栅极线和多条彼此交叉的数据线；第一像素连接到多条栅极线之一和多条数据线中的一条，其上施加有公共电压和第一存储电压；第二像素连接到多条栅极线之一和多条数据线中的一条，公共电压和第二存储电压施加到第二像素，其中第一和第二像素位于相对侧，相对于多条数据线中的一条，相对于多条栅极线之一并位于相对侧。Ž

