

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2006-510941

(P2006-510941A)

(43) 公表日 平成18年3月30日(2006.3.30)

(51) Int.Cl.

G02F 1/1368 (2006.01)

F I

G02F 1/1368

テーマコード (参考)

2H092

審査請求 未請求 予備審査請求 未請求 (全 16 頁)

(21) 出願番号 特願2004-561827 (P2004-561827)
 (86) (22) 出願日 平成15年12月9日 (2003.12.9)
 (85) 翻訳文提出日 平成17年8月18日 (2005.8.18)
 (86) 国際出願番号 PCT/IB2003/005886
 (87) 国際公開番号 W02004/057416
 (87) 国際公開日 平成16年7月8日 (2004.7.8)
 (31) 優先権主張番号 0229699.4
 (32) 優先日 平成14年12月19日 (2002.12.19)
 (33) 優先権主張国 英国 (GB)

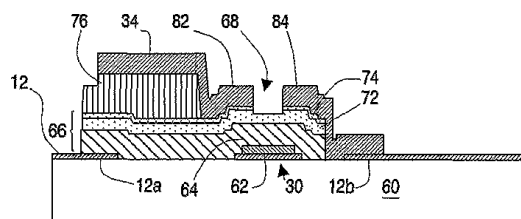
(71) 出願人 590000248
 コーニンクレッカ フィリップス エレクトロニクス エヌ ヴィ
 Koninklijke Philips Electronics N. V.
 オランダ国 5621 ペーアー アイン
 ドーフェン フルーネヴァウツウェッハ
 1
 Groenewoudseweg 1, 5
 621 BA Eindhoven, The Netherlands

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

液晶表示装置用アクティブ・プレートが、複数の列として配置された絶縁層(76)を有し、各絶縁層の配列は、2つの隣接する画素列からなる画素電極(12)と重なり合う。不透明な導体層が基板上に形成され、パターン形成されて絶縁層の最上部の列導体(34)と、薄膜トランジスタ層(66)の最上部上のトランジスタ用ソース電極およびドレイン電極とを画定する。それゆえ、絶縁層(76)は列導体(34)の下に画定されるので、交差する行導体と列導体の間にある。さらに、絶縁層(76)の列は隣接する対になった画素電極(12)と重なり合うので、列導体が画素電極と重なり合うことが可能であり、これにより画素の開口が増加する。しかしながら、透明な画素電極(12)は堆積される第1の層である。これによってプロセス簡便化の利益が与えられ、これに対応する高品質なアクティブ・マトリックスLCD(AMLCD)表示装置の製造コストが低減される。



【特許請求の範囲】

【請求項 1】

ほぼ透明な導体層を堆積してパターンングし、行および列で配設された、絶縁基板上の画素電極の配列を画定することと、

前記画素電極に対して行導体と前記絶縁基板上の異なった領域上の接続されたゲート導体部とを画定することと、

ゲート絶縁体と半導体層とを少なくとも含む薄膜トランジスタ層を前記ゲート導体部上で堆積してパターンングし、トランジスタ体を形成することと、

複数の列として配設された絶縁層であって、各絶縁層列が、2つの隣接する画素列からなる画素電極と重なり合う絶縁層を形成することと、

前記基板上で不透明な導体層を形成し、前記不透明な導体層をパターンングして、前記絶縁層の最上部上の列導体と、一方が列導体に接続され他方が関連する画素電極に接続される、前記薄膜トランジスタ層の最上部のトランジスタ用ソース電極およびドレイン電極とを画定することと、

を備える、液晶表示装置用アクティブ・プレートの形成方法。

【請求項 2】

各トランジスタ体の前記薄膜トランジスタ層もまた、隣接する画素電極と重なり合う請求項 1 に記載の方法。

【請求項 3】

前記絶縁層はポリマーを含む請求項 1 または 2 に記載の方法。

【請求項 4】

前記ポリマーは感光性アクリルポリマーを含む請求項 3 に記載の方法。

【請求項 5】

前記画素電極の配列および前記行導体を画定することは第 1 の単一マスク工程によって実施される請求項 1 または 2 に記載の方法。

【請求項 6】

トランジスタ体および前記絶縁層の形成は第 2 の単一マスク工程によって実施される請求項 5 に記載の方法。

【請求項 7】

前記列導体並びにソース電極およびドレイン電極の形成は第 3 の単一マスク工程によって実施される請求項 6 に記載の方法。

【請求項 8】

各単一マスク工程はハーフトーン・フォトマスクを使用する請求項 7 に記載の方法。

【請求項 9】

液晶が間に挟まれたアクティブ・プレートとパッシブ・プレートとを備えるアクティブ・マトリックス液晶表示装置であって、前記アクティブ・プレートは、

絶縁基板と、

前記絶縁基板上の異なった領域を占める、ほぼ透明である画素電極の行および列の配列、並びに、ゲート導体部を有する行導体の配列と、

トランジスタ体を形成する前記ゲート導体部上の薄膜トランジスタ層と、

複数の列として配設された絶縁層であって、各絶縁層列が、2つの隣接する画素列からなる画素電極と重なり合う絶縁層と、

前記絶縁層の最上部に設けられた不透明な列導体と、

前記薄膜トランジスタ層の最上部のトランジスタ用ソース電極およびドレイン電極であって、一方が列導体に接続され他方が関連する画素電極に接続されるソース電極およびドレイン電極と、を含む、アクティブ・マトリックス液晶表示装置。

【請求項 10】

前記薄膜トランジスタ層は、トランジスタ体に加えて、前記絶縁層の下にある列を画定する請求項 9 に記載の装置。

【請求項 11】

10

20

30

40

50

前記絶縁層はポリマーを含む請求項 9 または 10 に記載の装置。

【請求項 12】

前記ポリマーは感光性アクリルポリマーを含む請求項 11 に記載の装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明はアクティブ・マトリックス液晶表示装置に関し、詳細には、このような表示装置の製造に使用され、アクティブ・プレートとして知られるトランジスタ基板に関する。

【背景技術】

【0002】

液晶表示装置は一般にアクティブ・プレートとパッシブ・プレートとを備え、その間に液晶が挟まれている。このアクティブ・プレートはトランジスタのスイッチング素子の配列を含んでおり、一般に 1 つのトランジスタが表示装置の各画素に関連付けられている。各画素もまた、個々の画素の輝度を調節するために信号が印加されるアクティブ・プレート上の 1 つの画素電極に関連付けられている。

【0003】

図 1 は AMLCD の透過領域の典型的な図を示している。基本の画素は四角形であるが、赤色 10a、緑色 10b および青色 10c の 3 つの垂直な副画素 10 に分割されている。光学的開口を増加させる（すなわち、変調光の出力が与えられる領域を増加させる）ためには、ブラック・ラインの幅、H および W を減少させることが必要である。副画素の縦幅と横幅の比が 3 : 1 であるために、列幅 W をある量（たとえば、1 ミクロン）だけ減少させることは、これに対応した行の幅 H の減少させた場合の 3 倍多く光学的開口を増加させる。

【0004】

アクティブ・プレートの広い領域が少なくとも部分的に透明であり、表示装置が一般にバック・ライトで照らされているのでこのことが必要とされる。主に、不透明な行および列の各導体によって覆われている領域はこのプレートの唯一の不透明部分である。画素電極がこの透明領域を覆っていない場合は、画素電極によって変調されていないが、バック・ライトからの光は受ける液晶材料の領域が存在することになる。これによって表示装置のコントラスト比および黒度が低下する。

【0005】

図 2 は、画素電極 12 が列の各導体 14 間に設けられ、その結果、アクティブ・プレート上の各画素と列の各導体間に隙間 16 が存在し、これにより変調されていない光 18 が通り抜ける構成を示している。LC 層の領域 20 は、列導体 14 でシールドされるのに対して、領域 22 は画素電極 12 によって変調される。これはいわゆる「標準的」表示装置である。このような表示装置では、アクティブ・プレートのこれらの領域をシールドするため、またそれらの動作特性が光依存性の際は余分にトランジスタをシールドするためにブラック・マスク層が一般に設けられる。従来の方法では、このブラック・マスク層はアクティブ・マトリックス・セルのパッシブ・プレート上に配置されている。セル製造時のプレート毎の配向は、基板上の層毎の配向よりも精度が低い。このことは、画素の端部において迷光を確実にさえぎるためにブラック・マスクはかなり広くしなければならないことを示している。図 3 は、パッシブ・プレート上のブラック・マスク 24 を備えたセルを示しており、必要な重なりは参照数字 26 で示している。ブラック・マスク層 24 の列幅が図 1 の幅 W を規定している。

【0006】

この重なりが表示画素の開口を減少させ、これによって表示装置の出力効率が低下する。このことは、携帯型製品等のバッテリー駆動装置の場合に特に望ましくない。

【0007】

図 4 は図 1 に示す副画素を構成する電気素子を示している。行導体 30 は、TF T 32 のゲートに接続され、列電極 34 はソースに結合されている。画素上に設けられた液晶材

10

20

30

40

50

料は、トランジスタ 3 2 のドレインと共通の接地板 3 8 の間に延びる液晶セル 3 6 を効果的に画定する。この接地板 3 8 はパッシブ・プレートによって画定され、LCセルの他の端子は画素電極 1 2 によって画定される。画素ストレージ・キャパシタ 4 0 がトランジスタ 3 2 のドレインと、隣接する画素行に関連付けられた行導体との間で、または分離ライン 4 1 に接続されている。

【 0 0 0 8 】

必要なマスク機能を提供するために、アクティブ・プレートの層を使用することが提案されてきた。たとえば 1 つの提案は、画素電極 1 2 を行導体および列導体 3 0 , 3 4 と重なり合うように画定し、それにより、普通ならシールドすることが必要とされるはずの行および列導体と画素電極との間の隙間を無くすことである。これは開口の大きな画素をもたらし、フィールド・シールド画素 (F i e l d S h i e l d e d P i x e l) (F S P) 設計と呼ばれる。

10

【 0 0 0 9 】

図 5 は F S P パネルの T F T を通る断面を示しており、図 6 は列を通る断面を示している。

【 0 0 1 0 】

画素電極 5 0 は、図 5 に示すように行導体と重なり合い、図 6 に示すように列導体 3 4 と重なり合う。この行導体および列導体は、図 6 に概略的に示したように光の通過をさえぎる。画素電極がポリマー層 5 4 の上に設けられ、このポリマー層 5 4 内のビア 5 6 を通って T F T 3 2 のドレイン 5 2 と接触している。

20

【 0 0 1 1 】

このポリマー層に関する主な機能上の必要条件是、コンタクト・ホールを備えキャパシタンスが小さい、均一で非常に透明な層でなければならないことである。それはまた、LCセル内にディスクリネーション・ラインを引き起こす可能性がある、列の端部を覆う段差を取り除くために良好な平坦化特性も有する必要がある。透明度が高くて誘電率が低く ($\epsilon_R = 2.7$)、平坦化特性が良好なことから、一般には厚さが 1 ミクロンを超えるベンゾシクロブテン (B C B) の層が用いられる。

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 1 2 】

この B C B 層は、材料および処理コストが高いため使用するのに非常に高価な層である。光によって画定することができる B C B を購入することは可能であるが、それは光透過性が高くないためこの用途に用いることができない。このことは製造中にマスク層のエッチングを用いなければならないことを意味する。B C B をエッチングするものはどれも、フォトレジストをもエッチングするので、フォトレジストのエッチング層を使用することは困難である。これによって B C B の厚さが約 1 ミクロンに限定される。B C B をパターン形成するために金属層とフォトレジスト層との組み合わせを用いると、余分な処理用機器および処理操作が必要になるため非常に高価になる。

30

【 課題を解決するための手段 】

【 0 0 1 3 】

本発明によれば、
ほぼ透明な導体層を堆積してパターンニングし、行および列で配設された、絶縁基板上的画素電極の配列を画定することと、

前記画素電極に対して行導体と前記絶縁基板上的の異なった領域上の接続されたゲート導体部とを画定することと、

ゲート絶縁体と半導体層とを少なくとも含む薄膜トランジスタ層を前記ゲート導体部上で堆積してパターンニングし、トランジスタ体を形成することと、

複数の列として配設された絶縁層であって、各絶縁層列が、2つの隣接する画素列からなる画素電極と重なり合う絶縁層を形成することと、

前記基板上で不透明な導体層を形成し、前記不透明な導体層をパターンニングして、前記

40

50

絶縁層の最上部上の列導体と、一方が列導体に接続され他方が関連する画素電極に接続される、前記薄膜トランジスタ層の最上部のトランジスタ用ソース電極およびドレイン電極とを画定することと、

を備える、液晶表示装置用アクティブ・プレートの形成方法が提供される。

【0014】

上記の方法では、絶縁層が列導体の下に画定されるので、絶縁層は交差する行導体と列導体の間にある。さらに、絶縁層の列は隣接する対になった画素電極と重なり合うので、列導体が画素電極と重なり合うことが可能であり、これにより画素の開口が増加する。しかしながら、透明な画素電極は、堆積される第1の層である。これによってプロセス簡便化の利益が与えられ、これに対応する高品質なアクティブ・マトリックスLCD(AMLC)表示装置の製造コストが低減される。本発明は図1に示す幅Wを減少させる効率的、かつ低コストの方法を提供する。

10

【0015】

各トランジスタ体の薄膜トランジスタ層もまた隣接する画素電極と重なり合うことができる。このようにして、トランジスタ層も列導体の下にあり、行導体と列導体との間の追加的な分離を提供する。特に、ゲート絶縁体層は追加的な容量性分離を提供する。

【0016】

上記絶縁層はポリマー、たとえば、感光性アクリルポリマーを含み、フィールド・シールド層としての役割を果たすことが好ましい。

【0017】

画素電極の配列および行導体を画定することは第1の単一マスク工程によって実施することができる。トランジスタ体および絶縁層の形成は第2の単一マスク工程によって実施することができる。列導体並びにソース電極およびドレイン電極の形成は第3の単一マスク工程によって実施することができる。したがって、表示装置の製造のために3つのマスク工程を使用することができる。各単一マスク工程はハーフトーン・フォトマスクを使用することができる。

20

【0018】

本発明は、

液晶が間に挟まれたアクティブ・プレートとパッシブ・プレートとを備えるアクティブ・マトリックス液晶表示装置であって、前記アクティブ・プレートが、
絶縁基板と、

30

前記絶縁基板上の異なった領域を占める、ほぼ透明である画素電極の行および列の配列、並びに、ゲート導体部を有する行導体の配列と、

トランジスタ体を形成する前記ゲート導体部上の薄膜トランジスタ層と、

複数の列として配設された絶縁層であって、各絶縁層列が、2つの隣接する画素列からなる画素電極と重なり合う絶縁層と、

前記絶縁層の最上部に設けられた不透明な列導体と、

前記薄膜トランジスタ層の最上部のトランジスタ用ソース電極およびドレイン電極であって、一方が列導体に接続され他方が関連する画素電極に接続されるソース電極およびドレイン電極と、を含む、アクティブ・マトリックス液晶表示装置をも提供する。

40

【0019】

この装置は、本発明の方法によって形成され、前記列導体を前記行導体から分離し、前記行導体が隣接する列の画素と重なり合う(これにより、間の空間を完全にふさぐ)ことを可能にする行の絶縁体の配列を有する。

【0020】

さらに、上記薄膜トランジスタ層は、トランジスタ体に加えて、前記絶縁層の下にある列を画定することができる。

本発明の実施例について添付図を参照して詳細に説明する。

【発明を実施するための最良の形態】

【0021】

50

図 7 および 8 は、本発明の表示装置のアクティブ・プレートを、トランジスタを通る断面（図 7）および列を通る断面（図 8）で示した図である。各断面の箇所は図 16 で見ることができる。

【0022】

このアクティブ・プレートは、画素電極 12 の配列が上に直接堆積された絶縁基板 60 を備えている。行導体 30 の配列もまた直接この基板上に設けられ、画素電極に対して異なった領域を占めている。画素電極はほぼ透明であり、ITO から形成されることが好ましいのに対して、行導体は、画素電極の ITO 層 62 と、導電性を増加させるためのかつ行導体を不透明にさせる追加の層 64 とを含んでいる。行導体 30 は、図 7 で見ることができるようにゲート導体を画定する部分を有している。

10

【0023】

薄膜トランジスタ層 66 が、トランジスタ体 68 を画定するようにゲート導体の上に設けられている。これらの層は窒化珪素のゲート絶縁体 70、アモルファス・シリコン層 72 および n 型ドープ・シリコンのコンタクト層 74 を含んでいる。これらの層 66 は、トランジスタ体を画定するだけでなく隣接する画素電極（図 7 の 12a）まで延びている。この実施例においては、図 8 で見ることができるようにトランジスタ層も列の下で延在する。

【0024】

図 8 に示すように、複数の列としてポリマー絶縁層 76 が画定され、絶縁層の各配列が 2 つの隣接する画素列からなる画素電極 12 と重なり合う。不透明な列導体 34 が上記ポリマー絶縁層 76 の最上部に設けられ、この列導体 34 の画定する金属層もまた上記薄膜トランジスタ層 66 の最上部のトランジスタ 68 用ソース電極 82 およびドレイン電極 84 を画定する。ソース電極およびドレイン電極の一方 82 が列導体 80 に接続され、他方 84 が隣接する画素電極 12b に接続されている。

20

【0025】

ポリマーのフィールド・シールド層 76 がないと、画素と列 34 の間のキャパシタンスが大きくなり過ぎる。それ自体の上で窒化珪素のゲート絶縁体層を用いることは、その層の誘電率が 6.4 であり、十分に小さいキャパシタンスを得るには非現実的な厚い層が必要になるため不可能である。

【0026】

光学的開口率が高い配列の設計にはいくつかの利点がある。第 1 の利点は、ポリマーが透明である必要がないことである。このことは、光によって範囲が設定できるものも含めて広範囲のポリマーが使用できることを意味する。これはより低いコストをもたらす可能性があり、より短く、簡便な製造方法への道を開くものである。上記ポリマー層は、可視画素の端部を横切って越えることがないのでこのような良好な平坦化特性を有する必要がない。ポリマーの選択幅が広いことと製造工程が簡単なことが組み合わさって製造時の大幅なコスト低減をもたらす。光によって範囲が設定できるポリイミド層またはアクリル層等のいくつかの異なるポリマーを使用することができる。

30

【0027】

図 7 および図 8 に示す素子の製造方法について、追加されるコンデンサ電極と共に説明する。以下のことから明らかなように、特にハーフトーン・フォトリソを使用することによって 3 マスク工程を使用することができる。ハーフトーン・マスクは回折格子または珪素を多く含む窒化珪素を用いてグレイマスクとして作ることができる。これらの方法は両方とも光スループットを減らして照射強度が、マスクの透明領域と金属で覆われた領域との間で中間である領域を生成するものである。このようにして、2 つの異なる厚さのフォトリソが存在する領域、ならびにフォトリソがすべて除去される領域を画定するのにハーフトーン・マスクを使用することができる。この方法は、必要とされるフォトリソの合計数を減らすのに用いることができる。

40

【0028】

図 9、図 11 および図 14 において、各断面の左欄は図 7 に対応した TFT を通る断面

50

であり、各断面の右欄は図 8 に対応した列を通る断面である。各層の厚さと幅は、理解しやすいように図の中で誇張されるか、そうでなければ変形されている。

【 0 0 2 9 】

図 9、図 11 および図 14 はそれぞれ本発明の方法の 3 つのマスク工程の 1 つを示している。

図 9 A ~ 図 9 D は画素電極および行導体を製造する第 1 の工程を示している。

【 0 0 3 0 】

図 9 A において、ITO 層 62 およびゲート金属層 64 の堆積のためにスパッタリング堆積方法が使用される。この金属層および ITO 層のエッチングのためにハーフトーン・マスク 81 が使用される。図に示すように、このハーフトーン・マスクは、行導体およびゲート導体を規定する層 62、64 の部分の上でより厚くなっている。図 9 B において、エッチングにより元々フォトリソが厚い領域、すなわち、ゲート導体領域 30 のフォトリソだけを残してフォトリソの薄膜を除去するのに酸素プラズマが使用される。図 9 C においては、エッチングによってゲート金属が画素電極領域から除去される。図 9 D におけるフォトリソの除去によって、2 層の ITO およびゲート金属のスタックの形態の ITO 画素電極および行導体 30 が残される。

【 0 0 3 1 】

図 10 は図 9 A ~ 図 9 D の方法によってもたらされた構造を平面図として示している。図示するように、画素電極 12 の行および列の配列が、画素電極の行間の空間を占める行導体 30 の配列と共に設けられている。この行導体 30 はゲート導体部 30 b ならびに行部 30 a を有している。この実施例において、行部 30 b は、以下においてさらに明白になるように、コンデンサ・ターミナルとしての役割を果たす、より幅広の部分 30 c を有している。

図 10 の断面の矢印は、図 9 の左欄および右欄を見た場所を示している。

【 0 0 3 2 】

図 11 A ~ 図 11 D は、本発明の方法におけるトランジスタ体および絶縁層を製造する工程を示す。

【 0 0 3 3 】

図 11 A において、窒化珪素 (SiN) 70、アモルファス・シリコン 72 および n+ 型ドープ・アモルファス・シリコン 74 の TFT スタック 66 を画定するのにプラズマ堆積法が使用される。

【 0 0 3 4 】

図 11 B において、感光性アクリル等のフォトリソマー 80 が窒化珪素ゲート絶縁体層の所望の形およびフィールド・シールド絶縁体の形に対応する 2 つのレベルにパターンニングされる。上述のように、フィールド・シールド絶縁体は列として配設され、したがって列はフォトリソマーからなるより厚い領域 80 a を備える。

【 0 0 3 5 】

図 11 C において、TFT スタックはプラズマ・エッチングされ、その結果、TFT 層 66 が列ならびに TFT トランジスタ体を画定する。

【 0 0 3 6 】

図 11 D において、フォトリソマーは一部がエッチングされてポリマーの厚い層が元々あった場所、すなわち、列の上のパターン 76 だけが残る。

フォトリソマー 76 の幅が実は図 11 D の 2 つの断面で同じであることは注目されるが、便宜上図は変形して描かれている。列は、実際には、幅が一定のものである。

【 0 0 3 7 】

図 12 は、図 11 A ~ 図 11 D の工程の方法において堆積したトランジスタ層および絶縁層の形を平面図で示したものである。図 12 において、絶縁層 76 を形成したフォトリソマーは、その下の TFT 層 66 よりもやや狭くして示した。これは単に両方が見えるようにしたためであるが、実際は左側が同じパターンにエッチングされていて、それらは位置が揃っている。この TFT 領域も左の列だけが示されているが、実際は画素パターンが

10

20

30

40

50

繰り返している。

【0038】

図13は、図9および図11の方法の工程によってもたらされた構造を1つにまとめたものを平面図で示した図である。

【0039】

図14A～図14Eは、列導体並びにソース電極およびドレイン電極を製造する工程を示している。

【0040】

図14Aにおいて、上部金属層90が基板上に（スパッタリングされて）堆積され、1つのフォトレジスト層を2つの厚さに画定するのにハーフトーン・マスク92が用いられている。厚さが薄い部分92aは、n+型アモルファス・シリコン層の一部がTFTのゲートの領域で除去される予定のTFT用であり、より厚い部分92bは列導体並びにソースおよびドレインの各コンタクト用である。

【0041】

図14Bにおいて、上部金属90はエッチングされて金属列並びにソースコンタクトおよびドレインコンタクトを残す（しかし、ゲート上にはまだ隙間がない）。

【0042】

図14Cにおいて、フォトレジスト層は、酸素（ O_2 ）プラズマを使用してゲートの上の領域が露出するまで薄くされている。

【0043】

図14Dにおいて、上部金属がTFTチャネル領域だけ再度エッチングされている。その後、プラズマ・エッチングが用いられて下に横たわっているn+型アモルファス・シリコン層も除去し、その結果、n+型層がソースおよびドレイン用のコンタクト部のみを形成する。

【0044】

図14Eにおいて、最上部フォトレジスト層92が取り除かれる。

【0045】

図15は、図14A～図14Dの方法の工程において堆積された列導体並びにソース電極およびドレイン電極の形状を平面図で示したものである。露出したアモルファス・シリコン・トランジスタ体72も示されている。最上部金属層90もまたパターニングされてコンデンサ上部コンタクト94を画定する。

【0046】

図16はすべて揃った素子構造を平面図で示す。このTFTは分離ポリマーまたはSiN層によって保護することも、またはLCポリイミド配向層を使用することもできる。

【0047】

本発明は光学的開口が大きいどんな透過性TN式AMLCDにも適用することができる。

【0048】

上の実施例において、ポリマーのフィールド・シールド層76はTFTスタック（窒化珪素およびアモルファス・シリコン層）の上にあるが、TFTスタックは列の下から省くことができ、それでも依然として設計は機能する。このポリマー・スタックに必要な重要な機能は、許容できるレベルにまでクロストークを低減するのに十分な低いキャパシタンスを有していることである。

【0049】

ただ1つの特定の実施例を上を示した。各種の層を形成するのに使用した材料は従来からあるものであることが了解されるだろう。各処理条件ならびにこの特定の実施例に示された層に対して任意選択で追加される各種の層は当業者にとって明白であろう。

【図面の簡単な説明】

【0050】

【図1】既知のカラーAMLCDの平面図である。

10

20

30

40

50

【図 2】既知の標準的な A M L C D の断面図である。

【図 3】ブラック・マスク層を用いて図 2 の A M L C D の性能を向上する様子を示す図である。

【図 4】各画素の電気素子を示す図である。

【図 5】既知のフィールド・シールド画素 (F i e l d S h i e l d e d P i x e l) 設計を、トランジスタを通る断面で示した図である。

【図 6】既知のフィールド・シールド画素 (F i e l d S h i e l d e d P i x e l) 設計を、列を通る断面で示した図である。

【図 7】本発明の表示装置のアクティブ・プレートを、トランジスタを通る断面で示した図である。

10

【図 8】本発明の表示装置のアクティブ・プレートを、列を通る断面で示した図である。

【図 9 A】本発明の方法における画素電極および行導体の製造工程を示す図である。

【図 9 B】本発明の方法における画素電極および行導体の製造工程を示す図である。

【図 9 C】本発明の方法における画素電極および行導体の製造工程を示す図である。

【図 9 D】本発明の方法における画素電極および行導体の製造工程を示す図である。

【図 1 0】図 9 A ~ 図 9 D の方法によってもたらされた構造を平面図で示した図である。

【図 1 1 A】本発明の方法におけるトランジスタ体および絶縁層を製造する工程を示す図である。

【図 1 1 B】本発明の方法におけるトランジスタ体および絶縁層を製造する工程を示す図である。

20

【図 1 1 C】本発明の方法におけるトランジスタ体および絶縁層を製造する工程を示す図である。

【図 1 1 D】本発明の方法におけるトランジスタ体および絶縁層を製造する工程を示す図である。

【図 1 2】図 1 1 A ~ 図 1 1 D の工程の方法において堆積したトランジスタ層および絶縁層の形を平面図で示した図である。

【図 1 3】図 1 1 A ~ 図 1 1 D の方法によってもたらされた構造を平面図で示した図である。

【図 1 4 A】本発明の方法における列導体並びにソースおよびドレインの各電極を製造する工程を示す図である。

30

【図 1 4 B】本発明の方法における列導体並びにソースおよびドレインの各電極を製造する工程を示す図である。

【図 1 4 C】本発明の方法における列導体並びにソースおよびドレインの各電極を製造する工程を示す図である。

【図 1 4 D】本発明の方法における列導体並びにソースおよびドレインの各電極を製造する工程を示す図である。

【図 1 4 E】本発明の方法における列導体並びにソースおよびドレインの各電極を製造する工程を示す図である。

【図 1 5】図 1 4 A ~ 図 1 4 D の工程の方法において堆積した列導体並びにソースおよびドレインの各電極の形を平面図で示した図である。

40

【図 1 6】すべて揃った素子構造の平面図である。

【図 1】

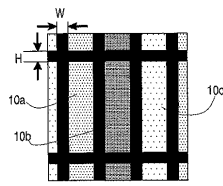


FIG.1

【図 2】

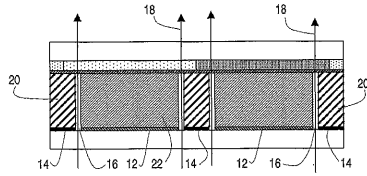


FIG.2

【図 3】

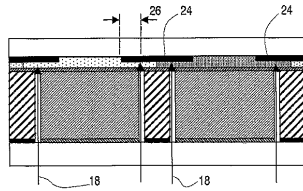


FIG.3

【図 6】

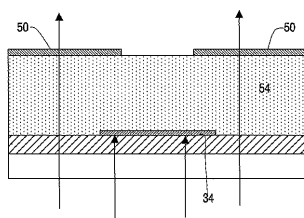


FIG.6

【図 7】

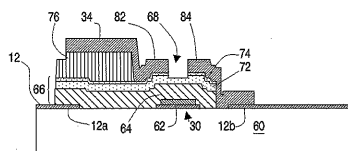


FIG.7

【図 8】

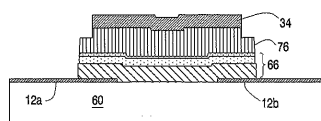


FIG.8

【図 4】

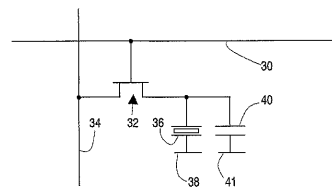


FIG.4

【図 5】

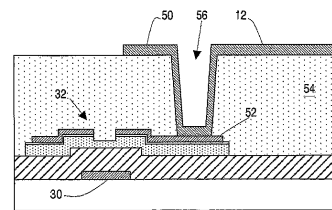


FIG.5

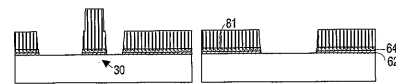


FIG.9A



FIG.9B

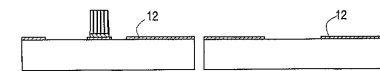


FIG.9C

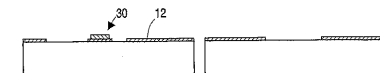


FIG.9D

【 図 1 0 】

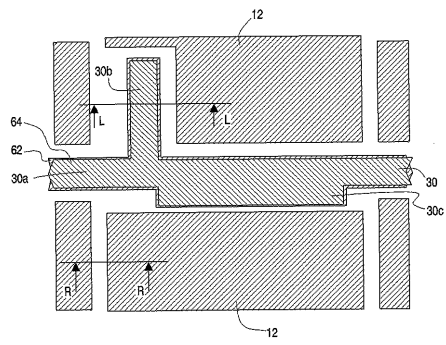


FIG.10

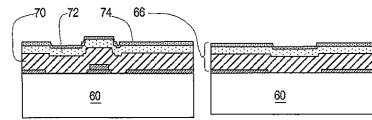


FIG.11A

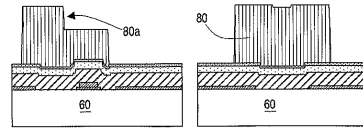


FIG.11B

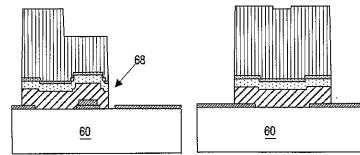


FIG.11C

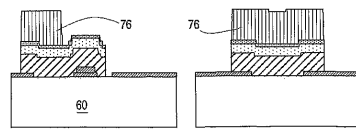


FIG.11D

【 図 1 2 】

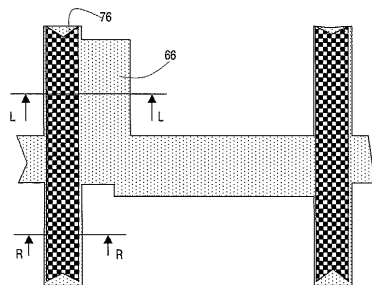


FIG.12

【 図 1 3 】

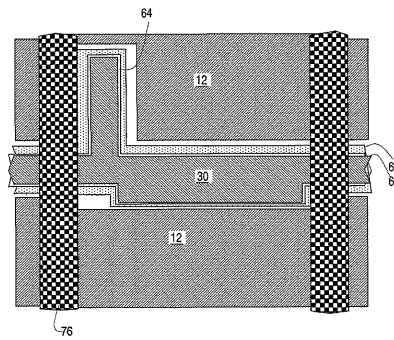


FIG.13

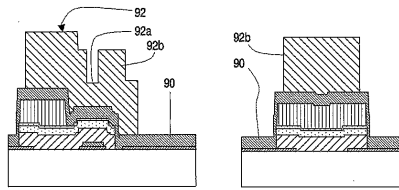


FIG. 14A

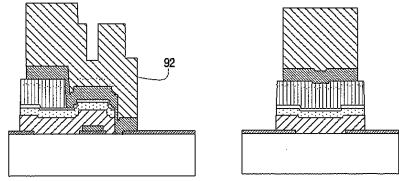


FIG. 14B

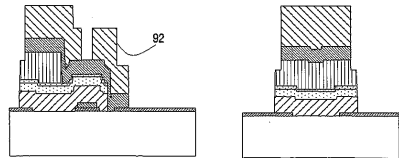


FIG. 14C

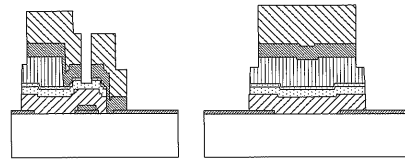


FIG. 14D

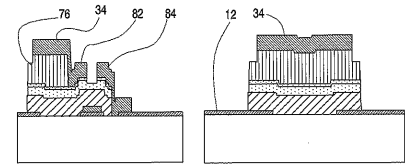


FIG. 14E

【 図 1 5 】

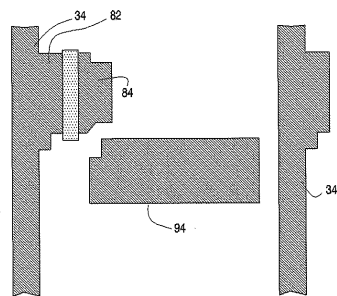


FIG. 15

【 図 1 6 】

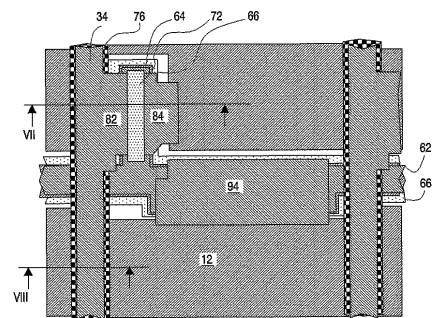


FIG. 16

【国際調査報告】

INTERNATIONAL SEARCH REPORT		International Classification No PCT/IB 03/05886
A. CLASSIFICATION OF SUBJECT MATTER IPC 7 G02F1/1362		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC: 7 G02F		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, WPI Data, PAJ		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 5 650 358 A (GU TIEER ET AL) 22 July 1997 (1997-07-22) the whole document	1,9
A	US 5 724 111 A (KANOHI HIROSHI ET AL) 3 March 1998 (1998-03-03) figure 3; example 1	1,9
A	US 6 372 534 B1 (DEN BOER WILLEM ET AL) 16 April 2002 (2002-04-16) column 5, line 56 - column 7, line 49; figure 4	1,9
A	US 5 682 211 A (YAO WILLIAM ET AL) 28 October 1997 (1997-10-28) column 4, line 3 - line 67; figures 3,4	1,9
-/--		
☒ Further documents are listed in the continuation of box C. ☒ Patent family members are listed in annex.		
* Special categories of cited documents : *A* document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art *Z* document member of the same patent family		
Date of the actual completion of the international search 17 March 2004		Date of mailing of the international search report 25/03/2004
Name and mailing address of the ISA European Patent Office, P.B. 5618 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl Fax: (+31-70) 340-3016		Authorized officer Lord, R

INTERNATIONAL SEARCH REPORT

International	Publication No.
PCT/IB 03/05886	

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 6 097 454 A (TAKEMURA YASUHIKO ET AL) 1 August 2000 (2000-08-01) column 6, line 18 - column 8, line 17; figures 1,2	1,9
A	----- "PIXEL STRUCTURE FOR HIGH APRTURE RATIO ACTIVE MACTRIX LIQUID CRYSTAL DISPLAYS" IBM TECHNICAL DISCLOSURE BULLETIN, IBM CORP. NEW YORK, US, vol. 40, no. 11, 1 November 1997 (1997-11-01), pages 3-5, XP000739901 ISSN: 0018-8689 the whole document -----	1,9

INTERNATIONAL SEARCH REPORT

International	Application No
PCT/IB	03/05886

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 5650358	A	22-07-1997	US 5872370 A	16-02-1999
US 5724111	A	03-03-1998	JP 2768313 B2	25-06-1998
			JP 8338993 A	24-12-1996
			US 6266112 B1	24-07-2001
			US 5796455 A	18-08-1998
			US 6018379 A	25-01-2000
US 6372534	B1	16-04-2002	US 6124606 A	26-09-2000
			US 2002098629 A1	25-07-2002
			US 2002093027 A1	18-07-2002
			US 6365916 B1	02-04-2002
			US 6307215 B1	23-10-2001
			US 2001029057 A1	11-10-2001
			US 5994721 A	30-11-1999
			AT 231247 T	15-02-2003
			CA 2178232 A1	07-12-1996
			DE 69625750 D1	20-02-2003
			DE 69625750 T2	18-09-2003
			DK 752611 T3	14-04-2003
			EP 1256836 A2	13-11-2002
			EP 0752611 A2	08-01-1997
			ES 2188691 T3	01-07-2003
			JP 9022028 A	21-01-1997
			PT 752611 T	30-04-2003
			SI 752611 T1	30-06-2003
			US 2002088982 A1	11-07-2002
			US 5955744 A	21-09-1999
			US 6320226 B1	20-11-2001
			US 5641974 A	24-06-1997
			US 6376270 B1	23-04-2002
			US 2001011728 A1	09-08-2001
			US 5780871 A	14-07-1998
			US 5920084 A	06-07-1999
US 5682211	A	28-10-1997	EP 0745885 A2	04-12-1996
			JP 8328040 A	13-12-1996
			DE 69523807 D1	20-12-2001
			DE 69523807 T2	04-04-2002
			EP 0679922 A1	02-11-1995
			JP 8043860 A	16-02-1996
			US 5621556 A	15-04-1997
			US 5867242 A	02-02-1999
US 6097454	A	01-08-2000	JP 10010580 A	16-01-1998
			JP 10010581 A	16-01-1998
			US 6005648 A	21-12-1999

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

(71)出願人 599127667

エルジー フィリップス エルシーディー カンパニー リミテッド
大韓民国 ソウル, ヨンドンボーク, ヨイドードン 20

(74)代理人 100075812

弁理士 吉武 賢次

(74)代理人 100088889

弁理士 橘谷 英俊

(74)代理人 100082991

弁理士 佐藤 泰和

(74)代理人 100096921

弁理士 吉元 弘

(74)代理人 100103263

弁理士 川崎 康

(74)代理人 100108785

弁理士 箱崎 幸雄

(72)発明者 イアン、ディー・フレンチ

イギリス国サリー、レッドヒル、クロス、オーク、レーン、ケアオブ、フィリップス、インテレク
チュアル、プロパティー、アンド、スタンダーズ

(72)発明者 パク、スン・イル

イギリス国サリー、レッドヒル、クロス、オーク、レーン、ケアオブ、フィリップス、インテレク
チュアル、プロパティー、アンド、スタンダーズ

Fターム(参考) 2H092 JA26 JB56 JB64 JB66 JB68 KB25 MA14 NA07 NA25

专利名称(译)	液晶表示装置		
公开(公告)号	JP2006510941A	公开(公告)日	2006-03-30
申请号	JP2004561827	申请日	2003-12-09
[标]申请(专利权)人(译)	皇家飞利浦电子股份有限公司 乐金显示有限公司		
申请(专利权)人(译)	皇家飞利浦电子股份有限公司的Vie Eruji飞利浦杜迪股份有限公司		
[标]发明人	イアンディーフレンチ パクスニール		
发明人	イアン、ディー.フレンチ パク、スン-イル		
IPC分类号	G02F1/1368 G02F1/136 G02F1/1333 G02F1/1362		
CPC分类号	G02F1/136286 G02F1/133345 G02F1/136209 G02F2001/136295 G02F2201/40		
FI分类号	G02F1/1368		
F-TERM分类号	2H092/JA26 2H092/JB56 2H092/JB64 2H092/JB66 2H092/JB68 2H092/KB25 2H092/MA14 2H092/NA07 2H092/NA25		
代理人(译)	耀希达凯贤治 弘吉 川崎靖		
优先权	2002029699 2002-12-19 GB		
外部链接	Espacenet		

摘要(译)

一种用于液晶显示装置中，配置多个绝缘层的作为列（76）有源板中，绝缘层的配置与由像素的两个相邻列（12）的像素电极重叠。形成在基板上的不透明导电层，以限定所述绝缘层的导体柱的顶部被图案化（34），和用于在薄膜晶体管层（66）的顶部上的源极和漏极的晶体管。因此，由于绝缘层（76）限定在列导体（34）下面，所以它位于交叉的导体和列导体之间。此外，绝缘层（76），从而重叠相互相邻的成对像素电极（12）的列，可以列导体与像素电极重叠，由此打开的像素增加。然而，透明像素电极（12）是要沉积的第一层。这提供了工艺简单性的优点，并降低了相应的高质量有源矩阵LCD（AMLCD）显示器件的制造成本。

