

【特許請求の範囲】

【請求項 1】

映像信号を供給するための複数の信号線と、
上記信号線と交差するように配設され、走査信号を供給するための複数の走査線と、
上記信号線と走査線との交点の各々の近傍に配置された液晶画素と、
上記信号線から上記液晶画素の各々への映像信号の供給を、走査線によって供給された走査信号に応じて制御するためのスイッチング素子と、
液晶画素に映像信号を印加する前の期間に、液晶画素を予め充電するためのプリチャージ電圧を信号線に印加するプリチャージ手段とを備える液晶パネルを駆動するための液晶駆動回路において、
プリチャージ電圧を上記プリチャージ手段に供給するプリチャージ電圧供給手段と、
あるフレームの表示時点まで、その前のフレームの映像信号に関するデータを保持するためのデータ保持手段とを備え、
上記プリチャージ電圧供給手段は、あるフレームの表示時にプリチャージ手段に供給するプリチャージ電圧を、データ保持手段に保持された前のフレームの映像信号に関するデータに応じて変更するようになっていることを特徴とする液晶駆動回路。

10

【請求項 2】

上記プリチャージ手段は、各走査線に対応する映像信号を液晶画素に印加する映像信号印加期間の直前の、どの液晶画素にも映像信号が印加されていない期間である水平ブランキング期間に、プリチャージ電圧を信号線に印加するものであることを特徴とする液晶駆動回路。

20

【請求項 3】

映像信号における各水平走査線毎に画素値の平均を演算する平均演算手段をさらに備え、
上記データ保持手段は、上記前のフレームの映像信号に関するデータとして、平均値演算手段で演算された各水平走査線毎の平均画素値のデータを保持するものであり、
上記プリチャージ電圧供給手段は、あるフレームにおけるある水平走査線の表示時に、プリチャージ手段に供給するプリチャージ電圧を、データ保持手段に保持された前のフレームにおける同じ水平走査線の平均画素値のデータに応じて変更するようになっていることを特徴とする請求項 2 記載の液晶駆動回路。

30

【請求項 4】

上記データ保持手段は、映像信号をデータとして記憶するための表示メモリであることを特徴とする請求項 1 ないし 3 のいずれか 1 項に記載の液晶駆動回路。

【請求項 5】

映像信号を供給するための複数の信号線と、
上記信号線と交差するように配設され、走査信号を供給するための複数の走査線と、
上記信号線と走査線との交点の各々の近傍に配置された液晶画素と、
上記信号線から上記液晶画素の各々への映像信号の供給を、走査線によって供給された走査信号に応じて制御するためのスイッチング素子と、
液晶画素に映像信号を印加する前に、液晶画素を予め充電するためのプリチャージ電圧を信号線に印加するプリチャージ手段とを備える液晶表示装置において、
プリチャージ電圧を上記プリチャージ手段に供給するプリチャージ電圧供給手段と、
あるフレームの表示時点まで、その前のフレームの映像信号に関するデータを保持するためのデータ保持手段とをさらに備え、
上記プリチャージ電圧供給手段は、あるフレームの表示時にプリチャージ手段に供給するプリチャージ電圧を、データ保持手段に保持された前のフレームの映像信号に関するデータに応じて変更するようになっていることを特徴とする液晶表示装置。

40

【発明の詳細な説明】

【技術分野】

【0001】

50

本発明は、プリチャージ（予備充電）を行うアクティブマトリクス型の液晶表示装置、およびそれを駆動するための液晶駆動回路であって、プリチャージ電圧を供給する機能を備える液晶駆動回路に関するものである。

【背景技術】

【0002】

携帯電話や、PDA（Personal Digital Assistant）、ノート型コンピュータ等の携帯用情報機器では、その表示デバイスとして、薄膜トランジスタ（TFT；Thin Film Transistor）によるアクティブマトリクス型液晶表示装置（以下「TFT-LCD装置」という）が使用されることが多い。また、画素数の増加に伴い、従来、非結晶シリコンで形成していたTFTを、多結晶シリコン（以下「ポリシリコン」という）や、連続粒界結晶シリコン（以下「CGシリコン」という）で形成したTFT-LCD装置が使用されることも増えている。

10

【0003】

このポリシリコンTFT-LCD装置や、CGシリコンTFT-LCD装置では、駆動方法として、アナログ映像信号を1～n（nは2以上の任意の整数）画素（ドット）毎に画素容量に印加していく点順次駆動と呼ばれる駆動方法が用いられている。

【0004】

これに対し、従来の非結晶シリコンTFT-LCD装置では、アナログ映像信号を1走査線毎に画素容量に印加していく、すなわち、走査線を順次1本ずつ選択し、選択した走査線に接続されている全ての画素容量にアナログ映像信号を印加していく、線順次駆動と呼ばれる駆動方法が用いられている。点順次駆動を行う際には、表示品位向上のため、画素容量に充電を行う前に、予めある電圧を充電しておく「プリチャージ」と呼ばれる処理が必要となる場合が多い。以下に、従来の点順次駆動、およびそこで用いられるプリチャージの実施形態について、添付図面を参照して説明する。

20

【0005】

図7に示すように、従来の電子機器は、液晶表示装置100とホスト装置103とを備えている。液晶表示装置100は、液晶駆動回路（以下「液晶ドライバ」と呼ぶ）101と液晶パネル102とを備えている。

【0006】

液晶パネル102は、後述する複数本（n本）のソースバスライン（データ線）S1～Snを駆動するデータ線駆動回路としてのソースドライバ111と、後述する複数本（m本）のゲートバスラインG1～Gmを駆動する走査線駆動回路としてゲートドライバ115と、アクティブマトリクス型の液晶表示部113と、プリチャージ回路112とを備えている。

30

【0007】

ソースドライバ111は、液晶ドライバ101に入力される入力デジタル映像信号（映像データ）に対応するアナログ映像信号VRv、VGv、VBv（それぞれ赤、緑、青の画像データ）を受け取り、受け取ったアナログ映像信号VRv、VGv、VBvを後述するソースバスラインS1～Snに対して複数本ずつ（あるいは1本ずつ）順次印加するものである。ゲートドライバ115は、後述する複数本（m本）のゲートバスラインG1～Gmを順次1本ずつ選択する（後述するTFT18のゲートに対してTFT18を導通させるような電圧を印加する）ものである。

40

【0008】

液晶表示部113は、入力デジタル映像信号における各水平走査線に対応する複数本（m本）の走査信号線としてのゲートバスラインG1～Gmと、それらのゲートバスラインG1～Gmのそれぞれと交差する複数本（n本）のデータ線としてのソースバスラインS1～Snと、それらのゲートバスラインG1～GmとソースバスラインS1～Snとの交差点に設けられた複数個（m×n個）の画素形成部（画素）114とを含んでいる。これらの画素形成部は、マトリクス状に配置されている。なお、図中の114は、m×n個ある画素形成部の中の1つを例として指しており、114が指している部分のみが画素形成

50

部ではない。

【0009】

各画素形成部114は、図3に示すように、 k (k は1以上 n 以下の任意の整数)番目のソースバスラインと j (k は1以上 m 以下の任意の整数)番目のゲートバスラインとの交差点近傍に配置されたスイッチング素子としてのTFT18と、画素電極19と、上記複数の画素形成部に共通的に設けられた対向電極 ($m \times n$ 個の画素電極に対向する1つの電極)である共通電極23と、上記複数の画素形成部に共通的に設けられ(上記複数の画素形成部に共通的に設けられた共通配線Ecに接続され)画素電極19と共通電極23との間に挟持された、液晶層からなる容量(キャパシタ)22と、画素電極19と共通電極23とによって形成される容量22に並列に形成される電荷保持容量20とを備えている。TFT18のソース端子は上記交差点を通過するソースバスライン S_k に、TFT18のゲート端子は上記交差点を通過するゲートバスライン G_j に、TFT18のドレイン端子は画素電極に、それぞれ接続されている。

10

【0010】

そして、画素電極19と共通電極23とにより形成される容量22と、電荷保持容量20とにより、画素容量が構成される。ここでは、電荷保持容量20も容量22と同じく共通配線Ecに接続されている例を挙げている。寄生容量21は、実際に回路としてコンデンサ(キャパシタ)が形成されているわけではなく、隣接するソースバスライン $S_k \cdot S_{k+1}$ 同士の間隔が狭いために発生することが防げない擬似的な容量である。この寄生容量21は、後述するように、プリチャージ回路112が必要となる理由となる。寄生容量は、隣接するゲートライン $G_j \cdot G_{j+1}$ 間等、他の近接する配線の間にも発生するが、ここでは、プリチャージ回路112に関係する寄生容量21のみに注目する。

20

【0011】

プリチャージ回路112は、ソースバスライン $S_1 \sim S_n$ にそれぞれ接続された n 個のアナログスイッチ112Aを有している。プリチャージ回路112の詳細については、後述する。

【0012】

ホスト装置103は、液晶パネル102に表示しようとする映像を表すデジタル映像信号(映像データ)を供給する信号源、例えばパーソナルコンピュータ(パソコン)やPDA(表示装置部分を除く)等である。

30

【0013】

液晶ドライバ101は、ホスト装置103からデジタル映像信号や各種制御信号を受け取り、デジタル映像信号を表示RAM105へ、各種制御信号をタイミングジェネレータ部106へそれぞれ送るホストインタフェース部104と、デジタル映像信号を1画面(フレーム)分保存するための表示RAM(Random Access Memory)105と、表示RAM105からデジタル映像信号を読み込み、各種制御信号とタイミングを合わせて液晶パネル102へデジタル映像信号を階調電圧生成回路107~109へ出力するタイミングジェネレータ部106と、タイミングジェネレータ部106から送られるデジタル映像信号をアナログ映像信号に変換し、液晶パネル102にアナログ映像信号を送る階調電圧生成回路を備えている。階調電圧生成回路は、赤のアナログ映像信号(アナログ階調電圧) V_Rv を生成するR(赤)階調電圧生成回路107、緑のアナログ映像信号(アナログ階調電圧) V_Gv を生成するG(緑)階調電圧生成回路108、および青のアナログ映像信号(アナログ階調電圧) V_Bv を生成するB(青)階調電圧生成回路109からなる。このR階調電圧生成回路107、G階調電圧生成回路108、B階調電圧生成回路109を階調電圧生成回路が2系統以上持つことにより、映像信号の転送スピードを遅くすることができる相展開という技術もあるが、ここでは、相展開していない例を挙げる。階調電圧生成回路107、108、および109にはそれぞれ、図示しないHigh側基準電圧生成回路で生成されたHigh側基準電圧 V_{vidH} と、図示しないLow側基準電圧生成回路で生成されたLow側基準電圧 V_{vidL} ($V_{vidL} < V_{vidH}$)とが供給されている。

40

50

【 0 0 1 4 】

図 2 に、階調電圧生成回路（ R 階調電圧生成回路 1 0 7、 G 階調電圧生成回路 1 0 8、および B 階調電圧生成回路 1 0 9 の各々）の例を示す。

【 0 0 1 5 】

階調電圧生成回路は、図 2 に示すように、抵抗ラダー 1 6、 p （ p は複数）個のアナログスイッチ $S D 1 \sim S D p$ 、およびアンプ 1 7 を備えている。抵抗ラダー 1 6 は、High 側基準電圧 $V v i d H$ が印加された基準電圧線と Low 側基準電圧 $V v i d L$ が印加された基準電圧線との間に直列に接続された（ $p + 1$ ）個の抵抗素子からなる。抵抗ラダー 1 6 は、アナログ映像信号の High 側基準電圧 $V v i d H$ と Low 側基準電圧 $V v i d L$ との間を抵抗ラダー 1 6 にて抵抗分割することにより、アナログスイッチ $S D 1 \sim S D p$ の抵抗ラダー 1 6 側端子に、互いに異なる p 個の電圧を生成する。アナログスイッチ $S D 1 \sim S D p$ は、その中の 1 つが選択的に導通することによって、 p 段階の可変電圧をアンプ 1 7 に送ることができる。アンプ 1 7 は、送られた p 段階の可変電圧を増幅して液晶パネル 1 0 2 へ出力する。なお、図示していないが、アナログスイッチ $S D 1 \sim S D p$ の選択は、タイミングジェネレータ部 1 0 6 から送られるデジタル映像信号によって行われる。

10

【 0 0 1 6 】

次に、液晶ドライバ 1 0 1 が液晶パネル 1 0 2 を駆動する手順を説明する。

【 0 0 1 7 】

ソースドライバ 1 1 1 は、図示しないが、アナログ映像信号 $V R v$ 、 $V G v$ 、 $V B v$ の入力端子とソースバスライン $S 1 \sim S n$ との間にそれぞれ挿入された n 個のアナログスイッチと、ソースバスライン $S 1 \sim S n$ にそれぞれ対応する n 個のフリップフロップから構成されたシフトレジスタとを備えており、各フリップフロップの出力は、対応するソースバスラインに接続されるアナログスイッチのオン/オフを行っている。シフトレジスタは、各画素（画素形成部 1 1 4）に対応するアナログ映像信号が入力されるタイミングに合わせて、対応するソースバスライン $S 1 \sim S n$ のアナログスイッチを所定期間ずつ導通させて、画素容量に階調電圧が印加されるよう順次シフトされていく。これが、点順次駆動である。この例では、アナログ映像信号は R、G、B の 3 系統あるので、映像データ上の 1 つの画素に対応する 3 つの画素形成部 1 1 4 に接続されたソースバスライン $S 1$ 、 $S 2$ 、 $S 3$ が同時にオン状態（階調電圧が印加された状態）となり、次のタイミングで、映像データ上の次の 1 つの画素に対応する 3 つの画素形成部 1 1 4 に接続されたソースバスライン $S 4$ 、 $S 5$ 、 $S 6$ が同時にオン状態（階調電圧が印加された状態）となり、・・・というように、ソースバスライン $S 1 \sim S n$ が 3 本ずつ順次オン状態となる。

20

30

【 0 0 1 8 】

ゲートドライバ 1 1 5 も、シフトレジスタを内蔵しており、このシフトレジスタは、ゲートバスライン $G 1 \sim G m$ にそれぞれ対応する m 個のフリップフロップから構成され、各フリップフロップの出力は、対応するゲートバスライン $G 1 \sim G m$ に供給される。このシフトレジスタは、ソースドライバ 1 1 1 にアナログ映像信号 $V R v$ 、 $V G v$ 、 $V B v$ が入力されるタイミングに合わせて 1 垂直走査期間毎に順次シフトされていく。これにより、液晶パネル 1 0 2 におけるゲートバスライン $G 1 \sim G m$ が 1 水平走査期間ずつ順次に選択され、選択されたゲートバスライン（ $G 1 \sim G m$ のうちの 1 つ）にのみアクティブな走査信号（ $T F T 1 8$ を導通させる電圧）が印加される。

40

【 0 0 1 9 】

ソースドライバ 1 1 1 およびゲートドライバ 1 1 5 のそれぞれのシフトレジスタのタイミング制御は、タイミングジェネレータ部 1 0 6 が行っている。タイミングジェネレータ部 1 0 6 は、このタイミング制御を行うために液晶パネル制御信号群 $L C D c o n t$ をソースドライバ 1 1 1 およびゲートドライバ 1 1 5 のそれぞれのシフトレジスタに送っている。

【 0 0 2 0 】

上記のようにして、液晶パネル 1 0 2 において、ソースバスライン $S 1 \sim S n$ にはソー

50

ストライバ 1 1 1 からアナログ映像信号 V_{Rv} 、 V_{Gv} 、 V_{Bv} が映像駆動信号として印加され、ゲートバスライン $G_1 \sim G_m$ にはゲートドライバ 1 1 5 から走査信号が印加される。これにより、各画素形成部 1 1 4 における液晶層（容量 2 2）には、アナログ映像信号 V_{Rv} 、 V_{Gv} 、 V_{Bv} に応じて画素電極 1 9 と共通電極 2 3 との電位差に相当する電圧が印加される。液晶パネル 1 0 2 は、この印加電圧によって液晶層（容量 2 2）の光透過率を制御することにより、外部のパソコン等のホスト装置 1 0 3 から受け取ったデジタル映像信号の示す映像を表示する。

【0021】

なお、ポリシリコン TFT-LCD 装置または CG シリコン TFT-LCD 装置等では、ソースドライバ 1 1 1、ゲートドライバ 1 1 5、およびプリチャージ回路 1 1 2 を液晶パネル 1 0 2 と同一の基板上に形成してもよい。このように同一基板上に表示部と駆動回路部とが一体的に形成された液晶表示装置は、ドライバーモノリシック型液晶表示装置と呼ばれている。

【0022】

次に、プリチャージ回路 1 2 について説明する。

【0023】

点順次駆動では、アクティブとなっているソースライン（図 7 の例では 3 本のソースライン）のみが、アナログ映像信号を供給する配線と接続された状態となっており、それ以外のソースライン及び画素電極 1 9 は、フローティング状態となっている。そして、液晶パネルは、通常、品質を保つために、画素電極 1 9 と共通電極 2 3 との電位の上下関係のある周期で反転しながら駆動することが必須である。そのため、図 7 における High 側基準電圧 V_{vidH} および Low 側基準電圧 V_{vidL} のそれぞれとして、正極性用の電圧（正極側の電圧）および負極性用の電圧（負極側の電圧）の 2 種類の電圧を、共通電極 2 3 に印加する電圧（以下「COM 信号」と呼ぶ）の反転に合わせて交互に使用しているのが一般的である。

【0024】

以下の説明では、画素電極 1 9 と共通電極 2 3 との電位の上下関係を 1 フレーム（1 画面）毎に反転させる例について説明する。

【0025】

ある画素に注目すると、あるフレームで COM 信号よりアナログ映像信号の方が電位が高かった場合は、次のフレームではそれらの電位の関係が逆となっている必要がある。液晶パネルは、画素電極 1 9 と共通電極 2 3 との電位の上下関係がどちらであれ、画素電極 1 9 と共通電極 2 3 との電位差の絶対値がほぼ同じであれば、表示上は同じように見える、という特性を持っている。前述の階調電圧生成回路それぞれは、タイミングジェネレータ部 1 0 6 からの制御により、正極側の電圧、負極側の電圧を交互に出力するようになっている。

【0026】

図 8 は、フレームの切り替わり部分における COM 信号および画素電極 1 9 の電位変化を表すグラフである。図中における $S_1 \sim S_n$ の符号は、ソースライン $S_1 \sim S_n$ およびそれに接続された画素電極 1 9（以下、ソースライン $S_1 \sim S_n$ に接続された n 個の画素電極 1 9 をそれぞれ画素電極 $19-1 \sim 19-n$ と記す）の電位を示す。なお、ソースライン $S_1 \sim S_n$ および画素電極 $19-1 \sim 19-n$ の電位変化については、ある 1 本のゲートライン G_j 上の全ての画素電極 1 9 およびそれに接続されたソースライン $S_1 \sim S_n$ の電位変化を示している。フレームの切り替わり部分におけるアナログ映像信号がどの画素電極にも印加されていない期間（垂直ブランキング期間）のうち、COM 信号とアナログ映像信号との電位の関係が反転されるまでの期間では、ソースライン $S_1 \sim S_n$ の電位は、前フレームで各画素電極 1 9 に印加されたアナログ映像信号に等しい電位に保持される。この例では、各フレームにおいてある 1 本の水平走査線（以下「ライン」と呼ぶ）の全ての画素に対応するアナログ映像信号が同一であるものとしている。そのため、上記期間では、ソースライン $S_1 \sim S_n$ および画素電極 $19-1 \sim 19-n$ の電位変化を示す線

10

20

30

40

50

は、完全に重なり合っており、1本の線となっている。

【0027】

ここで、ある x 番目のフレーム x において、1ラインの全ての画素に対応するアナログ映像信号（アナログビデオ信号電圧）の電圧が V_{vidx} であり、COM信号が負極側の電圧 V_{comL} であれば、フレーム x とその次の $x+1$ 番目のフレーム $x+1$ とで同じ色を各画素で表示しようとした場合（表示しようとする映像が静止画像である場合）を想定する。

【0028】

この場合、フレーム $x+1$ において各画素電極 $19-1 \sim 19-n$ に印加されるアナログ映像信号 V_{vidx+1} は、図8に示すように、電圧 V_{vidx} と負極側の電圧 V_{comL} との差の分だけ正極側の電圧 V_{comH} より低い電圧でなくてはならない。これは、フレーム x におけるアナログ映像信号 V_{vidx} とCOM信号電圧との電位差 V_{white1} と、フレーム $x+1$ におけるアナログ映像信号 V_{vidx+1} とCOM信号電圧との電位差 V_{white2} とを同じ値に保つためである。図8において、 $T1$ 、 $T2$ 、および $T3$ は、映像データ上において水平方向に隣接する3つの画素に対応する画素電極 $19-1 \sim 19-3$ にソースバスライン $S1 \sim S3$ を介してアナログ映像信号を順次印加していく期間を表している。図7の液晶パネル102では、期間 $T1$ にソースバスライン $S1$ 、 $S2$ 、 $S3$ へ、期間 $T2$ にソースバスライン $S4$ 、 $S5$ 、 $S6$ へ、期間 $T3$ にソースバスライン $S7$ 、 $S8$ 、 $S9$ へ、それぞれアナログ映像信号を印加することになる。

10

【0029】

フレームの切り替わり部分におけるアナログ映像信号がどの画素電極にも印加されていない期間（垂直ブランキング期間）では全ソースライン $S1 \sim Sn$ 及び画素容量はフローティング状態であるため、COM信号がフレームの切り替わりで反転したときに、ソースライン $S1 \sim Sn$ 及び画素電極 $19-1 \sim 19-n$ の電位は、COM信号の変化に合わせて図8のように $V_{vidxrev}$ の電圧まで持ち上がる。そのため、フレーム $x+1$ で、アナログ映像信号を印加する期間 $T1 \sim T3$ 内に、ソースライン $S1 \sim Sn$ 及び画素電極 $19-1 \sim 19-n$ の電位がアナログ映像信号 V_{vidx+1} に等しい電位に到達するように画素容量を充電するためには、 $V_{vidxrev}$ から V_{vidx+1} までソースライン $S1 \sim Sn$ 及び画素電極 $19-1 \sim 19-n$ の電位を変化させねばならない。この変化量が大きいことにより、以下の2つの弊害が生じる。

20

30

【0030】

1つめの弊害は、アナログ映像信号を印加する直前におけるソースライン及び画素電極の電位が目標電圧 V_{vidx+1} まで離れているほど、画素容量などからなるCR回路の過渡現象により、ソースライン及び画素電極の電位が目標電圧に到達する時間がかかるということである。つまり、アナログ映像信号を画素電極に印加する直前におけるソースライン及び画素電極の電位が目標電位 V_{vidx+1} から離れているほど、画素電極にアナログ映像信号を印加して画素容量を充電する時間を長く取る必要が生じるということである。

【0031】

2つめの弊害は、アナログ映像信号が印加されているソースラインと、既に画素容量の充電を済ませてフローティング状態となっている隣のソースラインとの間にある寄生容量 21 （図3参照）の影響により、ある画素電極に対するアナログ映像信号の印加が、フローティング状態となっている隣の画素電極の電位を変化させてしまうことである。つまり、表示上における画素の色が、隣接する画素の影響によって変化してしまうことである。この変化量は、アナログ映像信号を印加する直前におけるソースライン及び画素電極の電位が目標電位から離れているほど大きい。

40

【0032】

また、液晶パネル102内のソースライン $S1 \sim Sn$ は、その周辺の配線やCOM信号線（共通配線 Ec ）との間隔が接近しているため、それらとの間に寄生容量が発生している。これら寄生容量の容量値（キャパシタンス）は、画素容量の容量値より大きく、無視

50

できない。これら寄生容量も、上記の２つの弊害を増大させる。

【００３３】

上記の２つの弊害はどちらも、液晶パネルの表示品位に非常に影響を与える。例えば、縦縞の発生が観察される。１つめの弊害は、点順次駆動の場合だけでなく線順次駆動の場合にも発生する。

【００３４】

これを解決する手段として、「プリチャージ」と呼ばれる処理を行うのが、点順次駆動では一般的である。また、線順次駆動でもプリチャージを行うことがある。プリチャージとは、画素電極にアナログ映像信号を印加する前に、画素電極およびそれに接続されたソースラインに、元の電位（例えば図８の電位 $V_{id x rev}$ ）より目標電位（例えば図８の電位 $V_{id x + 1}$ ）に近い電圧（プリチャージ電圧と呼ばれる）を印加しておき、画素容量を予め充電しておく処理である。

【００３５】

プリチャージでは、例えば、図９に示すように、アナログ映像信号を各ラインに対応する画素電極に印加する直前の、アナログ映像信号がどの画素電極にも印加されていない空白期間（水平ブランキング期間）中に、１ライン全てのソースライン及び画素電極に、元の電位 $V_{id x rev}$ より目標電位 $V_{id x + 1}$ に近いプリチャージ電圧 $V_{prec Fix}$ を印加しておく。それにより、目標電圧 $V_{vid x + 1}$ までのソースライン及び画素容量の電圧変化量を小さくでき、前述の２つの弊害を軽減させることができる。なお、図９において、 T_{prec} は、プリチャージ電圧 $V_{prec Fix}$ を印加する期間を表している。また、他の符号は、図８と同様である。

【００３６】

なお、プリチャージを行うタイミングは、水平ブランキング期間以外でもよい。他のタイミングでプリチャージを行う方法としては、各画素電極（およびそれに接続されたソースライン）へアナログ映像信号を印加する直前に１画素（ドット）毎にプリチャージを行う方法などがある。

【００３７】

図７のプリチャージ回路１１２は、このプリチャージ動作を実現するために、内蔵する n 個のアナログスイッチ１１２Ａにより、全ソースバスライン $S_1 \sim S_n$ と、一定のプリチャージ電圧 $V_{prec FI X}$ を供給する定電圧源（図示しない）との間を、接続したり（導通させたり）、切り離したり（遮断したり）するように制御することができる。すなわち、 n 個のアナログスイッチ１１２Ａにより、一定のプリチャージ電圧 $V_{prec FI X}$ をソースバスライン $S_1 \sim S_n$ に印加するか否かが制御される。ソースバスライン $S_1 \sim S_n$ と定電圧源との間の接続／切り離しの制御を行う信号は、液晶パネル制御信号群 $LCDCont$ に含まれている。

【００３８】

また、特許文献１には、アクティブマトリクス型液晶パネルの駆動回路において、入力ビデオ信号レベルを検出する検出回路、および検出回路によって検出された入力ビデオ信号レベルに応じた信号レベルのプリチャージ信号を生成するプリチャージ信号生成回路、を備えていることを特徴とする液晶パネルの駆動回路が記載されている。

【特許文献１】特開２００３－２１６１１９号公報（２００３年７月３０日公開）

【発明の開示】

【発明が解決しようとする課題】

【００３９】

しかしながら、図７の構成では、プリチャージ電圧 $V_{prec Fix}$ を固定している。

【００４０】

固定のプリチャージ電圧 $V_{prec Fix}$ の値としては、考え方によって色々な値が採用されており、全ての面で最適な値はない。

【００４１】

一般的には、プリチャージ電圧 $V_{prec Fix}$ として、正極性側の COM 信号と負極

10

20

30

40

50

性側のCOM信号との中間値が採用されていることが多い。これは、プリチャージ電圧が正極性側のCOM信号と負極性側のCOM信号との中間値であれば、目標電位がどのような値であっても、プリチャージ電圧からそれほど大きくは離れない、という考え方に基づいている。しかしながら、正極性側のCOM信号と負極性側のCOM信号との中間値を採用すると、プリチャージ電圧 $V_{precFix}$ が目標電位を超えてしまう場合があり、その場合には、超えた分（ソースライン及び画素容量に余分に充電してしまった分）の電力が無駄になる。

【0042】

また、プリチャージ電圧 $V_{precFix}$ として、COM信号と同一の電圧を採用することも多い。この場合、上述したような電力の無駄を抑えることができる。しかしながら、この場合には、目標電位とプリチャージ電圧との差が比較的大きく、前述した2つの弊害の影響を十分に軽減できない。

10

【0043】

以上のように、上記従来の液晶ドライバでは、プリチャージ電圧を固定しているために、最適なプリチャージ電圧を液晶パネルに与えることができない。

【0044】

また、この問題を解決する方法として、特許文献1の技術が提案されているが、この技術は、現フレーム（次フレーム）の映像信号を用いてプリチャージ電圧を決定しており、前フレームの映像信号を用いていない。

【0045】

そのため、特許文献1の技術を水平ブランキング期間で1ライン分のプリチャージを行う方法に適用しようとした場合、現フレームのあるラインの映像を表示するときに、そのラインの現フレームの映像信号を取得しなければならない。これは不可能である。そのため、特許文献1の技術は、水平ブランキング期間でプリチャージを行う駆動方法には適用できない。

20

【0046】

また、特許文献1の従来技術では、液晶プロジェクタが、外部からビデオ信号（R，G，B信号）を受け取ってから、そのビデオ信号の信号レベルを参照してプリチャージ信号のレベルを決定するようになっている。そのため、液晶プロジェクタが外部からビデオ信号（R，G，B信号）を受け取る前にはプリチャージを開始することができない。

30

【0047】

なお、特許文献1には「最適なレベルのプリチャージ信号を生成する」と記載されているが、最適なレベルについて、具体的に記載されていない。

【0048】

本発明は、上記の問題点に鑑みてなされたものであり、その目的は、表示RAM等のデータ保持手段を利用することにより、どんなタイミングでプリチャージを行う場合でも、例えば水平ブランキング期間にプリチャージを行う場合であっても、最適なプリチャージ電圧を液晶パネルに与えることができ、また、外部から映像信号を受け取る場合に、映像信号を受け取る前にプリチャージを開始することが可能な液晶駆動回路および液晶表示装置を提供することにある。

40

【課題を解決するための手段】

【0049】

本発明の液晶駆動回路は、上記の課題を解決するために、映像信号を供給するための複数の信号線と、上記信号線と交差するように配設され、走査信号を供給するための複数の走査線と、上記信号線と走査線との交点の各々の近傍に配置された液晶画素と、上記信号線から上記液晶画素の各々への映像信号の供給を、走査線によって供給された走査信号に応じて制御するためのスイッチング素子と、液晶画素に映像信号を印加する前の期間に、液晶画素を予め充電するためのプリチャージ電圧を信号線に印加するプリチャージ手段とを備える液晶パネルを駆動するための液晶駆動回路において、プリチャージ電圧を上記プリチャージ手段に供給するプリチャージ電圧供給手段と、あるフレームの表示時点まで、

50

その前のフレームの映像信号に関するデータを保持するためのデータ保持手段とを備え、上記プリチャージ電圧供給手段は、あるフレームの表示時にプリチャージ手段に供給するプリチャージ電圧を、データ保持手段に保持された前のフレームの映像信号に関するデータに応じて変更するようになっていることを特徴としている。

【0050】

上記構成によれば、上記プリチャージ電圧供給手段は、あるフレームの表示時にプリチャージ手段に供給するプリチャージ電圧を、データ保持手段に保持された前のフレームの映像信号に関するデータに応じて変更するようになっている。したがって、プリチャージ電圧を前のフレームの映像信号の電圧レベルから予想される最適な値に制御することができる。特に、携帯電話機に搭載される液晶表示装置などのような静止画メインのコンテンツを表示する液晶表示装置の場合には、前フレームと次フレームとの表示の内容が同じである時間が圧倒的に多い。そのため、このような場合には、前フレームの映像信号から、表示するフレームの映像信号を正確に予想できる。したがって、プリチャージ電圧を目標電圧値に近い値にすることができる。そのため、前述した2つの弊害、すなわち(1)画素電極にアナログ映像信号を印加して画素容量を充電する時間を長く取る必要が生じるという弊害、および(2)表示上における画素の色が隣接する画素の影響によって変化してしまうという弊害を軽減できる。したがって、表示品位を向上できると共に高速の駆動を実現できる。また、固定のプリチャージ電圧として正極性側のCOM信号と負極性側のCOM信号との中間値を使用した場合と比較して、プリチャージ電圧が目標電圧値を大きく上回ることを抑えることができるので、電力的に無駄なソースライン及び画素電極への電圧の印加を抑えることができ、その結果、消費電力を削減できる。

10

20

【0051】

上記構成は、プリチャージを行う期間にかかわらず適用可能である。すなわち、上記構成では、例えば水平ブランキング期間にプリチャージする場合には、データ保持手段を利用して、プリチャージ電圧を前のフレームの映像信号の電圧レベルから予想される最適な値に制御することができる。

【0052】

水平ブランキング期間に最適なプリチャージを行うためには、現フレームの表示時に、現フレームの1ラインの値を前フレームの1ライン全体の値から予想して、プリチャージ電圧を決定することが必要であり、それは、前フレームの1ライン分のデータを保持するデータ保持手段がない特許文献1の構成などでは不可能である。

30

【0053】

以上のように、特許文献1の技術は、水平ブランキング期間にプリチャージする場合に適用できないのに対し、上記構成は、水平ブランキング期間にプリチャージする場合にも適用可能である。

【0054】

さらに、本発明の構成は、外部から映像信号を受け取る場合に、外部から映像信号(特にデジタル映像信号)を受け取る前にプリチャージを開始できるという利点を有している。

【0055】

すなわち、特許文献1の従来技術では、前述したように、液晶プロジェクタが外部からビデオ信号(R, G, B信号)を受け取る前にプリチャージを開始することができない。

40

【0056】

これに対し、本発明の構成では、液晶画素に印加するプリチャージ電圧を、その液晶画素に印加される前フレームの映像信号の電圧レベルを参照して決定するようになっている。それゆえ、本発明の構成では、外部から映像信号(特にデジタル映像信号)を受け取る場合、外部から映像信号(特にデジタル映像信号)を受け取る前にプリチャージを開始できる。具体的には、例えば、1画素毎にプリチャージを行う場合に、ある液晶画素のプリチャージを、その液晶画素より1つ前(駆動順で)の液晶画素に対して映像信号の印加(本充電)を行っている間に、プリチャージを開始することができる。その結果、液晶画素

50

の充電時間をより長くすることができる。したがって、液晶画素に対して映像信号を印加する時間が短かくとも液晶画素の充電を十分に行うことができ、高速駆動を実現できる。また、液晶画素の充電時間を長くできることから、液晶画素に対して印加される映像信号の波形の立ち上がり時間（セトリングタイム）が遅くても、液晶画素の充電を十分に行うことができる。それゆえ、映像信号を出力する回路（例えば出力アンプ）として、能力を抑えた回路を用いることができるので、消費電力を削減できる。特に点順次駆動の場合、現在の技術では充電時間に余裕が無い（充電時間が必要最小限しか確保されていない）ため、充電時間を長くすることができることは、大きな利点となる。

【0057】

また、本発明の液晶駆動回路は、上記プリチャージ手段が、各走査線に対応する映像信号を液晶画素に印加する映像信号印加期間の直前の、どの液晶画素にも映像信号が印加されていない期間である水平ブランキング期間に、プリチャージ電圧を信号線に印加する構成であることが好ましい。

10

【0058】

上記構成によれば、1水平走査線ごとにプリチャージを行うので、1画素毎にプリチャージを行う場合に対して、以下の利点が得られる。

【0059】

すなわち、1画素毎にプリチャージを行う場合には、1画素毎にプリチャージを行う時間がフレーム期間内に余分に必要である。そのため、フレーム期間が一定であるとすれば、1画素への映像信号の印加時間が減ってしまう。特に高解像度の液晶パネルなどでは、高速で（短い印加時間）各画素へ映像信号を印加していく必要があるが、1画素毎にプリチャージを行う場合には、このような高速の駆動を実現することが難しい。また、駆動も複雑になる。

20

【0060】

これに対して、1水平走査線分の映像信号印加を開始する直前に、プリチャージ電圧を印加する場合には、1水平走査線分の映像信号印加時には、画素容量への映像信号印加に可能な限りの時間を使うことができる。そのため、フレーム期間が一定であるとすれば、1画素への映像信号の印加時間を長くすることができる。したがって、高速の駆動を実現できる。

【0061】

ただし、点順次駆動で、1水平走査線ラインごとにプリチャージを行う場合、画面の左端の画素と右端の画素とで、プリチャージしてから映像信号を印加するまでの時間が異なるため、そのことで、表示に影響が出る可能性もある。そのため、全ドット同じ条件でプリチャージを行うために、1画素毎にプリチャージを行うことも、表示品位向上の効果からは重要である。1画素毎にプリチャージを行う場合でも、本発明は、前述したように特許文献1の従来技術より長く液晶画素の充電時間を確保できるため、優位である。

30

【0062】

また、本発明の液晶駆動回路は、映像信号における各水平走査線毎に画素値の平均を演算する平均演算手段をさらに備え、上記データ保持手段は、上記前のフレームの映像信号に関するデータとして、平均値演算手段で演算された各水平走査線毎の平均画素値のデータを保持するものであり、上記プリチャージ電圧供給手段は、あるフレームにおけるある水平走査線の表示時に、プリチャージ手段に供給するプリチャージ電圧を、データ保持手段に保持された前のフレームにおける同じ水平走査線の平均画素値のデータに応じて変更するようになっている構成であることが好ましい。

40

【0063】

上記構成によれば、フレーム間での階調変化がないと仮定すれば、プリチャージ電圧と目標電位との差の1水平走査線全体における合計値が最小化される。したがって、特にフレーム間での階調変化がないか、あるいは小さい場合において、表示品位のさらなる向上および駆動のさらなる高速化を実現できる。また、平均値は、比較的小さい回路規模の演算回路で演算することができるので、回路規模の増大を抑えることができる。

50

【 0 0 6 4 】

また、本発明の液晶駆動回路は、上記データ保持手段が、映像信号をデータとして記憶するための表示メモリである構成であることが好ましい。

【 0 0 6 5 】

上記構成では、プリチャージ電圧の変更に利用するデータを保持するためだけのためにメモリを設ける必要がなく、映像信号をデータとして記憶するために設けられた表示RAM等の表示メモリを利用してプリチャージ電圧の変更に利用するデータを保持することができる。したがって、構成を簡素化することができる。

【 0 0 6 6 】

映像信号をデータとして記憶するために表示RAM等の表示メモリを設けるのは、外部の映像信号源（パーソナルコンピュータなど）とのインタフェースが、CPU (Central Processing Unit) インタフェースである場合には、一般に行われているので、この表示メモリを上記データ保持手段として利用することができる。

【 0 0 6 7 】

また、本発明の液晶表示装置は、上記の課題を解決するために、映像信号を供給するための複数の信号線と、上記信号線と交差するように配設され、走査信号を供給するための複数の走査線と、上記信号線と走査線との交点の各々の近傍に配置された液晶画素と、上記信号線から上記液晶画素の各々への映像信号の供給を、走査線によって供給された走査信号に応じて制御するためのスイッチング素子と、液晶画素に映像信号を印加する前に、液晶画素を予め充電するためのプリチャージ電圧を信号線に印加するプリチャージ手段とを備える液晶表示装置において、プリチャージ電圧を上記プリチャージ手段に供給するプリチャージ電圧供給手段と、あるフレームの表示時点まで、その前のフレームの映像信号に関するデータを保持するためのデータ保持手段とをさらに備え、上記プリチャージ電圧供給手段は、あるフレームの表示時にプリチャージ手段に供給するプリチャージ電圧を、データ保持手段に保持された前のフレームの映像信号に関するデータに応じて変更するようになっていることを特徴としている。

【 0 0 6 8 】

上記構成によれば、プリチャージ電圧を、データ保持手段に保持された前のフレームの映像信号に関するデータに応じて変更することで、表示品位を向上できると共に高速の駆動を実現できる。また、固定のプリチャージ電圧として正極性側のCOM信号と負極性側のCOM信号との中間値を使用した場合と比較して、プリチャージ電圧が目標電圧値を大きく上回ることを抑えることができるので、電力的に無駄なソースライン及び画素電極への電圧の印加を抑えることができ、その結果、消費電力を削減できる。

【 0 0 6 9 】

また、上記構成は、水平ブランキング期間にプリチャージする場合にも適用可能である。

【 0 0 7 0 】

さらに、上記構成は、外部から映像信号を受け取る場合に、外部から映像信号（特にデジタル映像信号）を受け取る前にプリチャージを開始できるという利点を有している。

【 発明の効果 】

【 0 0 7 1 】

本発明の液晶駆動回路および液晶表示装置は、データ保持手段に保持された前のフレームの映像信号に関するデータに応じて変更するので、水平ブランキング期間にプリチャージする場合にも適用可能であり、また、外部から映像信号を受け取る場合に、外部から映像信号（特にデジタル映像信号）を受け取る前にプリチャージを開始できるという効果を奏する。

【 発明を実施するための最良の形態 】

【 0 0 7 2 】

図1に示すように、本実施形態に係る電子機器は、液晶表示装置30とホスト装置3とを備えている。液晶表示装置30は、液晶ドライバ1と液晶パネル2とを備えている。

10

20

30

40

50

【 0 0 7 3 】

液晶パネル 2 は、後述する複数本 (n 本) のソースバスライン (データ線) $S_1 \sim S_n$ を駆動するデータ線駆動回路としてのソースドライバ 1 1 と、後述する複数本 (m 本) のゲートバスライン $G_1 \sim G_m$ を駆動する走査線駆動回路としてゲートドライバ 1 5 と、アクティブマトリクス型の液晶表示部 1 3 と、プリチャージ回路 1 2 とを備えている。

【 0 0 7 4 】

ソースドライバ 1 1 は、液晶ドライバ 1 に入力される入力デジタル映像信号 (映像データ) に対応するアナログ映像信号 V_{Rv} 、 V_{Gv} 、 V_{Bv} (それぞれ赤、緑、青の画像データ) を受け取り、受け取ったアナログ映像信号 V_{Rv} 、 V_{Gv} 、 V_{Bv} を後述するソースバスライン $S_1 \sim S_n$ に対して複数本ずつ (あるいは 1 本ずつ) 順次印加するものである。ゲートドライバ 1 5 は、後述する複数本 (m 本) のゲートバスライン $G_1 \sim G_m$ を順次 1 本ずつ選択する (後述する T F T 1 8 のゲートに対して T F T 1 8 を導通させるような電圧を印加する) ものである。

10

【 0 0 7 5 】

液晶表示部 1 3 は、入力デジタル映像信号における各水平走査線に対応する複数本 (m 本) の走査信号線としてのゲートバスライン $G_1 \sim G_m$ と、それらのゲートバスライン $G_1 \sim G_m$ のそれぞれと交差する複数本 (n 本) のデータ線としてのソースバスライン $S_1 \sim S_n$ と、それらのゲートバスライン $G_1 \sim G_m$ とソースバスライン $S_1 \sim S_n$ との交差点に設けられた複数個 ($m \times n$ 個) の画素形成部 (画素) 1 4 とを含んでいる。これらの画素形成部は、マトリクス状に配置されている。なお、図中の 1 4 は、 $m \times n$ 個ある画素形成部の中の 1 つを例として指しており、1 4 が指している部分のみが画素形成部ではない。

20

【 0 0 7 6 】

各画素形成部 1 4 は、図 3 に示すように、 k (k は 1 以上 n 以下の任意の整数) 番目のソースバスラインと j (j は 1 以上 m 以下の任意の整数) 番目のゲートバスラインとの交差点近傍に配置されたスイッチング素子としての T F T 1 8 と、画素電極 1 9 と、上記複数の画素形成部に共通的に設けられた対向電極 ($m \times n$ 個の画素電極に対向する 1 つの電極) である共通電極 2 3 と、上記複数の画素形成部に共通的に設けられ (上記複数の画素形成部に共通的に設けられた共通配線 E_c に接続され) 画素電極 1 9 と共通電極 2 3 との間に挟持された、液晶層からなる容量 (キャパシタ) 2 2 と、画素電極 1 9 と共通電極 2 3 とによって形成される容量 2 2 に並列に形成される電荷保持容量 2 0 とを備えている。T F T 1 8 のソース端子は上記交差点を通過するソースバスライン S_k に、T F T 1 8 のゲート端子は上記交差点を通過するゲートバスライン G_j に、T F T 1 8 のドレイン端子は画素電極に、それぞれ接続されている。

30

【 0 0 7 7 】

そして、画素電極 1 9 と共通電極 2 3 とにより形成される容量 2 2 と、電荷保持容量 2 0 とにより、画素容量が構成される。ここでは、電荷保持容量 2 0 も容量 2 2 と同じく共通配線 E_c に接続されている例を挙げている。寄生容量 2 1 は、実際に回路としてコンデンサ (キャパシタ) が形成されているわけではなく、隣接するソースバスライン $S_k \cdot S_{k+1}$ 同士の間隔が狭いために発生することが防げない擬似的な容量である。この寄生容量 2 1 は、プリチャージ回路 1 2 が必要となる理由となる。寄生容量は、隣接するゲートライン $G_j \cdot G_{j+1}$ 間等、他の近接する配線の間にも発生するが、ここでは、プリチャージ回路 1 2 に関係する寄生容量 2 1 のみに注目する。

40

【 0 0 7 8 】

プリチャージ回路 1 2 は、ソースバスライン $S_1 \sim S_n$ にそれぞれ接続された n 個のアナログスイッチ 1 2 A を有している。プリチャージ回路 1 2 の詳細については、後述する。

【 0 0 7 9 】

ホスト装置 3 は、液晶パネル 2 に表示しようとする映像を表すデジタル映像信号 (映像データ) を供給する信号源、例えばパーソナルコンピュータ (パソコン) や P D A (表示

50

装置部分を除く)等である。

【0080】

液晶ドライバ1は、ホスト装置3からデジタル映像信号や各種制御信号を受け取り、デジタル映像信号を表示RAM5へ、各種制御信号をタイミングジェネレータ部6へそれぞれ送るホストインタフェース部4と、デジタル映像信号を1画面(フレーム)分保存するための表示RAM5と、表示RAM5からデジタル映像信号を読み込み、各種制御信号とタイミングを合わせて液晶パネル2へデジタル映像信号を階調電圧生成回路7~9へ出力するタイミングジェネレータ部6と、タイミングジェネレータ部6から送られるデジタル映像信号をアナログ映像信号に変換し、液晶パネル2にアナログ映像信号を送る階調電圧生成回路を備えている。階調電圧生成回路は、赤のアナログ映像信号(アナログ階調電圧)VRvを生成するR(赤)階調電圧生成回路7、緑のアナログ映像信号(アナログ階調電圧)VGvを生成するG(緑)階調電圧生成回路8、および青のアナログ映像信号(アナログ階調電圧)VBvを生成するB(青)階調電圧生成回路9からなる。このR階調電圧生成回路7、G階調電圧生成回路8、B階調電圧生成回路9を階調電圧生成回路が2系統以上持つことにより、映像信号の転送スピードを遅くすることができる相展開という技術もあるが、ここでは、相展開していない例を挙げる。階調電圧生成回路7、8、および9にはそれぞれ、図示しないHigh側基準電圧生成回路で生成されたHigh側基準電圧VvidHと、図示しないLow側基準電圧生成回路で生成されたLow側基準電圧VvidL($VvidL < VvidH$)とが供給されている。

10

【0081】

図2に、階調電圧生成回路(R階調電圧生成回路7、G階調電圧生成回路8、およびB階調電圧生成回路9の各々)の例を示す。

20

【0082】

階調電圧生成回路は、図2に示すように、抵抗ラダー16、p(pは複数)個のアナログスイッチSD1~SDp、およびアンプ17を備えている。抵抗ラダー16は、High側基準電圧VvidHが印加された基準電圧線とLow側基準電圧VvidLが印加された基準電圧線との間に直列に接続された(p+1)個の抵抗素子からなる。抵抗ラダー16は、アナログ映像信号のHigh側基準電圧VvidHとLow側基準電圧VvidLとの間を抵抗ラダー16にて抵抗分割することにより、アナログスイッチSD1~SDpの抵抗ラダー16側端子に、互いに異なるp個の電圧を生成する。アナログスイッチSD1~SDpは、その中の1つが選択的に導通することによって、p段階の可変電圧をアンプ17に送ることができる。アンプ17は、送られたp段階の可変電圧を増幅して液晶パネル2へ出力する。なお、図示していないが、アナログスイッチSD1~SDpの選択は、タイミングジェネレータ部6から送られるデジタル映像信号によって行われる。

30

【0083】

次に、液晶ドライバ1が液晶パネル2を駆動する手順を説明する。

【0084】

ソースドライバ11は、図示しないが、アナログ映像信号VRv、VGv、VBvの入力端子とソースバスラインS1~Snとの間にそれぞれ挿入されたn個のアナログスイッチと、ソースバスラインS1~Snにそれぞれ対応するn個のフリップフロップから構成されたシフトレジスタとを備えており、各フリップフロップの出力は、対応するソースバスラインに接続されるアナログスイッチのオン/オフを行っている。シフトレジスタは、各画素(画素形成部14)に対応するアナログ映像信号が入力されるタイミングに合わせて、対応するソースバスラインS1~Snのアナログスイッチを所定期間ずつ導通させて、画素容量に階調電圧が印加されるよう順次シフトされていく。これが、点順次駆動である。この例では、アナログ映像信号はR、G、Bの3系統あるので、映像データ上の1つの画素に対応する3つの画素形成部14に接続されたソースバスラインS1、S2、S3が同時にオン状態(階調電圧が印加された状態)となり、次のタイミングで、映像データ上の次の1つの画素に対応する3つの画素形成部14に接続されたソースバスラインS4、S5、S6が同時にオン状態(階調電圧が印加された状態)となり、・・・というよう

40

50

に、ソースバスライン $S_1 \sim S_n$ が 3 本ずつ順次オン状態となる。

【0085】

ゲートドライバ 15 も、シフトレジスタを内蔵しており、このシフトレジスタは、ゲートバスライン $G_1 \sim G_m$ にそれぞれ対応する m 個のフリップフロップから構成され、各フリップフロップの出力は、対応するゲートバスライン $G_1 \sim G_m$ に供給される。このシフトレジスタは、ソースドライバ 11 にアナログ映像信号 V_{Rv} 、 V_{Gv} 、 V_{Bv} が入力されるタイミングに合わせて 1 垂直走査期間毎に順次シフトされていく。これにより、液晶パネル 2 におけるゲートバスライン $G_1 \sim G_m$ が 1 水平走査期間ずつ順次に選択され、選択されたゲートバスライン ($G_1 \sim G_m$ のうちの 1 つ) にのみアクティブな走査信号 (TFT_{18} を導通させる電圧) が印加される。

10

【0086】

ソースドライバ 11 およびゲートドライバ 15 のそれぞれのシフトレジスタのタイミング制御は、タイミングジェネレータ部 6 が行っている。タイミングジェネレータ部 6 は、このタイミング制御を行うために液晶パネル制御信号群 $LCDCont$ をソースドライバ 11 およびゲートドライバ 15 のそれぞれのシフトレジスタに送っている。

【0087】

上記のようにして、液晶パネル 2 において、ソースバスライン $S_1 \sim S_n$ にはソースドライバ 11 からアナログ映像信号 V_{Rv} 、 V_{Gv} 、 V_{Bv} が映像駆動信号として印加され、ゲートバスライン $G_1 \sim G_m$ にはゲートドライバ 15 から走査信号が印加される。これにより、各画素形成部 14 における液晶層 (容量 22) には、アナログ映像信号 V_{Rv} 、 V_{Gv} 、 V_{Bv} に応じて画素電極 19 と共通電極 23 との電位差に相当する電圧が印加される。液晶パネル 2 は、この印加電圧によって液晶層 (容量 22) の光透過率を制御することにより、外部のパソコン等のホスト装置 3 から受け取ったデジタル映像信号の示す映像を表示する。

20

【0088】

なお、ポリシリコン TFT-LCD 装置または CG シリコン TFT-LCD 装置等では、ソースドライバ 11、ゲートドライバ 15、およびプリチャージ回路 12 を液晶パネル 2 と同一の基板上に形成してもよい。このように同一基板上に表示部と駆動回路部とが一体的に形成された液晶表示装置は、ドライバーモノリシック型液晶表示装置と呼ばれている。

30

【0089】

次に、プリチャージ回路 12 について説明する。

【0090】

点順次駆動では、アクティブとなっているソースライン (図 1 の例では 3 本のソースライン) のみが、アナログ映像信号を供給する配線と接続された状態となっており、それ以外のソースライン及び画素電極 19 は、フローティング状態となっている。そして、液晶パネルは、通常、品質を保つために、画素電極 19 と共通電極 23 との電位の上下関係のある周期で反転しながら駆動することが必須である。そのため、図 1 における High 側基準電圧 V_{vidH} および Low 側基準電圧 V_{vidL} のそれぞれとして、正極性用の電圧 (正極側の電圧) および負極性用の電圧 (負極側の電圧) の 2 種類の電圧を、共通電極 23 に印加する電圧 (COM 信号) の反転に合わせて交互に使用しているのが一般的である。

40

【0091】

液晶ドライバ 1 は、従来例の図 7 に示す液晶ドライバ 101 と異なり、プリチャージ電圧を生成してプリチャージ回路 12 に供給するためのプリチャージ階調電圧生成回路 10 を有しており、タイミングジェネレータ部 6 が平均値作成回路 31 を内蔵しており、表示 RAM 5 が平均値作成回路 31 で作成されたデータも保存するようになっている。

【0092】

プリチャージ階調電圧生成回路 10 の構造は、図 4 の通りである。プリチャージ階調電圧生成回路 10 は、水平ブランキング期間中に表示 RAM 5 からライン平均値を読み出し

50

、そのライン平均値を用い、かつ、アナログ映像信号とCOM信号との電位の関係がフレーム毎に反転していることを考慮して、スイッチSD1～SDpを制御することにより、プリチャージ電圧（プリチャージ階調電圧）を生成する。

【0093】

プリチャージ階調電圧生成回路10は、次のフレームで液晶画素（容量22）に印加される電圧の極性（画素電極19に印加されるアナログ映像信号の電位から、共通電極23に印加されるCOM信号の電位を引いた電位の正負）が、正極性であるか負極性であるかを考慮してプリチャージ電圧を決定し、スイッチSD1～SDpを適当に制御することにより、プリチャージ電圧を生成する。すなわち、一般的な液晶表示装置では必ず、液晶画素に印加される電圧の極性はフレーム毎に反転され、正極性および負極性が交互に繰り返される。そのため、表示RAM5に格納されたライン平均値が同じ値であっても、液晶画素に印加される電圧の極性が正極性であるか負極性であるかで、プリチャージ電圧を変える必要がある。すなわち、プリチャージ階調電圧生成回路10は、正極性の電圧を液晶画素に印加するフレームでは、COM信号よりもライン平均値だけ高い電位をプリチャージ電圧として生成し、負極性の電圧を液晶画素に印加するフレームでは、COM信号よりもライン平均値だけ低い電位をプリチャージ電圧として生成する。例えば、正極性の電圧を液晶画素に印加するフレームではCOM信号を0Vとし、負極性の電圧を液晶画素に印加するフレームではCOM信号を4Vとする場合、表示RAM5に格納されたライン平均値が3Vであれば、プリチャージ階調電圧生成回路10は、正極性の電圧を液晶画素に印加するフレームでは3Vのプリチャージ電圧を生成し、負極性の電圧を液晶画素に印加するフレームでは1Vのプリチャージ電圧を生成する。これにより、正極性の電圧を液晶画素に印加するフレーム、負極性の電圧を液晶画素に印加するフレームともに、液晶画素に印加される電圧の絶対値は3Vとなる。ただし、液晶画素に印加される電圧の絶対値が同じでも、実際には、液晶の特性上、正極性の電圧を液晶画素に印加する場合と、負極性の電圧を液晶画素に印加する場合とでは、液晶の透過率はまったく同じにはならない。そのため、これを考慮して、表示RAM5に格納されたライン平均値が同一であっても、正極性の電圧を液晶画素に印加する場合と、負極性の電圧を液晶画素に印加する場合とで、液晶画素に印加される電圧の絶対値を多少ずらすように、プリチャージ電圧を生成することが好ましい。

10

20

【0094】

このため、本実施形態の液晶ドライバ1は、プリチャージ電圧 V_{prec} として、アナログ映像信号と同じ電圧範囲の任意の電圧を動的に出力することが可能である。プリチャージ電圧の制御は、タイミングジェネレータ部6が行っている。液晶ドライバ1が出力するプリチャージ電圧の値は、表示RAM5に格納されていた前フレームの同一ラインのアナログ映像信号電圧の平均値である。ただし、プリチャージ電圧の値は、実際には後述するように、フレーム毎にアナログ映像信号とCOM信号との電位の関係が反転しているので、この反転を考慮した値である。タイミングジェネレータ部6は、毎フレームこのプリチャージ電圧の値を更新していく。

30

【0095】

こうすることの利点を図6にて説明する。まず、前提として、例えば携帯電話では、液晶パネル表示中のほとんどの時間は静止画が表示されている。そのため、基本的に前フレームと次フレームでは同じ色を表示していることがほとんど、と考える。

40

【0096】

図6では1ラインのアナログ映像信号電圧が全て同じ例であり、この場合、平均値もその値となり、フレーム $X+1$ のプリチャージ電圧 V_{prec} は V_{vidx+1} となる。そのため、目標電圧値との差は0であり、問題はまったく発生しない。

【0097】

平均値作成回路31は、ホストインタフェース部4からの映像データ（デジタル映像信号）の各画素の値を順次受け取って保存する第1の保存器と、第1の保存器に保存された値と第2の保存器に保存された値とを加算し、得られた値を第2の保存器に送る加算器と

50

、加算器から送られた値を保存する第2の保存器とを備えている。また、第2の保存器は、1ラインごとに0クリアされる。平均値作成回路31は、第1の保存器、第2の保存器、および加算器によって1ラインの合計値を算出し、第2の保存器から出力するようになっている。平均値作成回路31は、第2の保存器から出力された1ラインの合計値を1ラインの画素数で除算することで1ラインの平均値を算出する除算器をさらに備えている。除算器は、算出した1ラインの平均値を表示RAM5に書き込む。なお、平均値作成回路31、および表示RAM5とのインタフェースを行う回路は、タイミングジェネレータ部6内に設けられている。

【0098】

平均値作成回路31に代えて、平均値作成回路31より簡易な回路（平均値作成回路31より少ないクロック数で計算が終了する回路）で、平均値に近い値を算出できる回路を用いることも可能である。そのような平均値に近い値を算出できる演算回路131および表示RAM5の構成については、図5に示す通りである。

【0099】

演算回路131は、ホストインタフェース部4からの映像データ（デジタル映像信号）の各画素の値を順次受け取って保存する保存器131aと、保存器131aに保存された値と保存器131dに保存された値とを加算し、得られた値をビットシフト回路131cに送る加算器131bと、加算器131bで得られた値を1ビット右へシフトする（2で割る）ビットシフト回路131cと、ビットシフト回路131cでシフトされた値を保存する保存器131dとを備えている。ただし、ビットシフト回路131cは、1つめの画素についてはシフトしない。また、保存器131dは、1ラインごとに0クリアされる。この演算回路131、および表示RAMとのインタフェースを行う回路は、タイミングジェネレータ部6内に設けられている。

【0100】

表示RAM5は、演算回路131で得られた演算値を保存する演算値保存部5Aと、ホストインタフェース部4からの映像データを保存する映像データ保存部5Bとを備えている。

【0101】

まず、保存器131aに最初の画素の値が格納されると、加算器131bによって、保存器131dの初期値0と、保存器131aに格納された最初の画素の値とを加算し、加算された値（2進数）、すなわち最初の画素の値をビットシフト回路131cから保存器131dに転送して、保存器131dに格納する。

【0102】

次に、加算器131bによって、保存器131dに格納された最初の画素の値と、保存器131aに格納された次の画素の値とを加算し、加算された値（2進数）をビットシフト回路131cによって2で割り（1ビット右へシフトし）、得られた値、すなわち最初の画素の値と次の画素の値との平均値を保存器131dに格納する。

【0103】

次に、保存器131dに格納された平均値（ビットシフト回路131cで得られた値）と、さらに次の画素（3番目の画素）の値とを加算器131bによって加算し、加算された値（2進数）をビットシフト回路131cによって2で割り、得られた値を保存器131dに格納する。このときに保存器131dに格納される値は、1番目の画素の値をP1、2番目の画素の値をP2、3番目の画素の値をP3とすると、

$$(P1 + P2) / 4 + P3 / 2$$

となる。

【0104】

以下、同様の処理を1ライン分続け、演算結果を表示RAM5の演算値保存部5Aに書き込む。同様の処理が各ラインについて行われることにより、各ライン毎に演算値が演算値保存部5Aに書き込まれる。

【0105】

10

20

30

40

50

プリチャージ階調電圧生成回路 10 では、現フレームのあるラインの表示時に、表示 RAM 5 に保存された前フレームの同ラインの値を取得して、その値を、階調電圧生成回路によるデジタル映像信号からアナログ映像信号を生成する DA 変換とまったく同様にして DA 変換し、プリチャージ電圧を生成する。

【0106】

以上のように、本実施形態の液晶表示装置 30 は、液晶パネル 2 と、液晶パネル 2 を駆動するための液晶ドライバ（液晶駆動回路）1 とを備え、液晶パネル 2 は、アナログ映像信号（映像信号）VRv、VGv、VBv を TFT（スイッチング素子）18 のソースに供給するための複数のソースバスライン（信号線）S1～Sn と、ソースバスライン S1～Sn と交差するように配設され、走査信号を TFT 18 のゲートに供給するための複数のゲートバスライン（走査線）G1～Gm と、ソースバスライン S1～Sn とゲートバスライン G1～Gm との交点の各々の近傍に配置された画素電極 19 と共通電極 23 とによって形成される容量（液晶画素）22 と、ソースバスライン S1～Sn から容量 22 の各々へのアナログ映像信号 VRv、VGv、VBv の供給を、ゲートバスライン G1～Gm によって供給された走査信号に応じて制御するための TFT 18 と、容量 22 にアナログ映像信号 VRv、VGv、VBv を印加する前の期間に、容量 22 を予め充電するためのプリチャージ電圧をソースバスライン S1～Sn に印加するプリチャージ回路（プリチャージ手段）12 とを備える。

【0107】

そして、液晶ドライバ 1 は、プリチャージ電圧をプリチャージ回路 12 に供給するプリチャージ電圧供給手段としてのタイミングジェネレータ部 6 およびプリチャージ階調電圧生成回路 10 と、ホスト装置 3 から入力されたデジタル映像信号をデータとして記憶すると共に、あるフレームの表示時点まで、その前のフレームの映像信号に関するデータを保持するための表示 RAM（データ保持手段）5 とをさらに備え、タイミングジェネレータ部 6 およびプリチャージ階調電圧生成回路 10 は、あるフレームの表示時にプリチャージ回路 12 に供給するプリチャージ電圧を、表示 RAM 5 に保持された前のフレームの映像信号に関するデータに応じて変更するようになっている。

【0108】

さらに、プリチャージ回路 12 は、各ゲートバスライン G1～Gm に対応するアナログ映像信号 VRv、VGv、VBv を容量 22 に印加する映像信号印加期間の直前の、どの容量 22 にもアナログ映像信号 VRv、VGv、VBv が印加されていない期間である水平ブランキング期間に、プリチャージ電圧をソースバスライン S1～Sn に印加する構成である。

【0109】

上記構成によれば、1 水平走査線ごとにプリチャージを行うので、1 水平走査線分の映像信号印加時に、容量 22 への映像信号印加に可能な限りの時間を使うことができる。そのため、1 画素への映像信号の印加時間を長くすることができ、高速の駆動を実現できる。

【0110】

また、上記構成によれば、現フレームの表示時に、現フレームの 1 ラインの値を前フレームの 1 ライン全体の値から予想して、最適なプリチャージ電圧を決定することができる。したがって、水平ブランキング期間にプリチャージする構成において、最適なプリチャージ電圧を容量 22 に印加することができる。

【0111】

また、上記構成によれば、タイミングジェネレータ部 6 およびプリチャージ階調電圧生成回路 10 は、容量 22 に印加するプリチャージ電圧を、表示 RAM 5 に保持されている、その容量 22 に印加される前フレームの映像信号の電圧レベルを参照して決定するようになっている。それゆえ、外部のホスト装置 3 からデジタル映像信号を受け取る前にプリチャージを開始できる。その結果、容量 22 の充電時間をより長くすることができる。したがって、容量 22 に対してアナログ映像信号 VRv、VGv、VBv を印加する時間が

短かくとも容量 22 の充電を十分に行うことができ、高速駆動を実現できる。また、容量 22 の充電時間を長くできることから、容量 22 に対して印加される映像信号の波形の立ち上がり時間（セトリングタイム）が遅くても、容量 22 の充電を十分に行うことができる。それゆえ、アナログ映像信号 V_{Rv} 、 V_{Gv} 、 V_{Bv} を出力する回路 7～9 内の出力アンプとして、増幅能力を抑えた出力アンプを用いることができるので、液晶ドライバ 1 の消費電力を削減できる。

【0112】

また、液晶ドライバ 1 は、映像信号における各水平走査線毎に画素値の平均を演算する平均値作成回路（平均演算手段）31 をさらに備え、表示 RAM 5 は、前のフレームの映像信号に関するデータとして、平均値作成回路 31 で演算された各水平走査線毎の平均画素値のデータを保持するものであり、タイミングジェネレータ部 6 およびプリチャージ階調電圧生成回路 10 は、あるフレームにおけるある水平走査線の表示時に、プリチャージ回路 12 に供給するプリチャージ電圧を、表示 RAM 5 に保持された前のフレームにおける同じ水平走査線の平均画素値のデータに応じて変更するようになっている。

10

【0113】

平均値は比較的小さい回路規模の演算回路で演算することができるので、上記構成により、回路規模の増大を抑えることができる。

【0114】

なお、上記の説明では、平均値作成回路 31 で作成した値を保持するために表示 RAM 5 を利用していたが、平均値作成回路 31 で作成した値を保持する手段は、ゲートライン数分の RAM で実現できるので、表示 RAM が無くても構わない。したがって、本発明は、ホスト装置 3 とのインターフェースが、水平同期信号 H、垂直同期信号 V、およびドットクロックを直接入力する RGB インタフェースであり、表示 RAM が無い場合にも適用できる。しかし、表示 RAM が無い場合に RAM を液晶ドライバ 1（通常は IC で実現される）内に設けることは、コストの増大や液晶ドライバ 1 の回路規模の増大を招く。そのため、もともと表示 RAM を持つ液晶ドライバ（例えば図 7 の液晶ドライバ 101）を、表示 RAM の一部を映像データの保存ではなく平均値の保存に使用するようにして本発明の液晶パネルを実現する方が、コストの増大や液晶ドライバ 1 の回路規模の増大を抑制できる。

20

【0115】

また、平均値作成回路 31 で作成した値を RAM ではなく、フリップフロップで保存してもよい。その場合、IC 内部に本来必要のない RAM を混在させることによるコストアップ、回路の複雑化がないため、RGB インタフェースでも本方法の利点が得られる。

30

【0116】

また、上述した例は、静止画を表示し、1 ラインのアナログ映像信号の電圧が全て同じであり、かつ、フレーム間での階調変化が全くない場合（静止画を表示する場合）であり、本発明が最も大きな効果を奏する映像信号の例である。この例では、前フレームのデジタル映像信号を参照してプリチャージ電圧を決定する本発明の構成により、特許文献 1 の従来技術と同等の精度で最適なプリチャージ電圧を生成することができる。

【0117】

一方、通常の映像信号では、1 ラインにおける各画素のアナログ映像信号の電圧はまちまちである。しかし、そのような映像信号を使用した場合でも、本実施形態における平均値を使用して生成したプリチャージ電圧 V_{prec} は、1 ライン全体の平均でみると、従来の固定のプリチャージ電圧、すなわち、正極性側の COM 信号と負極性側の COM 信号との中間値や、COM 信号と同一の電圧などより、目標電圧値に近い値となる。そのため、従来例より、前述の 2 つの弊害の影響を軽減でき、表示品位を向上できると共に、高速の駆動を実現できる。また、固定のプリチャージ電圧として正極性側の COM 信号と負極性側の COM 信号との中間値を使用した場合と比較して、プリチャージ電圧が目標電圧値を大きく上回ることを抑えることができるので、電力的に無駄なソースライン及び画素電極への電圧の印加を抑えることができ、その結果、消費電力を削減できる。

40

50

【0118】

また、上記の説明では、静止画を表示する例を挙げたが、動画を表示する場合にも、前フレームの映像信号と現フレームの映像信号とで同じ階調である画素（ドット）は多く発生する。そのため、動画を表示する場合においても、静止画を表示する場合ほどではないものの、ほぼ同様の効果を得ることができる。

【0119】

また、2フレーム分の表示RAMを持つ液晶ドライバを使用すれば、現フレームの画像も既知である。パーソナル・コンピュータ用の液晶ドライバには、2フレーム分の表示RAMを持つ表示コントローラを用いているものが存在する。このような2フレーム分の表示RAMを用いるのは、以下の理由による。RAMが1つしかない場合、RAMへのデータ書き込みとRAMから液晶パネルへのデータ読み出しとをうまく同期させないと、画面の途中で、書き込みのポイントと読み出しのポイントとが交差し、表示として、画面の下半分だけ前のフレームが表示される、という状態が発生する。これを回避するために、書き込みだけを行うRAMと、読み出しだけ行うRAMとをそれぞれ1画面分ずつ用意し、それらを交互に使用することがある。そのような2フレーム分の表示RAMを利用すれば、液晶パネルへの読み出しを行う時点では、すでに1画面分のデータがRAMに書き込まれていることになる。したがって、現フレームの表示を行う時には、液晶ドライバが現フレームの全画素の値を既にわかっている状態となる。

10

【0120】

2フレーム分の表示RAMを持つ液晶ドライバを使用し、前フレームのデータに基づいてプリチャージを行うことで、静止画を表示する場合ほどではないものの、静止画の場合とほぼ同様の効果が得られる。

20

【0121】

また、本発明は、プリチャージを行う期間にかかわらず適用可能である。したがって、プリチャージを行う期間は、垂直ブランキング期間（フレーム間のアナログ映像信号を画素に印加しない期間）などであってもよい。また、プリチャージを行う期間は、各画素にアナログ映像信号を印加する直前の期間（各画素毎の期間）であってもよい。すなわち、表示RAMを利用し、前フレームの映像信号の値を元にして1画素（ドット）毎にプリチャージすることも容易に可能である。

【0122】

また、上記の説明では、プリチャージ電圧 V_{prec} を前フレームの1ラインのアナログ映像信号電圧の平均値としたが、プリチャージ電圧 V_{prec} は、全体としてみたときに前フレームの1ラインのアナログ映像信号電圧との差が比較的小さいように決定すればよい。したがって、プリチャージ電圧 V_{prec} として、他の統計値、例えば中央値（メディアン）、最頻値（モード）を使用することも有効である。特に液晶表示装置が携帯電話機の表示画面などであり、殆どの部分が白で周縁部に細い枠線が入っているだけの静止画を表示する場合などでは、平均値より最頻値（モード）を使用した方が、より効果的である。平均値に代えて最頻値を使用する場合、平均値作成回路31に代えて、最頻値算出回路を用いればよい。最頻値算出回路は、例えば、RAMを用いて、1ラインの各画素の値として出現した値の数をカウントして、最も多く出現した値（最頻値）を見つける構成とすればよい。

30

40

【0123】

ただし、メディアンやモードは、通常計算するように、どの値が何回出てきたかを保存、比較して決定する必要があるため、計算を行う回路の規模が増える。そのため、回路規模を小さくするためには、プリチャージ電圧 V_{prec} として平均値を使用することが好ましい。

【0124】

また、上記の説明では、ソースラインを1本ずつ駆動する点順次駆動のドライバの例を挙げたが、ソースラインを複数本ずつ駆動するSSD(Source Shared Driver)でも同様の効果が得られる。SSDは、点順次駆動のドライバの1形態であるからである。また、本

50

発明は、線順次駆動の液晶ドライバにも適用可能である。

【0125】

また、上記の説明では、COM信号及びビデオ信号についてライン反転を行うことなくフレーム反転を行う例について説明したが、本発明は、フレーム反転を行うものである限りはどのような駆動方式にも適用可能であり、例えば、フレーム反転とライン反転との両方を行う駆動方式にも適用可能である。現在実際に使用されている液晶の駆動方法には、下記2種類の駆動方法がある。

【0126】

(1)ライン反転を行うことなくフレーム反転を行う駆動方法

(2)フレーム反転とライン反転との両方を行う駆動方法

10

(1)の駆動方法は、1フレーム(1画面)毎に正極性、負極性を繰り返す。(1)の駆動方法では、COM信号の極性はフレーム毎に反転する。(2)の駆動方法は、フレーム反転を行うと共に、さらにラインごとに正極性、負極性を交互に並べる方法である。(2)の駆動方法では、COM信号は、ラインごとに反転した上で、フレーム毎に反転する(現フレームの位相は前フレームの逆相になる)。この場合、図6にて説明したビデオ信号の持ち上がりが、ラインごとに発生するが、COM信号と画素容量との間の電圧は一定であるため、その持ち上がりの発生自体は表示に影響を与えない。プリチャージが必要となるのは、その電圧を変化させるタイミング、すなわち次のフレームであり、本発明の効果は(1)と同様に得られる。なお、(2)の駆動方法を(1)の駆動方法と区別するために「ライン反転」と呼ぶことがあるが、これは、フレーム反転に加えてライン反転もしているという意味であり、ライン反転のみを行っているという意味ではない。これらの現在実際に使用されている液晶の駆動方法では、ある画素に注目すれば、その画素の極性(液晶に印加される電圧の極性)は必ずフレーム毎に反転する。これは、液晶表示装置の表示品質を確保するために必須である。現在、実際には(2)の駆動方法を使用することが多い。

20

【産業上の利用可能性】

【0127】

本発明は、プリチャージ(予備充電)を行うアクティブマトリクス型の液晶表示装置、および、それを駆動するためのプリチャージ電圧を供給する機能を備える液晶駆動回路の製造等に利用することができる。

【図面の簡単な説明】

30

【0128】

【図1】本発明の実施形態に係る液晶表示装置の構成を示す図である。

【図2】階調電圧作成回路の構成を示す図である。

【図3】液晶パネルを構成する画素形成部の構成を示す回路図である。

【図4】プリチャージ階調電圧生成回路の構成を示す回路図である。

【図5】平均値作成回路および表示RAMの構成を示す回路図である。

【図6】本発明の方法を用いた場合におけるフレーム切り替わり部分でのCOM信号の電位およびソースラインの電位(画素電極の電位)の変化を示すグラフである。

【図7】従来の液晶表示装置の構成を示す図である。

【図8】プリチャージを行わない場合におけるフレーム切り替わり部分でのCOM信号の電位およびソースラインの電位(画素電極の電位)の変化を示すグラフである。

40

【図9】従来のプリチャージを行った場合におけるフレーム切り替わり部分でのCOM信号の電位およびソースラインの電位(画素電極の電位)の変化を示すグラフである。

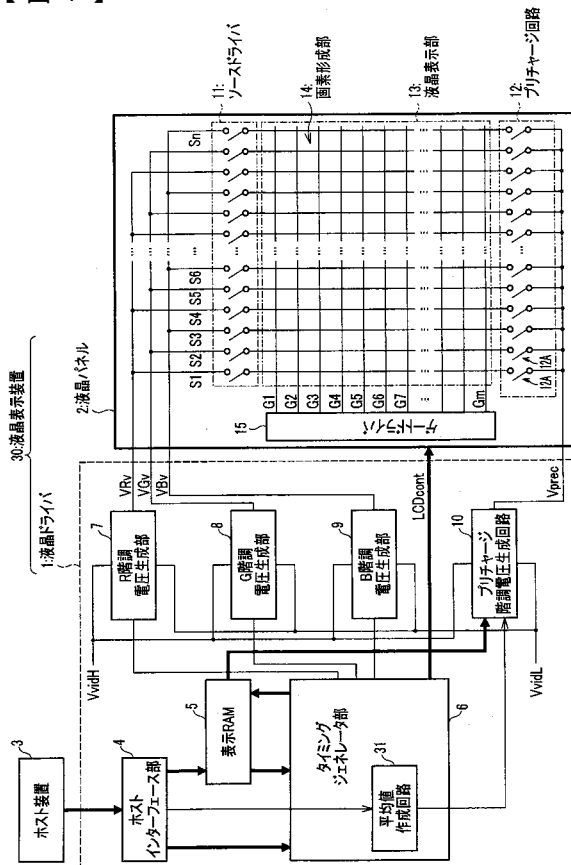
【符号の説明】

【0129】

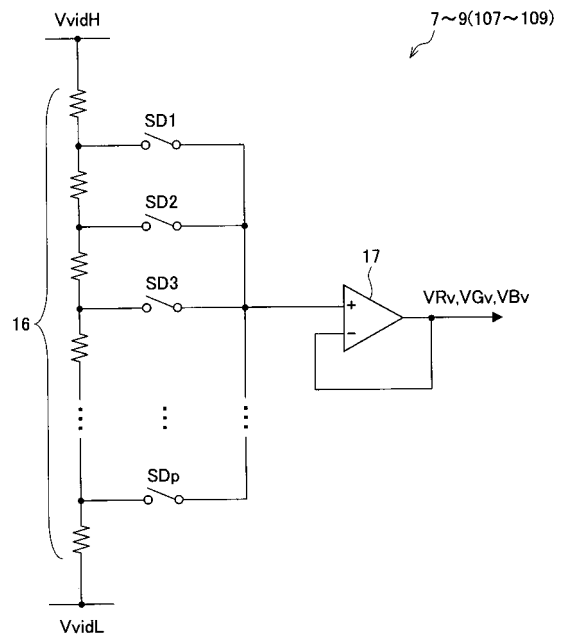
- 1 液晶ドライバ(液晶駆動回路)
- 2 液晶パネル
- 5 表示RAM(データ保持手段)
- 6 タイミングジェネレータ部(プリチャージ電圧供給手段)
- 10 プリチャージ階調電圧生成回路(プリチャージ電圧供給手段)

50

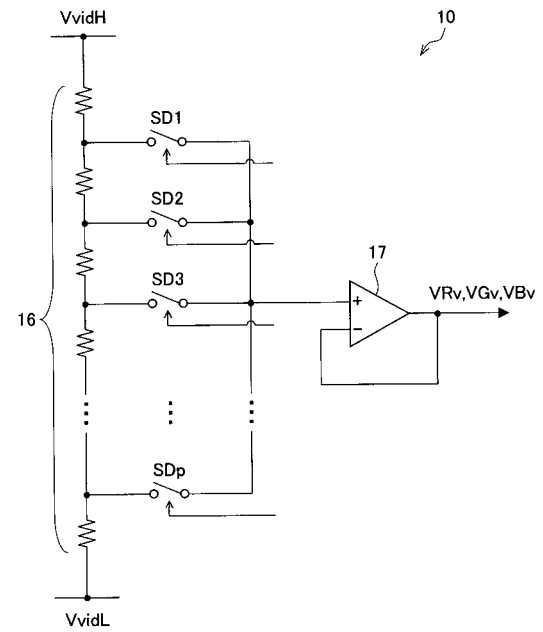
- 【 図 1 】



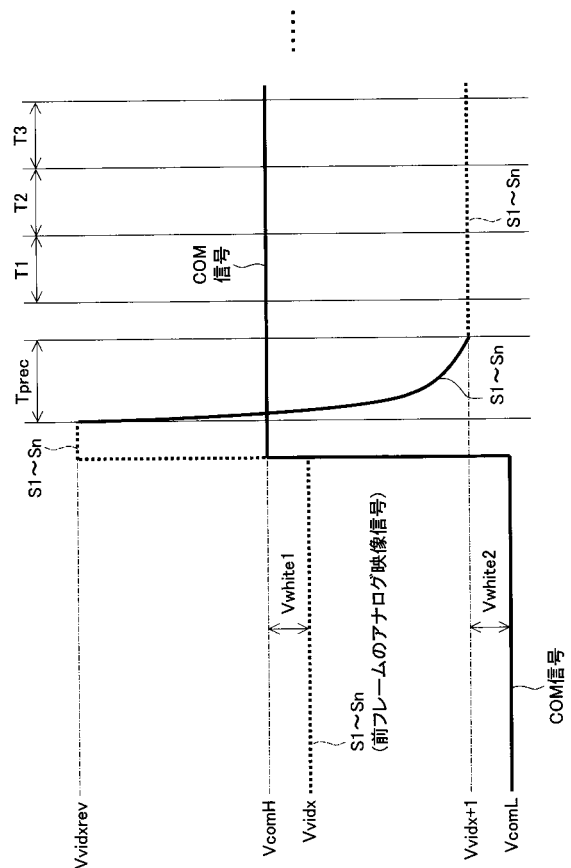
7~9(107~109)



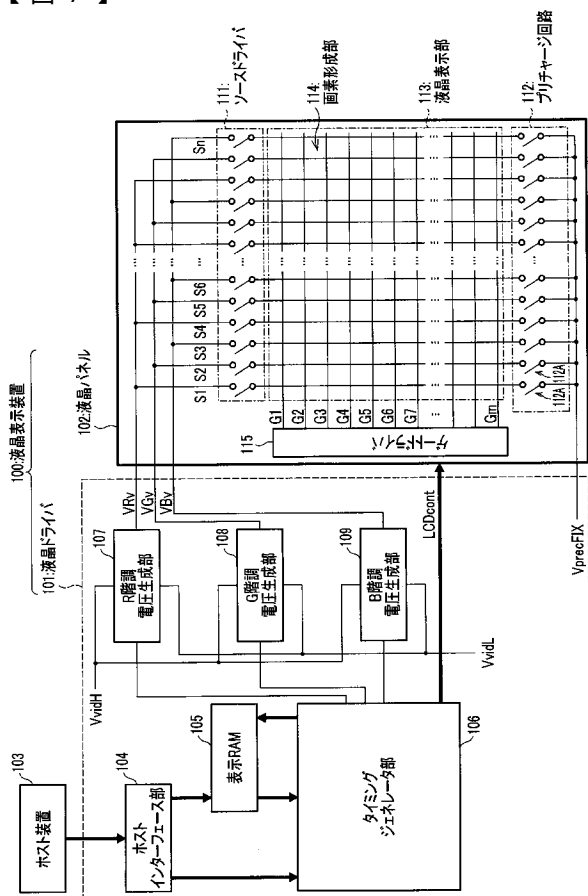
【 図 4 】



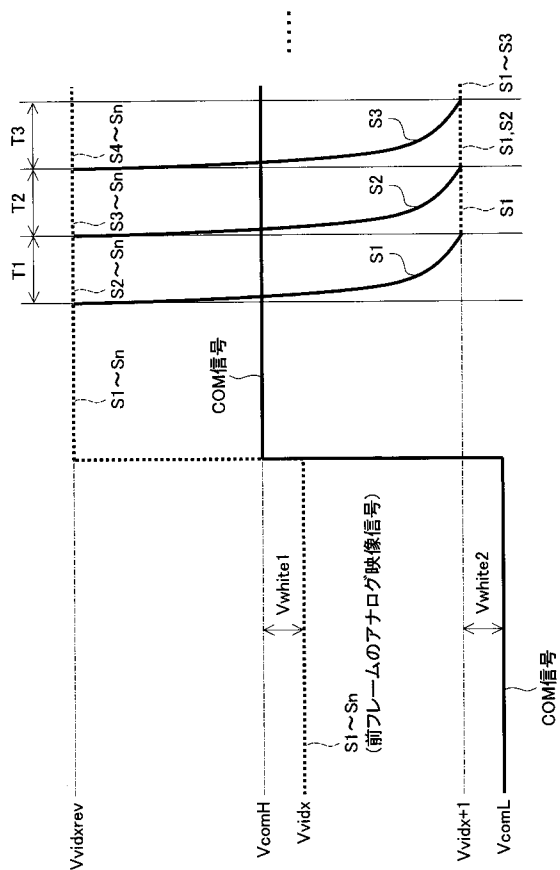
【 図 6 】



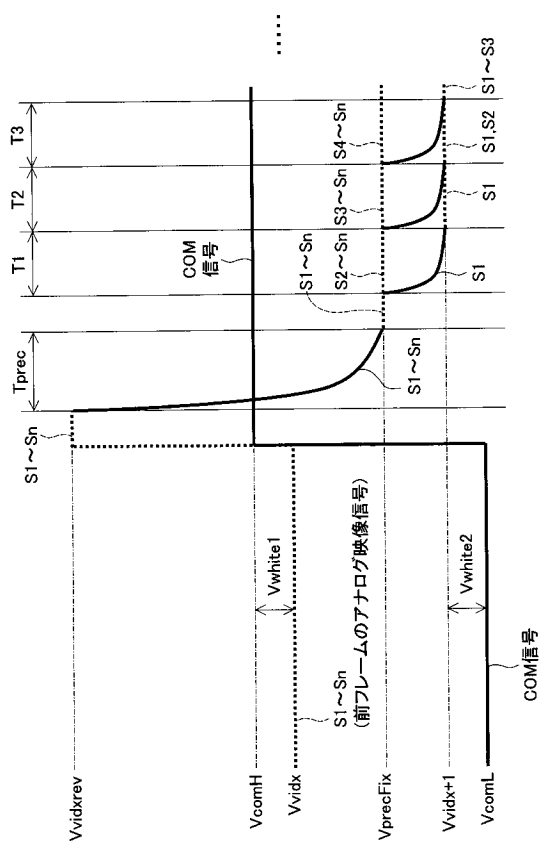
【圖 7】



【 図 8 】



【 圖 9 】



フロントページの続き

(51) Int.Cl.

F I

テーマコード(参考)

G 0 2 F 1/133 5 5 0

专利名称(译)	液晶驱动电路和液晶显示装置		
公开(公告)号	JP2006349873A	公开(公告)日	2006-12-28
申请号	JP2005174380	申请日	2005-06-14
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	北川大二		
发明人	北川 大二		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3208		
FI分类号	G09G3/36 G09G3/20.612.T G09G3/20.623.C G09G3/20.612.U G09G3/20.631.B G02F1/133.550		
F-TERM分类号	2H093/NA32 2H093/NA33 2H093/NA42 2H093/NA51 2H093/NC16 2H093/NC22 2H093/NC34 2H093/NC35 2H093/NC50 2H093/ND06 2H093/ND39 5C006/AC21 5C006/AF03 5C006/AF04 5C006/AF44 5C006/AF45 5C006/AF71 5C006/AF73 5C006/BB16 5C006/BC12 5C006/BC16 5C006/BF02 5C006/FA14 5C006/FA16 5C006/FA18 5C080/AA10 5C080/BB05 5C080/DD08 5C080/EE29 5C080/FF11 5C080/GG15 5C080/GG17 5C080/JJ02 5C080/JJ03 5C080/JJ04 2H193/ZA04 2H193/ZC02 2H193/ZC15 2H193/ZC22 2H193/ZD21		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种液晶驱动电路和液晶显示装置，该液晶驱动电路和液晶显示装置能够与预充电的定时无关地向液晶面板施加最佳的预充电电压。关于视频信号的数据被提供给用于驱动液晶面板2的液晶驱动器1，该液晶驱动器1包括用于向源极总线S1至Sn施加用于对像素电容进行预充电的预充电电压的预充电电路12。提供了用于保持预充电电压的显示RAM 5，用于将预充电电压提供给预充电电路12和预充电灰度电压产生电路10的定时发生器6，以及定时发生器6和预充电灰度电压产生电路10。因此，根据显示RAM 5中保持的关于前一帧的视频信号的数据，改变在显示某一帧时提供给预充电电路12的预充电电压。[选型图]图1

