

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2006-201343
(P2006-201343A)

(43) 公開日 平成18年8月3日(2006. 8. 3)

(51) Int.Cl.			F I	テーマコード (参考)	
GO2F	1/1368	(2006.01)	GO2F	1/1368	2H089
GO2F	1/1333	(2006.01)	GO2F	1/1333	2H090
GO2F	1/1337	(2006.01)	GO2F	1/1337	2H092
GO2F	1/1343	(2006.01)	GO2F	1/1343	
審査請求 未請求 請求項の数 18 O L (全 19 頁)					
(21) 出願番号	特願2005-11328 (P2005-11328)		(71) 出願人	000005049	
(22) 出願日	平成17年1月19日 (2005. 1. 19)			シャープ株式会社	
				大阪府大阪市阿倍野区長池町22番22号	
			(74) 代理人	100101214	
				弁理士 森岡 正樹	
			(72) 発明者	井ノ上 雄一	
				神奈川県川崎市中原区上小田中4丁目1番	
				1号 富士通ディスプレイテクノロジーズ	
				株式会社内	
			(72) 発明者	佐々木 貴啓	
				神奈川県川崎市中原区上小田中4丁目1番	
				1号 富士通ディスプレイテクノロジーズ	
				株式会社内	
			Fターム(参考)	2H089 HA15 QA16 RA04 SA16 SA17	
				TA02 TA04 TA05 TA07 TA09	
				最終頁に続く	

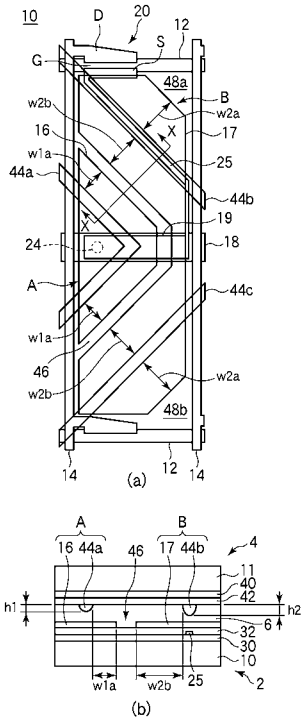
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 本発明は、電子機器の表示部に用いられる液晶表示装置に関し、表示特性に優れる液晶表示装置を提供することを目的とする。

【解決手段】 液晶表示装置は対向配置されたT F T基板2及び対向基板4と、両基板2、4間に封止された液晶層6とを有している。ゲートバスライン12及びドレインバスライン14により画定されてT F T基板2上に配置された画素領域は、液晶層6を駆動するための階調電圧が印加される副画素Aと、副画素Aと分離して形成されて階調電圧より低い電圧が印加される副画素Bとを有している。対向基板4には液晶層6の液晶分子の配向方位を規制する線状突起44a、44b、44cが形成されている。副画素A内の線状突起44aの配置間隔w1 (=w1a) は副画素B内の線状突起44b、44cのそれぞれの配置間隔w2 (= (w2a+w2b) / 2) より短く形成されている。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

アレイ基板と、
前記アレイ基板に対向配置された対向基板と、
前記アレイ基板と前記対向基板との間に封止された液晶と、
前記液晶を駆動するための階調電圧が印加される第 1 の副画素と、前記第 1 の副画素と分離して形成されて前記階調電圧より低い電圧が印加される第 2 の副画素とを備え、前記アレイ基板上にマトリクス状に形成された複数の画素領域と、
前記第 1 の副画素と前記第 2 の副画素とで配置間隔が異なるように形成されて前記液晶を配向規制する配向規制用構造物と
を有することを特徴とする液晶表示装置。

10

【請求項 2】

請求項 1 記載の液晶表示装置において、
前記第 1 の副画素での前記配向規制用構造物の前記配置間隔（第 1 の配置間隔）は、前記第 2 の副画素での前記配向規制用構造物の前記配置間隔（第 2 の配置間隔）より短いことを特徴とする液晶表示装置。

【請求項 3】

請求項 2 記載の液晶表示装置において、
前記第 1 の配置間隔は、前記第 2 の配置間隔より 5 μm 以上短いことを特徴とする液晶表示装置。

20

【請求項 4】

請求項 1 乃至 3 のいずれか 1 項に記載の液晶表示装置において、
前記画素領域に形成されたスイッチング素子をさらに有し、
前記画素領域は、前記スイッチング素子に接続されて前記第 1 の副画素に形成された第 1 の画素電極と、前記第 1 の画素電極と分離して前記第 2 の副画素に形成された第 2 の画素電極と、前記第 1 及び第 2 の画素電極間に形成された電極間スリットとを有することを特徴とする液晶表示装置。

【請求項 5】

請求項 4 記載の液晶表示装置において、
前記第 2 の画素電極は、前記スイッチング素子に容量結合されていることを特徴とする液晶表示装置。

30

【請求項 6】

請求項 4 又は 5 に記載の液晶表示装置において、
前記スイッチング素子は、薄膜トランジスタであることを特徴とする液晶表示装置。

【請求項 7】

請求項 1 乃至 6 のいずれか 1 項に記載の液晶表示装置において、
前記配向規制用構造物は、土手状構造物を有することを特徴とする液晶表示装置。

【請求項 8】

請求項 7 記載の液晶表示装置において、
前記第 1 の副画素内に形成された前記土手状構造物の高さは、前記第 2 の副画素内に形成された前記土手状構造物の高さより低く形成されていることを特徴とする液晶表示装置。

40

【請求項 9】

請求項 7 又は 8 に記載の液晶表示装置において、
前記土手状構造物の高さは、0.7 μm 乃至 1.4 μm に形成されていることを特徴とする液晶表示装置。

【請求項 10】

請求項 7 乃至 9 のいずれか 1 項に記載の液晶表示装置において、
前記土手状構造物は、誘電体材料で形成されていることを特徴とする液晶表示装置。

【請求項 11】

50

請求項 4 乃至 10 のいずれか 1 項に記載の液晶表示装置において、

前記配向規制用構造物は、前記第 1 の画素電極の一部を除去して形成された第 1 の画素電極スリット及び前記第 2 の画素電極の一部を除去して形成された第 2 の画素電極スリットの少なくとも一方を有することを特徴とする液晶表示装置。

【請求項 12】

請求項 11 記載の液晶表示装置において、

前記第 1 の画素電極スリットは、前記第 2 の画素電極スリットと異なる幅に形成されていることを特徴とする液晶表示装置。

【請求項 13】

請求項 11 又は 12 に記載の液晶表示装置において、

前記第 1 の画素電極スリットの前記幅は、前記第 2 の画素電極スリットの前記幅より狭いことを特徴とする液晶表示装置。

【請求項 14】

請求項 11 乃至 13 のいずれか 1 項に記載の液晶表示装置において、

前記第 1 及び第 2 の画素電極スリットは、6 μm 乃至 12 μm の前記幅に形成されていることを特徴とする液晶表示装置。

【請求項 15】

請求項 1 乃至 14 のいずれか 1 項に記載の液晶表示装置において、

前記対向基板は、前記アレイ基板との対向面に共通電極を有し、

前記配向規制用構造物は、前記第 1 の画素電極に対面する前記共通電極の一部を除去して形成された第 1 の共通電極スリット及び前記第 2 の画素電極に対面する前記共通電極の一部を除去して形成された第 2 の共通電極スリットの少なくとも一方を有することを特徴とする液晶表示装置。

【請求項 16】

請求項 15 記載の液晶表示装置において、

前記第 1 の共通電極スリットは、前記第 2 の共通電極スリットと異なる幅に形成されていることを特徴とする液晶表示装置。

【請求項 17】

請求項 15 又は 16 に記載の液晶表示装置において、

前記第 1 の共通電極スリットの前記幅は、前記第 2 の共通電極スリットの前記幅より狭いことを特徴とする液晶表示装置。

【請求項 18】

請求項 15 乃至 17 のいずれか 1 項に記載の液晶表示装置において、

前記第 1 及び第 2 の共通電極スリットは、6 μm 乃至 12 μm の前記幅に形成されていることを特徴とする液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電子機器の表示部に用いられる液晶表示装置に関する。

【背景技術】

【0002】

液晶表示装置はノート型パーソナルコンピュータ、テレビ受像機、パーソナルコンピュータ用モニタ及び投射型プロジェクタ等の表示部として用いられている。近年では、大画面の液晶表示パネルが製造されるようになり、液晶表示装置はテレビ受像機の表示部としての需要が急速に拡大しつつある。このため、液晶表示装置はより高い表示品位が求められている。しかし、かつて主流であった TN (Twisted Nematic) 方式の液晶表示装置は視野角特性が狭いために、テレビ受像機の表示部として必要な表示特性が得られ難いという問題を有している。そこで近年では、広視野角特性を得るために、TN 方式以外の技術が液晶表示装置に用いられるようになってきている。その 1 つに MVA (Multi-domain Vertical Alignment) 方式と呼ばれる技術が

10

20

30

40

50

ある。MVA方式では、電圧無印加時に液晶分子を基板に垂直に配向させ、液晶に電圧が印加されると、基板に形成された突起あるいは透明電極（ITO）に設けられたスリットによって液晶分子の配向が規定されるようになっている。

【0003】

一般に、液晶分子を基板に垂直に配向させる垂直配向方式では、表示画面の法線方向に対し、斜め方向から測定した光学特性は当該法線方向の光学特性とは異なることが知られている。特に、偏光軸に平行又は垂直な方向の斜めからの階調輝度特性は正面の階調輝度特性と大きくずれてしまう。

【0004】

この問題を解決するために、画素用の薄膜トランジスタ（TFT）のソース電極に電氣的に接続された画素電極と、当該画素電極とは分割されてソース電極と絶縁された画素電極とを備えた画素構造を有する液晶表示装置が知られている。当該液晶表示装置では、ソース電極と絶縁された画素電極、ソース電極及び両電極間に挟まれた絶縁膜により静電容量が形成されている。ソース電極と絶縁された画素電極は当該静電容量によって駆動される。

【0005】

図7は、分割された2つの画素電極を備えた画素構造を有する液晶表示装置の1画素の構成を示している。図7に示すように、複数のゲートバスライン106と、不図示の絶縁膜を介してゲートバスライン106に交差して形成された複数のドレインバスライン108とがガラス基板103上に形成されている。ゲートバスライン106及びドレインバスライン108の交差位置近傍には、画素毎に形成されたTFT110が配置されている。ゲートバスライン106の一部はTFT110のゲート電極（G）として機能する。ゲートバスライン106上には、絶縁膜を介してTFT110の動作半導体層、及びチャネル保護膜（共に不図示）が形成されている。ゲート電極（G）上であってTFT110のチャネル保護膜上には、ドレイン電極（D）及びその下層のn型不純物半導体層（不図示）と、ソース電極（S）及びその下層のn型不純物半導体層（不図示）とが所定の間隙を介して対向して形成されている。

【0006】

また、ゲートバスライン106及びドレインバスライン108により画定された画素領域を横切って、ゲートバスライン106に並列して延びる蓄積容量バスライン114が形成されている。蓄積容量バスライン114上には、絶縁膜を介して蓄積容量電極（中間電極）116が画素毎に形成されている。蓄積容量電極116は、制御電極111を介してTFT110のソース電極（S）に電氣的に接続されている。蓄積容量バスライン114、蓄積容量電極116及びそれらの間に挟まれた絶縁膜により蓄積容量Csが形成される。

【0007】

ゲートバスライン106及びドレインバスライン108により画定された画素領域は、副画素Aと副画素Bとに分離されている。例えば、台形状の副画素Aは画素領域の中央部左寄りに配置され、副画素Bは画素領域のうち副画素Aの領域を除いた上部、下部及び中央部右側端部に配置されている。画素領域内の副画素A、Bの配置は、例えば、蓄積容量バスライン114に対しほぼ線対称になっている。副画素Aには画素電極121が形成され、副画素Bには画素電極121と分離された画素電極123が形成されている。画素電極121、123は、共にITO等の透明導電膜により形成されている。画素電極121と画素電極123との間には、電極間スリット126が形成されている。電極間スリット126は画素領域内に形成されている。

【0008】

画素電極121は、保護膜（不図示）が開口されたコンタクトホール118を介して、蓄積容量電極116及びTFT110のソース電極（S）に電氣的に接続されている。画素電極123は、保護膜及び絶縁膜を介して制御電極111に重なる領域を有している。当該領域において、制御電極111、画素電極123及び両電極111、123間に挟ま

れた保護膜により静電容量（制御容量） C_c が形成される。

【0009】

ガラス基板103に対向配置された対向ガラス基板（不図示）上には不図示の共通電極が形成されている。対向ガラス基板から突出し、画素領域の中央部左寄りで画素電極121上にV字状に配置された、液晶の配向方位を規制する配向規制用構造物としての線状突起112aが形成されている。線状突起112aは蓄積容量バスライン114に対しほぼ線対称になっている。また、図中斜めに延伸する制御電極111に対向する位置に線状突起112bが形成されている。さらに、蓄積容量バスライン114に対し線状突起112bとほぼ線対称となる位置に、対向ガラス基板から突出して線状突起112cが形成されている。

10

【0010】

副画素Aでの線状突起112aの配置間隔 w_1 と、副画素Bでの線状突起112b、112cの配置間隔 w_2 とはほぼ同じ長さに形成されている。図7において、配置間隔 w_1 は、電極間スリット126のエッジ部と、電極間スリット126に隣接する副画素A内に配置された線状突起112aのエッジ部との間である。同様に、配置間隔 w_2 は、電極間スリット126のエッジ部と、電極間スリット126に隣接する副画素B内に配置された線状突起112b、112cのそれぞれのエッジ部との間である。例えば、配置間隔 w_1 、 w_2 は $25\mu m$ に形成されている。

【0011】

副画素Aでは、画素電極121、共通電極及び両電極間に挟まれた液晶によって液晶容量 C_{1c1} が形成される。副画素Bでは、画素電極123、共通電極及び両電極間に挟まれた液晶によって液晶容量 C_{1c2} が形成される。ガラス基板103と対向ガラス基板との間で、液晶容量 C_{1c2} は制御容量 C_c と直列に接続されている。

20

【0012】

TFT110がオン状態になると、ソース電極（S）及び制御電極111はデータバスライン108に印加された階調電圧 V_D と同電位になり、同時に電氣的に接続された画素電極121も階調電圧 V_D と同電位になる。液晶容量 C_{1c1} には、画素電極121と共通電極との間に印加された電位差に基づく電圧が印加される。例えば、共通電極に印加された電圧を0Vとすると、液晶容量 C_{1c1} に印加される電圧は、階調電圧 V_D （ $=V_D - 0V$ ）になる。一方、電氣的に絶縁された画素電極123には、液晶容量 C_{1c2} と制御容量 C_c との比に基づいて、階調電圧 V_D を分割した電圧が印加される。液晶容量 C_{1c2} に印加される電圧、すなわち共通電極と画素電極123との間に印加される電圧 V_1 は以下のように表すことができる。

30

$$V_1 = V_D \times \{C_c / (C_{1c2} + C_c)\} \quad \cdots (1)$$

【0013】

階調電圧 V_D を印加した際に、画素電極121には階調電圧 V_D が印加されるのに対し画素電極123には階調電圧 V_D より低電圧の電圧 V_1 が印加される。このため、副画素Bに配置された液晶が初期状態から傾斜し始める階調電圧 V_D は、副画素Aに配置された液晶が初期状態から傾斜し始める階調電圧 V_D より高くなる。このように、ソース電極（S）に電氣的に接続された画素電極121と、絶縁された画素電極123とでは、閾値電圧（液晶が初期状態から傾斜し始める電圧）に差が生じる。この結果、液晶表示装置の斜め方向の階調輝度特性は大幅に改善される。

40

【0014】

図8は、図7に示す液晶表示装置の入力階調に対する輝度特性（階調輝度特性）を示すグラフである。横軸は入力階調（gray scale）を表し、縦軸は白表示時の輝度（Twhite）で規格化した輝度（ T/T_{white} ）を表わしている。図中実線で示す曲線は、図7に示す液晶表示装置の表示画面に対し垂直な方向（以下、「正面方向」という）での階調輝度特性を示し、図中■印を結ぶ曲線は、表示画面に対して方位角 90° 、極角 60° の方向（以下、「斜め方向」という）での階調輝度特性を示している。図中▲印を結ぶ曲線は、比較例として、画素電極が分割されていない従来の垂直配向方式の液

50

晶表示装置の斜め方向での階調輝度特性を示している。ここで、方位角は、表示画面の右方向を基準として反時計回りに計った角度とする。また極角は、表示画面の中心に立てた垂線となす角とする。

【0015】

図8に示すように、正面方向の階調輝度特性は入力階調が大きくなるに従い輝度が単調に増加し、当該特性を示す曲線は下に凸になっている。これに対し、従来の液晶表示装置の斜め方向の階調輝度特性は0乃至210階調程度の範囲においては斜め方向の輝度が正面方向の輝度より高くなるが、210階調程度以上の範囲においては斜め方向の輝度が正面方向の輝度より低くなる。従来の液晶表示装置の斜め方向の階調輝度特性を示す曲線には、大きく上に凸になる部分と下に凸になる部分とが混在している。この結果、従来の液晶表示装置の表示画面を斜め方向から見た場合、入力階調間での輝度差が小さくなってしまい、階調によっては階調つぶれや階調広がりが生じて、例えば画像の色が白っぽく変化してしまう。

10

【0016】

ところが、図7に示す液晶表示装置の斜め方向の輝度は全階調に亘って正面方向の輝度より高くなっている。図7に示す液晶表示装置の斜め方向の階調輝度特性を示す曲線には、従来の液晶表示装置の階調輝度特性を示す曲線のように大きく上に凸になる部分と下に凸になる部分とが混在していない。このため、図7に示す液晶表示装置の表示画面を斜め方向から見ても、階調つぶれや階調広がりが発生せず、画像の色が白っぽく変化することを防止できる。このように、図7に示す液晶表示装置の斜め方向の階調輝度特性は画素電極が分割されていない従来の液晶表示装置の階調輝度特性に対して大幅に改善されている。なお、1画素に副画素A、Bを有する液晶表示装置では、高閾値電圧側の副画素Bの理想的な印加電圧を副画素Aの低閾値電圧側の印加電圧のおよそ0.6乃至0.8倍にする

20

【特許文献1】特願2004-134954号公報

【特許文献2】特願2004-071178号公報

【特許文献3】特願2004-265552号公報

【特許文献4】特開2003-149647号公報

【発明の開示】

【発明が解決しようとする課題】

30

【0017】

図7の画素構造によって斜め方向の階調輝度特性は改善される。ところが、副画素Bに配置された液晶に印加される電圧は式(1)に示すように、階調電圧 V_D より低下するため表示画面の輝度低下が生じてしまう。この輝度低下を最小限に抑えるため、図7に示す液晶表示装置では、従来の液晶表示装置より白を表示するための階調電圧 V_D （白電圧）が高く設定されている。しかし、白電圧を高く設定すると、液晶の応答速度が遅くなってしまうという問題を有している。

【0018】

本発明の目的は、表示特性に優れる液晶表示装置を提供することにある。

【課題を解決するための手段】

40

【0019】

上記目的は、アレイ基板と、前記アレイ基板に対向配置された対向基板と、前記アレイ基板と前記対向基板との間に封止された液晶と、前記液晶を駆動するための階調電圧が印加される第1の副画素と、前記第1の副画素と分離して形成されて前記階調電圧より低い電圧が印加される第2の副画素とを備え、前記アレイ基板上にマトリクス状に形成された複数の画素領域と、前記第1の副画素と前記第2の副画素とで配置間隔が異なるように形成されて前記液晶を配向規制する配向規制用構造物とを有することを特徴とする液晶表示装置によって達成される。

【発明の効果】

【0020】

50

本発明によれば、表示特性に優れる液晶表示装置が実現できる。

【発明を実施するための最良の形態】

【0021】

本発明の一実施の形態による液晶表示装置について図1乃至図6を用いて説明する。まず、本実施の形態による液晶表示装置の概略の構成について図1を用いて説明する。図1は、本実施の形態による液晶表示装置の概略構成を示している。図1に示すように、液晶表示装置は、絶縁膜を介して互いに交差して形成されたゲートバスライン及びドレインバスラインと、画素毎に形成されたスイッチング素子としてのTFT及び画素電極とを備えたTFT基板2を有している。また、液晶表示装置は、カラーフィルタ(CF)や共通電極が形成された対向基板4と、両基板2、4間に封止された、例えば誘電率異方性が負の液晶組成物($\Delta\epsilon = -3.5$)とを備えている。TFT基板2と対向基板4とは、例えば4 μm の間隔で対向配置されている。液晶組成物と両基板2、4との界面には垂直配向膜がそれぞれ形成されている。これにより、電圧無印加時の液晶組成物の液晶分子は、基板面にほぼ垂直に配向する。

【0022】

TFT基板2には、複数のゲートバスラインを駆動するドライバICが実装されたゲートバスライン駆動回路80と、複数のドレインバスラインを駆動するドライバICが実装されたドレインバスライン駆動回路82とが接続されている。これらの駆動回路80、82は、制御回路84から出力された所定の信号に基づいて、走査信号やデータ信号を所定のゲートバスラインあるいはドレインバスラインに出力するようになっている。TFT基板2のTFT素子形成面と反対側の面には偏光板87が配置され、対向基板4の共通電極形成面と反対側の面には、偏光板87とクロスニコルに配置された偏光板86が配置されている。偏光板87のTFT基板2と反対側の面にはバックライトユニット88が配置されている。

【0023】

図2は、本実施の形態による液晶表示装置の1画素の構成を示している。図2(a)は、ガラス材料等の絶縁性材料で形成されたアレイ基板10を法線方向に見た、マトリクス状に形成された複数の画素のうちの1画素の構成を示している。図2(b)は、図2(a)に示すX-X線で切断した断面を示している。図2(a)及び図2(b)に示すように、複数のゲートバスライン12と、絶縁膜30を介してゲートバスライン12に交差して形成された複数のドレインバスライン14とがアレイ基板10上に形成されている。ゲートバスライン12及びドレインバスライン14の交差位置近傍には、画素毎に形成されたスイッチング素子としてのTFT20が配置されている。ゲートバスライン12の一部はTFT20のゲート電極(G)として機能する。ゲートバスライン12上には、絶縁膜を介してTFT20の動作半導体層、及びチャネル保護膜(共に不図示)が形成されている。ゲート電極(G)上であってTFT20のチャネル保護膜上には、ドレイン電極(D)及びその下層のn型不純物半導体層(不図示)と、ソース電極(S)及びその下層のn型不純物半導体層(不図示)とが所定の間隙を介して対向して形成されている。

【0024】

また、ゲートバスライン12及びドレインバスライン14により画定された画素領域を横切って、ゲートバスライン12に並列して延びる蓄積容量バスライン18が形成されている。蓄積容量バスライン18上には、絶縁膜30を介して蓄積容量電極(中間電極)19が画素毎に形成されている。蓄積容量電極19は、制御電極25を介してTFT20のソース電極(S)に電氣的に接続されている。蓄積容量バスライン18、蓄積容量電極19及びそれらの間に挟まれた絶縁膜30により蓄積容量Csが形成される。

【0025】

ゲートバスライン12及びドレインバスライン14により画定された画素領域は、液晶層6を駆動するための階調電圧 V_D (入力画像データの階調値に対応する電圧)が印加される副画素(第1の副画素)Aと、副画素Aと分離して形成されて階調電圧 V_D より低い電圧が印加される副画素(第2の副画素)Bとを有している。副画素Aと副画素Bとの面

積比 (A : B) は例えば 4 : 6 に形成されている。例えば、台形状の副画素 A は画素領域の中央部左寄りに配置され、副画素 B は画素領域のうち副画素 A の領域を除いた上部、下部及び中央部右側端部に配置されている。画素領域内の副画素 A、B の配置は、例えば、蓄積容量バスライン 18 に対しほぼ線対称になっている。

【0026】

副画素 A には画素電極 (第 1 の画素電極) 16 が形成されている。副画素 B には画素電極 16 と分離された画素電極 (第 2 の画素電極) 17 が形成されている。画素電極 16、17 は、共に ITO 等の透明導電膜により形成されている。画素電極 16 と画素電極 17 との間には、電極間スリット 46 が形成されている。電極間スリット 46 は画素領域端部に対して斜めに延びており、例えば 6 μm 乃至 12 μm のスリット幅で画素領域内に形成されている。電極間スリット 46 は、液晶層 6 の液晶分子の配向方位を規制する、TFT 基板 2 側の配向規制用構造物としても機能する。

10

【0027】

図 2 (a) において、副画素 B の右上及び右下には、画素電極 17 の角部を取り除いた画素電極抜き領域 48a、48b がそれぞれ形成されている。画素電極抜き領域 48a、48b が画素電極 17 とそれぞれ接触する辺 (画素電極抜き領域 48a、48b のエッジ部) は電極間スリット 46 にそれぞれ並列し、画素領域端部に対して斜めに延びている。画素電極抜き領域 48a、48b は副画素 B の配向規制用構造物としても機能する。

【0028】

画素電極 16 は、保護膜 32 が開口されたコンタクトホール 24 を介して、蓄積容量電極 19 及び TFT 20 のソース電極 (S) に電氣的に接続されている。これにより、画素電極 16 は TFT 20 に接続されている。画素電極 17 は保護膜 32 を介して制御電極 25 に重なる領域を有している。当該領域において、制御電極 25、画素電極 17 及び両電極 17、25 間に挟まれた保護膜 32 により静電容量 (制御容量) Cc が形成されている。画素電極 17 は制御容量 Cc により TFT 20 に容量結合されて電氣的にフローティング状態になっている。

20

【0029】

ガラス材料等の絶縁性材料で形成されてアレイ基板 10 に対向配置された対向絶縁性基板 11 上には、CF 樹脂層 40 と、共通電極 42 とがこの順に形成されている。対向絶縁性基板 11 から突出し、画素領域の中央部左寄りで画素電極 16 上に V 字状に配置された、液晶層 6 の液晶分子の配向方位を規制する配向規制用構造物としての線状突起 (土手状構造物) 44a が形成されている。線状突起 44a は蓄積容量バスライン 18 に対しほぼ線対称になっている。また、図 2 (a) において斜めに延伸する制御電極 25 と対向する位置に、線状突起 (土手状構造物) 44b が形成されている。さらに、蓄積容量バスライン 18 に対し線状突起 44b とほぼ線対称となる位置に、対向絶縁性基板 11 から突出して形成された線状突起 (土手状構造物) 44c が形成されている。線状突起 44a、44b、44c は、例えば誘電体材料で形成されている。

30

【0030】

副画素 A での配向規制用構造物の配置間隔 (第 1 の配置間隔) w1 は、副画素 B での配向規制用構造物の配置間隔 (第 2 の配置間隔) w2 とは異なる長さに形成されている。配置間隔 w1 は副画素 A 内で隣接する配向規制用構造物の構造物間隔と、電極間スリット 46 のエッジ部及び電極間スリット 46 に隣接する配向規制用構造物の間隔との平均値である。本実施の形態では、副画素 A 内に形成された配向規制用構造物は線状突起 44a のみであるため、配置間隔 w1 は線状突起 44a のエッジ部と電極間スリット 46 のエッジ部との間隔 w1a となる。

40

【0031】

一方、配置間隔 w2 は副画素 B 内で隣接する配向規制用構造物の構造物間隔と、電極間スリット 46 のエッジ部及び電極間スリット 46 に隣接する配向規制用構造物の間隔との平均値である。本実施の形態では、副画素 B 内に形成された配向規制用構造物は線状突起 44b、44c 及び画素電極抜き領域 48a、48b である。このため、配置間隔 w2 は

50

線状突起 44b、44cのエッジ部と画素電極抜き領域 48b、48cのエッジ部とのそれぞれの構造物間隔 $w2a$ と、電極間スリット 46のエッジ部と線状突起 44b、44cのエッジ部との間隔 $w2b$ との平均値 ($w2 = (w2a + w2b) / 2$) になる。

【0032】

配置間隔 $w1$ は配置間隔 $w2$ より短く形成されている。例えば、配置間隔 $w1$ は $20\mu m$ に形成され、配置間隔 $w2$ は $25\mu m$ に形成されている。配置間隔 $w1$ は配置間隔 $w2$ より $5\mu m$ 短く形成されている。

【0033】

後程説明するように、配向規制用構造物の配置間隔を短くすると、液晶層 6 の液晶分子の配向規制力が大きくなるので、液晶層 6 の応答速度を速くすることができる。従って、
10 相対的に高い電圧が印加される副画素 A の配置間隔 $w1$ を短くすることにより、本実施の形態の液晶表示装置は従来の液晶表示装置より液晶層 6 の応答速度を速くすることができる。

【0034】

また、線状突起 44b と画素電極抜き領域 48b との間隔 $w2a$ は、線状突起 44b と電極間スリット 46のエッジ部との間隔 $w2b$ にほぼ等しくなっている。これにより、液晶分子は線状突起 44b に対してほぼ対称に配向するようになる。同様に、線状突起 44c と画素電極抜き領域 48c との間隔 $w2a$ は、線状突起 44c と電極間スリット 46のエッジ部との間隔 $w2b$ にほぼ等しくなっている。これにより、液晶分子は線状突起 44c に対してほぼ対称に配向するようになる。
20

【0035】

図 2 (b) に示すように、副画素 A 内に形成された線状突起 44a の頂部から共通電極 42 までの高さ $h1$ は、副画素 B 内に形成された線状突起 44b の高さ $h2$ より低く形成されている。例えば、線状突起 44a の高さ $h1$ は $1.0\mu m$ に形成され、線状突起 44b の高さ $h2$ は $1.4\mu m$ に形成されている。図示は省略するが、線状突起 44c の高さ $h2$ も、線状突起 44b と同様に $1.4\mu m$ に形成されている。また、線状突起 44a の高さ $h1$ が線状突起 44b、44c の高さ $h2$ より高く形成されていなければ、線状突起 44a、44b、44c は同じ高さに形成されていてもよい。線状突起 44a、44b、44c は $0.7\mu m$ 乃至 $1.4\mu m$ に形成されていけばよい。

【0036】

後程説明するように、線状突起の高さを低くすると、線状突起と、線状突起に対向する基板 (TFT 基板又は対向基板) との間に印加される電圧が高くなる。このため、液晶層 6 の液晶分子の配向規制力は大きくなるので、液晶層 6 の応答速度を速くすることができる。従って、相対的に高い電圧が印加される副画素 A の線状突起 44a の高さ $h1$ を低くすることにより、本実施の形態の液晶表示装置は従来の液晶表示装置より液晶層 6 の応答速度を速くすることができる。
30

【0037】

副画素 A には、画素電極 16、共通電極 42 及び両電極 16、44 間に挟まれた液晶層 6 によって液晶容量 $C1c1$ が形成されている。副画素 B には、画素電極 17、共通電極 42 及び両電極 17、42 間に挟まれた液晶層 6 によって液晶容量 $C1c2$ が形成されて
40 いる。アレイ基板 10 と対向絶縁性基板 11 との間で、液晶容量 $C1c2$ は制御容量 Cc と直列に接続されている。

【0038】

TFT 20 がオン状態になった場合の副画素 B の液晶容量 $C1c2$ に印加される電圧 V_{px2} は、上記の式 (1) により求められる。すなわち、式 (1) の電圧 V_1 が電圧 V_{px2} に相当する。本実施の形態の液晶表示装置では、副画素 A の液晶容量 $C1c1$ に印加される電圧 V_{px1} と、副画素 B の液晶容量 $C1c2$ に印加される電圧 V_{px2} との電圧比 V_{px2} / V_{px1} は、例えば約 0.8 となるように設計されている。また、本実施の形態の液晶表示装置は表示画面の輝度低下が生じないように、副画素 A の白電圧が約 6.8V に設定されている。このため、副画素 B の白電圧は約 5.7V ($= 6.8V \times 0.8$
50

)になる。

【0039】

階調電圧 V_D を印加した際に、副画素Aの液晶容量 $C_{l c 1}$ には階調電圧 V_D が印加されるのに対し副画素Bの液晶容量 $C_{l c 2}$ には階調電圧 V_D より低電圧の電圧 V_1 が印加される。このため、副画素Bに配置された液晶層6の液晶分子が初期状態から傾斜し始める階調電圧 V_D は、副画素Aに配置された液晶層6の液晶分子が初期状態から傾斜し始める階調電圧 V_D より高くなる。このように、ソース電極 (S) に電氣的に接続された画素電極16と、絶縁された画素電極17とでは、閾値電圧 (液晶が初期状態から傾斜し始める電圧) に差が生じる。この結果、本実施の形態による液晶表示装置は斜め方向の階調輝度特性が大幅に改善される。

10

【0040】

次に、本実施の形態による液晶表示装置に形成される配向規制用構造物の配置間隔や高さの設定方法について図3乃至図5を用いて説明する。まず、画素領域内の液晶分子を配向規制する配向規制用構造物の間隔 (配置間隔) と白電圧での液晶分子の応答速度 (応答時間) との関係について説明する。表示画面を黒表示 (液晶に印加する電圧を V_b とする) から白表示 (液晶に印加する電圧を V_w とする) に変化させる場合の液晶の応答時間は以下のように定義されている。電圧 V_b での定常状態での表示画面の輝度 (又は透過率) を0%とし、電圧 V_w での定常状態での表示画面の輝度 (又は透過率) を100%として規格化して、表示画面の輝度が10%から90%になるまでの時間は立ち上がり応答時間 τ_r と定義され、表示画面の輝度が90%から10%になるまでの時間は立ち下がり応答時間 τ_f と定義されている。

20

【0041】

本実施の形態では、図2(a)に示す1画素が閾値電圧の異なる2つの副画素A、Bにより構成されている液晶表示装置においての立ち上り応答時間 τ_r を改善させる。すなわち、ノーマリブラックの液晶表示装置では、黒から白に表示画面が切り替わる際の応答時間が改善される。1画素が分割されていない従来の液晶表示装置では、配向規制用構造物の配置間隔は、例えば $25\mu m$ とほぼ同じ値で一定に形成されている。同様に、図7に示す従来の液晶表示装置では、副画素Aでの線状突起112aの配置間隔 w_1 と、副画素Bでの線状突起112b、112cの配置間隔 w_2 とは、例えば $25\mu m$ とほぼ同じ値で一定に形成されている。しかし、上述したように図7に示す液晶表示装置では、表示画面の輝度低下を防止して十分な輝度を得るために白電圧を約6.8Vと高めに設定されている。この結果、液晶表示装置の立ち上がり応答時間 τ_r が悪化してしまう。

30

【0042】

図3は、白電圧と液晶の立ち上がり応答時間 τ_r との関係を示すグラフである。横軸は、白電圧 (V) を表し、縦軸は、液晶の立ち上がり応答時間 τ_r (ms) を表わしている。図中■印を結ぶ曲線は、配向規制用構造物の配置間隔が $25\mu m$ での白電圧と液晶の立ち上がり応答時間 τ_r との関係を示し、図中◆印を結ぶ曲線は、配向規制用構造物の配置間隔が $20\mu m$ での白電圧と液晶の立ち上がり応答時間 τ_r との関係を示し、図中●印を結ぶ曲線は、配向規制用構造物の配置間隔が $15\mu m$ での白電圧と液晶の立ち上がり応答時間 τ_r との関係を示している。また、図中破線 α で囲む電圧は副画素Aの液晶に印加される白電圧を示し、図中破線 β で囲む電圧は副画素Bの液晶に印加される白電圧を示している。

40

【0043】

図3に示すように、液晶の立ち上がり応答時間 τ_r は白電圧が高くなる程遅くなる。図7に示す従来の液晶表示装置では、副画素Aでの線状突起112aの配置間隔 w_1 は $25\mu m$ であり、白電圧は約6.8Vに設定されている。このため、副画素Aにおいて、特に、液晶の応答時間の悪化が顕著に生じてしまう。このように、白電圧を高く設定すると液晶の応答時間が遅くなるのは、白電圧を上げたことにより配向規制用構造物の液晶分子を規制する規制力の弱い間隙部において、液晶分子がランダムな方位に応答するためと考えられる。一方、図7に示す従来の液晶表示装置の副画素Bでは、線状突起112b、112

50

cの配置間隔 w_2 は $25\mu\text{m}$ であるものの、液晶に印加される電圧は 5.7V と低くなり、従来の液晶表示装置とほぼ同じ白電圧が印加される。このため、副画素Bでの液晶の立ち上がり応答時間 τ_r は従来の液晶表示装置とほぼ同じ応答時間(約 15ms)が得られる。

【0044】

ところで、図3に示すように、液晶の立ち上がり応答時間 τ_r は配向規制用構造物の配置間隔を狭めることにより短くすることができる。また、低閾値電圧の副画素Aが高閾値電圧の副画素Bとほぼ同じ立ち上がり応答時間 τ_r となるためには、副画素Aの配向規制用構造物の配置間隔を副画素Bの配向規制用構造物の配置間隔よりも約 $5\mu\text{m}$ 狭める必要がある。そこで、本実施の形態による液晶表示装置では、高閾値電圧の副画素Bの線状突起44b、44cの配置間隔 w_2 は従来の液晶表示装置と同様の $25\mu\text{m}$ に設定され、低閾値電圧の副画素Aの線状突起44aの配置間隔 w_1 は $20\mu\text{m}$ に設定されている。これにより、白電圧を 6.8V と高い値に設定しても、副画素Aの立ち上がり応答時間 τ_r は副画素Bとほぼ同様の約 15ms となる。また、本実施の形態による液晶表示装置では、副画素Aに印加される白電圧は 6.8V であるため、表示画面の輝度低下を防止することができる。

10

【0045】

図4は、線状突起の高さと液晶の立ち上がり応答時間 τ_r との関係を示すグラフである。横軸は、線状突起の高さ(μm)を表し、縦軸は、液晶の立ち上がり応答時間 τ_r (ms)を表わしている。図4に示す液晶の立ち上がり応答時間 τ_r は、線状突起の配置間隔を $20\mu\text{m}$ とし、TFT基板と対向基板との間隔を $4\mu\text{m}$ とした場合のシミュレーション結果である。

20

【0046】

図4に示すように、線状突起の高さが高くなるほど液晶の立ち上がり応答時間 τ_r が遅くなる。例えば、線状突起が対向基板側に形成されている場合、線状突起の高さが高くなると、線状突起の頂部と、当該頂部に対向するTFT基板との間隙が短くなる。また、線状突起がTFT基板側に形成されている場合、線状突起の高さが高くなると、線状突起の頂部と、当該頂部に対向する対向基板との間隙が短くなる。このため、当該間隙部の液晶に印加される電圧が低くなり、液晶分子を配向規制する力が低下するので、液晶の応答時間が遅くなってしまう。そこで、本実施の形態による液晶表示装置では、低閾値電圧の副画素Aにおいて約 12ms 程度の液晶の立ち上がり応答時間 τ_r が得られるように、副画素Aの線状突起44aの高さ h_1 は約 $1.0\mu\text{m}$ に設定されている。約 15ms の液晶の立ち上がり応答時間 τ_r が得られれば線状突起44aの高さ h_1 は $1.0\mu\text{m}$ に限られず、例えば $0.7\mu\text{m}$ 乃至 $1.4\mu\text{m}$ に形成されていればよい。また、高閾値電圧の副画素Bの線状突起44b、44cの高さが $0.7\mu\text{m}$ 乃至 $1.4\mu\text{m}$ に形成されていてももちろんよい。

30

【0047】

ところで、本実施の形態による液晶表示装置は線状突起44aに代えて、アレイ基板10を法線方向に見て、線状突起44b、44cの形成位置とほぼ同じ位置に、画素電極16の一部を除去して形成された配向規制用構造物としてのV字状の第1の画素電極スリット又は画素電極16に対面する共通電極42の一部を除去してV字状に形成された第1の共通電極スリットを有していてもよい。同様に、液晶表示装置は線状突起44b、44cに代えて、アレイ基板10を法線方向に見て、線状突起44b、44cの形成位置とほぼ同じ位置に、画素電極17の一部を除去して形成された配向規制用構造物としての第2の画素電極スリット又は画素電極17に対面する共通電極42の一部を除去して形成された第2の共通電極スリットを有していてもよい。これらの各電極スリットを用いても、液晶を配向させることができる。

40

【0048】

図5は、第1及び第2の画素電極スリット、第1及び第2の共通電極スリット又は電極間スリットの各スリット幅と液晶の立ち上がり応答時間 τ_r との関係を示すグラフである

50

。横軸は、各スリット幅 (μm) を表し、縦軸は、液晶の立ち上がり応答時間 τ_r (ms) を表わしている。図 5 に示す液晶の立ち上がり応答時間 τ_r は、各スリットの配置間隔を $20\mu\text{m}$ とし、TFT 基板と対向基板との間隔を $4\mu\text{m}$ とした場合のシミュレーション結果である。

【0049】

図 5 に示すように、スリット幅が長くなるほど液晶の立ち上がり応答時間 τ_r が遅くなる。スリット幅が長くなると、液晶を配向規制する力が低下するため、液晶の応答時間が遅くなる。そこで、本実施の形態による液晶表示装置では、低閾値電圧の副画素 A の第 1 の画素電極スリットの幅と、高閾値電圧の副画素 B の第 2 の画素電極スリット幅とは異なるように形成される。第 1 及び第 2 の画素電極スリットは $6\mu\text{m}$ 乃至 $12\mu\text{m}$ の幅に形成され、且つ第 1 の画素電極スリットは第 2 の画素電極スリットよりスリット幅が狭く形成される。これにより、図 5 に示すように、副画素 A、B 共に液晶の立ち上がり応答時間 τ_r を 15ms 以下にすることができる。また、第 1 の画素電極スリットは第 2 の画素電極スリットよりスリット幅が狭く形成されているので、従来の液晶表示装置において応答時間の長い副画素 A の応答時間をより改善することができる。

10

【0050】

同様に、本実施の形態による液晶表示装置では、低閾値電圧の副画素 A の第 1 の共通電極スリットの幅と、高閾値電圧の副画素 B の第 2 の共通電極スリット幅とは異なるように形成される。第 1 及び第 2 の共通電極スリットは $6\mu\text{m}$ 乃至 $12\mu\text{m}$ の幅に形成され、且つ第 1 の共通電極スリットは第 2 の共通電極スリットよりスリット幅が狭く形成される。これにより、図 5 に示すように、副画素 A、B 共に液晶の立ち上がり応答時間 τ_r は 15ms 以下にすることができる。また、第 1 の共通電極スリットは第 2 の共通電極スリットよりスリット幅が狭く形成されているので、従来の液晶表示装置において応答時間の長い副画素 A の応答時間をより改善することができる。

20

【0051】

以上説明したように、本実施の形態によれば、液晶表示装置は、閾値電圧が異なり且つ配向規制用構造物の配置間隔 w_1 、 w_2 が異なる副画素 A、B を備えた画素領域を有している。これにより、液晶表示装置は、斜め方向の階調輝度特性の改善と、液晶層 6 の応答速度の高速化を図ることができる。

【0052】

次に、本実施の形態による液晶表示装置の変形例について図 6 を用いて説明する。本変形例による液晶表示装置は、副画素 A、B 内にそれぞれ複数の配向規制用構造物を備えている点に特徴を有している。図 6 は、本変形例による液晶表示装置の 1 画素の構成を示している。図 6 は、アレイ基板 10 を法線方向に見た、マトリクス状に形成された複数の画素のうちの 1 画素の構成を示している。図 6 に示すように、副画素 A の中央部左側には、画素電極 16 を三角形形状に取り除いた画素電極抜き領域 49 が形成されている。画素電極抜き領域 49 は蓄積容量バスライン 18 に対してほぼ線対称になっている。画素電極抜き領域 49 が画素電極 16 と接触する辺 (画素電極抜き領域 49 のエッジ部) は電極間スリット 46 に並列し、画素領域端部に対して斜めに延びている。画素電極抜き領域 49 は副画素 A の配向規制用構造物としても機能する。

30

40

【0053】

一方、副画素 B の右上には、線状突起 44b に並列して対向基板 4 (図 6 では不図示) 側に形成された線状突起 44d が配置されている。さらに、線状突起 44b、44d の間隙中央部には、画素電極 17 の一部を取り除いて形成された画素電極スリット 50a が配置されている。画素電極スリット 50a は線状突起 44b、44d にほぼ並列して延びて形成されている。同様に、副画素 B の右下には、線状突起 44c に並列して対向基板 4 側に形成された線状突起 44e が配置されている。さらに、線状突起 44c、44e の間隙中央部には、画素電極 17 の一部を取り除いて形成された画素電極スリット 50b が配置されている。画素電極スリット 50b は線状突起 44c、44e にほぼ並列して延びて形成されている。画素電極スリット 50a、50b は蓄積容量バスライン 18 に対してほぼ

50

線対称になっている。また、画素電極スリット 50 a、50 b は副画素 B の配向規制用構造物としても機能する。

【0054】

副画素 A での配向規制用構造物の配置間隔 w_1 は、画素電極抜き領域 49 のエッジ部と線状突起 44 a のエッジ部との構造物間隔 w_{1a} と、線状突起 44 a のエッジ部と電極間スリット 46 のエッジ部との間隔 w_{1b} との平均値 ($w_1 = (w_{1a} + w_{1b}) / 2$) になる。一方、副画素 B での配向規制用構造物の配置間隔 w_2 は、線状突起 44 d、44 e のエッジ部と画素電極スリット 50 a、50 b のエッジ部との構造物間隔 w_{2a} と、画素電極スリット 50 a、50 b のエッジ部と線状突起 44 b、44 c のエッジ部との構造物間隔 w_{2b} と、線状突起 44 b、44 c のエッジ部と電極間スリット 46 のエッジ部との間隔 w_{2c} との平均値 ($w_2 = (w_{2a} + w_{2b} + w_{2c}) / 3$) になる。

【0055】

本変形例においても、配置間隔 w_1 は配置間隔 w_2 より短く形成されている。例えば、配置間隔 w_1 は配置間隔 w_2 より $5 \mu\text{m}$ 以上短く形成されている。これにより、上記実施の形態と同様の効果が得られる。

【0056】

本発明は、上記実施の形態に限らず種々の変形が可能である。

上記実施の形態による液晶表示装置は、配向規制用構造物として線状突起 44 a、44 b、44 c 又は第 1 及び第 2 の画素電極スリット若しくは第 1 及び第 2 の共通電極スリットのいずれか 1 つを有しているが、本発明はこれに限られない。例えば、液晶表示装置は、配向規制用構造物として線状突起 44 a、44 b、44 c、第 1 及び第 2 の画素電極スリット並びに第 1 及び第 2 の共通電極スリットが混在していても、上記実施の形態と同様の効果が得られる。

【0057】

また、上記実施の形態による液晶表示装置では、線状突起 44 a の配置間隔 w_1 及び高さ h_1 を最適化することにより液晶の立ち上がり応答時間 τ_r が改善されているが、本発明はこれに限られない。例えば、線状突起 44 a の配置間隔 w_1 のみを最適化したり、線状突起 44 a の高さ h_1 のみを最適化したりしても、上記実施の形態と同様の効果が得られる。また、第 1 の画素電極スリット又は第 1 の共通電極スリットの少なくとも一方のみを最適化しても、上記実施の形態と同様の効果が得られる。

【0058】

以上説明した実施の形態による液晶表示装置は、以下のようにまとめられる。

(付記 1)

アレイ基板と、

前記アレイ基板に対向配置された対向基板と、

前記アレイ基板と前記対向基板との間に封止された液晶と、

前記液晶を駆動するための階調電圧が印加される第 1 の副画素と、前記第 1 の副画素と分離して形成されて前記階調電圧より低い電圧が印加される第 2 の副画素とを備え、前記アレイ基板上にマトリクス状に形成された複数の画素領域と、

前記第 1 の副画素と前記第 2 の副画素とで配置間隔が異なるように形成されて前記液晶を配向規制する配向規制用構造物と

を有することを特徴とする液晶表示装置。

(付記 2)

付記 1 記載の液晶表示装置において、

前記第 1 の副画素での前記配向規制用構造物の前記配置間隔 (第 1 の配置間隔) は、前記第 2 の副画素での前記配向規制用構造物の前記配置間隔 (第 2 の配置間隔) より短いことを特徴とする液晶表示装置。

(付記 3)

付記 2 記載の液晶表示装置において、

前記第 1 の配置間隔は、前記第 2 の配置間隔より $5 \mu\text{m}$ 以上短いことを特徴とする液晶

表示装置。

(付記 4)

付記 1 乃至 3 のいずれか 1 項に記載の液晶表示装置において、

前記画素領域に形成されたスイッチング素子をさらに有し、

前記画素領域は、前記スイッチング素子に接続されて前記第 1 の副画素に形成された第 1 の画素電極と、前記第 1 の画素電極と分離して前記第 2 の副画素に形成された第 2 の画素電極と、前記第 1 及び第 2 の画素電極間に形成された電極間スリットとを有することを特徴とする液晶表示装置。

(付記 5)

付記 4 記載の液晶表示装置において、

前記第 1 の配置間隔は、前記電極間スリットに隣接して前記第 1 の副画素内に配置された前記配向規制用構造物と、前記電極間スリットとの間であることを特徴とする液晶表示装置。

10

(付記 6)

付記 4 又は 5 に記載の液晶表示装置において、

前記第 2 の配置間隔は、前記電極間スリットに隣接して前記第 2 の副画素内に配置された前記配向規制用構造物と、前記電極間スリットとの間であることを特徴とする液晶表示装置。

(付記 7)

付記 4 乃至 6 のいずれか 1 項に記載の液晶表示装置において、

前記第 2 の画素電極は、前記スイッチング素子に容量結合されていることを特徴とする液晶表示装置。

20

(付記 8)

付記 4 乃至 7 のいずれか 1 項に記載の液晶表示装置において、

前記スイッチング素子は、薄膜トランジスタであることを特徴とする液晶表示装置。

(付記 9)

付記 1 乃至 8 のいずれか 1 項に記載の液晶表示装置において、

前記配向規制用構造物は、土手状構造物を有することを特徴とする液晶表示装置。

(付記 10)

付記 9 記載の液晶表示装置において、

前記第 1 の副画素内に形成された前記土手状構造物の高さは、前記第 2 の副画素内に形成された前記土手状構造物の高さより低く形成されていることを特徴とする液晶表示装置。

30

(付記 11)

付記 9 又は 10 に記載の液晶表示装置において、

前記土手状構造物の高さは、 $0.7\ \mu\text{m}$ 乃至 $1.4\ \mu\text{m}$ に形成されていることを特徴とする液晶表示装置。

(付記 12)

付記 9 乃至 11 のいずれか 1 項に記載の液晶表示装置において、

前記土手状構造物は、誘電体材料で形成されていることを特徴とする液晶表示装置。

40

(付記 13)

付記 4 乃至 12 のいずれか 1 項に記載の液晶表示装置において、

前記配向規制用構造物は、前記第 1 の画素電極の一部を除去して形成された第 1 の画素電極スリット及び前記第 2 の画素電極の一部を除去して形成された第 2 の画素電極スリットの少なくとも一方を有することを特徴とする液晶表示装置。

(付記 14)

付記 13 記載の液晶表示装置において、

前記第 1 の画素電極スリットは、前記第 2 の画素電極スリットと異なる幅に形成されていることを特徴とする液晶表示装置。

(付記 15)

50

付記 13 又は 14 に記載の液晶表示装置において、

前記第 1 の画素電極スリットの前記幅は、前記第 2 の画素電極スリットの前記幅より狭いことを特徴とする液晶表示装置。

(付記 16)

付記 13 乃至 15 のいずれか 1 項に記載の液晶表示装置において、

前記第 1 及び第 2 の画素電極スリットは、6 μm 乃至 12 μm の前記幅に形成されていることを特徴とする液晶表示装置。

(付記 17)

付記 1 乃至 16 のいずれか 1 項に記載の液晶表示装置において、

前記対向基板は、前記アレイ基板との対向面に共通電極を有し、

前記配向規制用構造物は、前記第 1 の画素電極に対面する前記共通電極の一部を除去して形成された第 1 の共通電極スリット及び前記第 2 の画素電極に対面する前記共通電極の一部を除去して形成された第 2 の共通電極スリットの少なくとも一方を有することを特徴とする液晶表示装置。

(付記 18)

付記 17 記載の液晶表示装置において、

前記第 1 の共通電極スリットは、前記第 2 の共通電極スリットと異なる幅に形成されていることを特徴とする液晶表示装置。

(付記 19)

付記 17 又は 18 に記載の液晶表示装置において、

前記第 1 の共通電極スリットの前記幅は、前記第 2 の共通電極スリットの前記幅より狭いことを特徴とする液晶表示装置。

(付記 20)

付記 17 乃至 19 のいずれか 1 項に記載の液晶表示装置において、

前記第 1 及び第 2 の共通電極スリットは、6 μm 乃至 12 μm の前記幅に形成されていることを特徴とする液晶表示装置。

(付記 21)

付記 1 乃至 20 のいずれか 1 項に記載の液晶表示装置において、

前記液晶は、負の誘電率異方性を有し、電圧無印加時に前記アレイ基板又は前記対向基板の基板面にほぼ垂直に配向していることを特徴とする液晶表示装置。

【図面の簡単な説明】

【0059】

【図 1】本発明の一実施の形態による液晶表示装置の概略構成を示す図である。

【図 2】本発明の一実施の形態による液晶表示装置の 1 画素の構成を示す図である。

【図 3】本発明の一実施の形態による液晶表示装置の白電圧と液晶の立ち上がり応答時間 τ_r との関係を示す図である。

【図 4】本発明の一実施の形態による液晶表示装置の線状突起の高さと液晶の立ち上がり応答時間 τ_r との関係を示す図である。

【図 5】本発明の一実施の形態による液晶表示装置の第 1 及び第 2 の画素電極スリット、第 1 及び第 2 の共通電極スリット又は電極間スリットの各スリット幅と液晶の立ち上がり応答時間 τ_r との関係を示す図である。

【図 6】本発明の一実施の形態の変形例による液晶表示装置の 1 画素の構成を示す図である。

【図 7】従来の液晶表示装置の 1 画素の構成を示す図である。

【図 8】図 7 に示す従来の液晶表示装置の入力階調に対する輝度特性を示す図である。

【符号の説明】

【0060】

2 TFT 基板

4 対向基板

6 液晶層

10

20

30

40

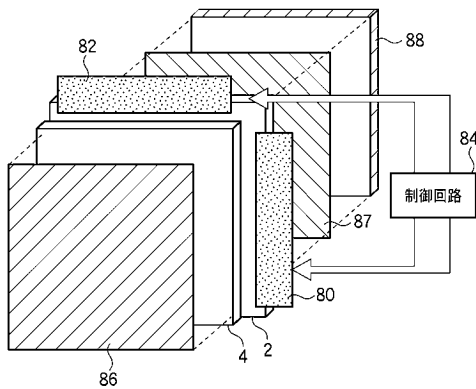
50

- 10 アレイ基板
 11 対向絶縁性基板
 12、106 ゲートバスライン
 14、108 ドレインバスライン
 16、17、121、123 画素電極
 18、114 蓄積容量バスライン
 19、116 蓄積容量電極（中間電極）
 20、110 TFT
 24、118 コンタクトホール
 25、111 制御電極
 30 絶縁膜
 32 保護膜
 40 CF樹脂層
 42 共通電極
 44a、44b、44c、44d、44e、112a、112b、112c 線状突起
 46、126 電極間スリット
 48a、48b、49 画素電極抜き領域
 50a、50b 画素電極スリット
 80 ゲートバスライン駆動回路
 82 ドレインバスライン駆動回路
 84 制御回路
 86、87 偏光板
 88 バックライトユニット
 103 ガラス基板

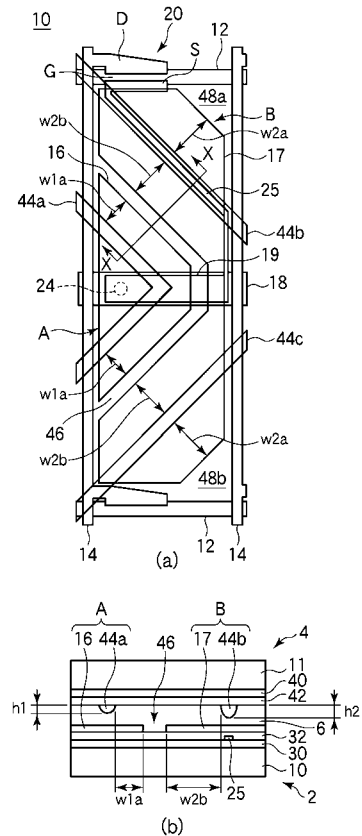
10

20

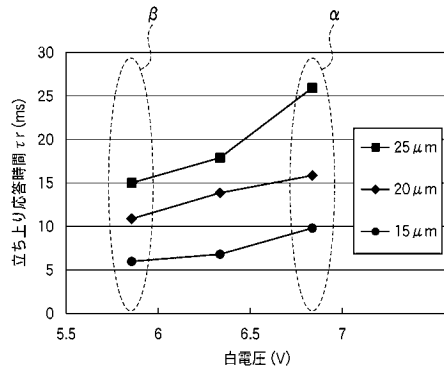
【図1】



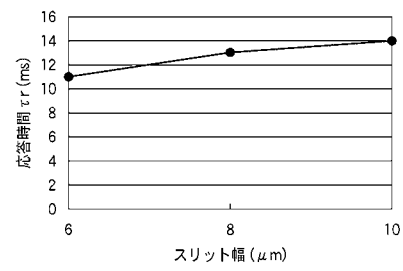
【図2】



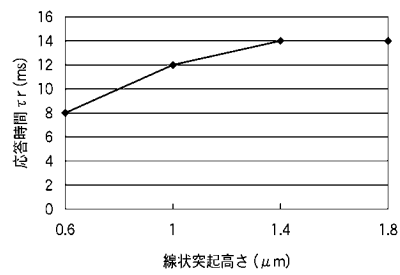
【図 3】



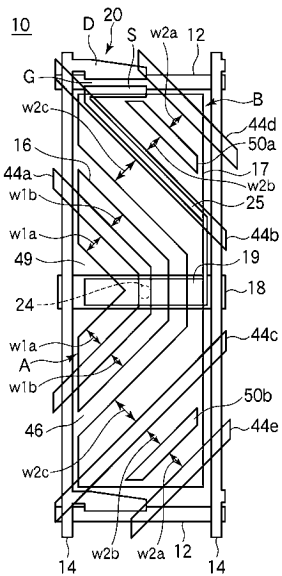
【図 5】



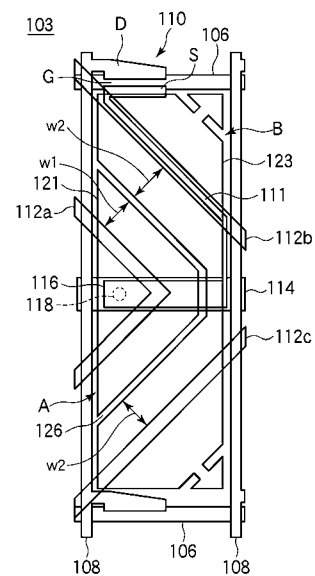
【図 4】



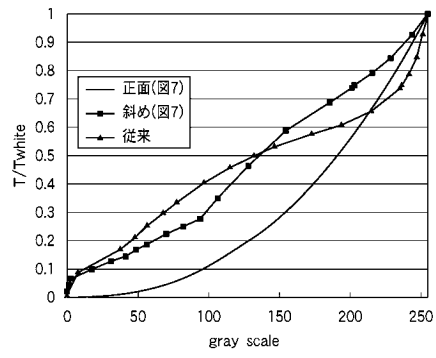
【図 6】



【図 7】



【図 8】



フロントページの続き

Fターム(参考) 2H090 HA15 JA03 JA05 KA04 LA01 LA04 MA01 MA07
2H092 GA13 GA14 JA24 JB05 JB13 JB63 JB69 NA01 PA02 PA06
QA06

专利名称(译)	液晶表示装置		
公开(公告)号	JP2006201343A	公开(公告)日	2006-08-03
申请号	JP2005011328	申请日	2005-01-19
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	井ノ上雄一 佐々木貴啓		
发明人	井ノ上 雄一 佐々木 貴啓		
IPC分类号	G02F1/1368 G02F1/1333 G02F1/1337 G02F1/1343		
CPC分类号	G02F1/133707 G02F1/134309 G02F2001/134345		
FI分类号	G02F1/1368 G02F1/1333 G02F1/1337 G02F1/1343		
F-TERM分类号	2H089/HA15 2H089/QA16 2H089/RA04 2H089/SA16 2H089/SA17 2H089/TA02 2H089/TA04 2H089/TA05 2H089/TA07 2H089/TA09 2H090/HA15 2H090/JA03 2H090/JA05 2H090/KA04 2H090/LA01 2H090/LA04 2H090/MA01 2H090/MA07 2H092/GA13 2H092/GA14 2H092/JA24 2H092/JB05 2H092/JB13 2H092/JB63 2H092/JB69 2H092/NA01 2H092/PA02 2H092/PA06 2H092/QA06 2H189/AA14 2H189/HA16 2H189/JA04 2H189/KA17 2H189/KA18 2H189/LA03 2H189/LA05 2H189/LA06 2H189/LA08 2H189/LA10 2H192/AA24 2H192/BA25 2H192/BC23 2H192/BC31 2H192/CB05 2H192/CC04 2H192/CC44 2H192/DA12 2H192/DA43 2H192/EA43 2H192/GD14 2H192/JA13 2H290/AA33 2H290/BB24 2H290/BB32 2H290/BB44 2H290/BB73 2H290/BB84 2H290/CA46		
代理人(译)	盛冈正树		
其他公开文献	JP4460465B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种用于电子设备的显示部分的液晶显示装置，其具有优异的显示特性。解决方案：液晶显示装置具有彼此相对放置的TFT基板2和相对基板4，以及密封在两个基板2,4之间的液晶层6。像素区域，由栅极总线12和排水总线14设置在TFT基板2上，具有施加有助于驱动液晶层6的灰度电压的子像素A，以及与子基板分离时形成的子像素B。像素A并且施加低于灰度级电压的电压。在对置基板4上形成用于控制液晶层6的液晶分子的取向方向的线状突起44a，44b，44c。形成子像素A中的线状突起44a的配置间隔 $w1 (= w1a)$ 。以便比子像素B中的线性凸起44b，44c的各个布置间隔 $w2 (= (w2a + w2b) / 2)$ 短。

