

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-139253

(P2006-139253A)

(43) 公開日 平成18年6月1日(2006. 6. 1)

(51) Int. Cl.	F I	テーマコード (参考)
GO2F 1/1343 (2006.01)	GO2F 1/1343	2H090
GO2F 1/1333 (2006.01)	GO2F 1/1333 500	2H091
GO2F 1/1335 (2006.01)	GO2F 1/1333 505	2H092
GO2F 1/1337 (2006.01)	GO2F 1/1335 500	
GO2F 1/1368 (2006.01)	GO2F 1/1337 525	
審査請求 有 請求項の数 37 O L (全 22 頁) 最終頁に続く		

(21) 出願番号	特願2005-215325 (P2005-215325)	(71) 出願人	599127667
(22) 出願日	平成17年7月26日 (2005. 7. 26)		エルジー フィリップス エルシーディー
(31) 優先権主張番号	10-2004-0092681		カンパニー リミテッド
(32) 優先日	平成16年11月12日 (2004. 11. 12)		大韓民国 ソウル, ヨンドンポーク,
(33) 優先権主張国	韓国 (KR)		ヨイドードン 20
		(74) 代理人	100057874
			弁理士 曾我 道照
		(74) 代理人	100110423
			弁理士 曾我 道治
		(74) 代理人	100084010
			弁理士 古川 秀利
		(74) 代理人	100094695
			弁理士 鈴木 憲七
		(74) 代理人	100111648
			弁理士 梶並 順
			最終頁に続く

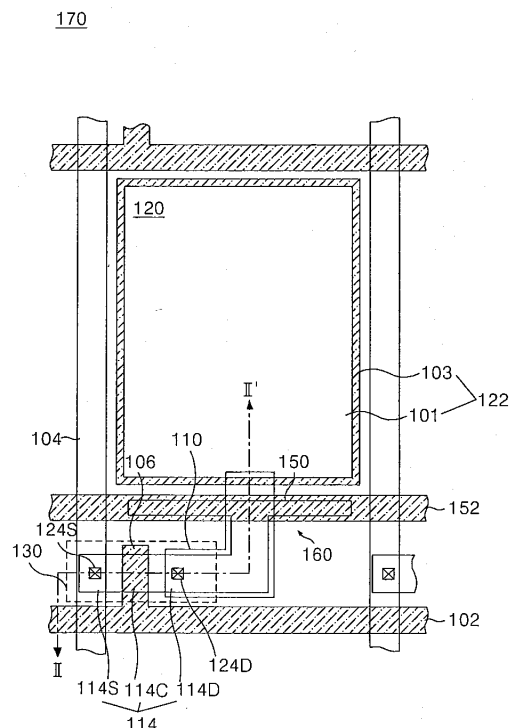
(54) 【発明の名称】 液晶表示装置及びその製造方法

(57) 【要約】

【課題】本発明は、液晶表示装置に係り、特に工程数を減らし、かつ開口率を向上させることができる液晶表示装置及びその製造方法を提供する。

【解決手段】本発明による液晶表示装置は、第1基板170及び第2基板190、前記第1基板上170のゲートライン102、前記ゲートライン102と交差して画素領域を規定するデータライン104、前記ゲートライン102と前記データライン104との交差部に隣接し、ゲート電極106、ソース電極及びドレイン電極110を備えた薄膜トランジスタ、前記画素領域に形成され、金属層が透明導電層上に形成される二重層構造を有した画素電極122、前記第2基板190上に形成され、前記画素電極122及びドレイン電極110と部分的に重なる開口部を有したブラックマトリックス180、及び前記第1基板170と前記第2基板190との間の液晶層を備える。

【選択図】 図4



【特許請求の範囲】

【請求項 1】

第 1 基板及び第 2 基板と、
前記第 1 基板上のゲートラインと、
前記ゲートラインと交差して画素領域を規定するデータラインと、
前記ゲートラインと前記データラインとの交差部に隣接し、ゲート電極、ソース電極及びドレイン電極を備えた薄膜トランジスタと、
前記画素領域に形成され、金属層が透明導電層上に形成される二重層構造を有した画素電極と、
前記第 2 基板上に形成され、前記画素電極及び前記ドレイン電極と部分的に重なる開口部を有したブラックマトリックスと、
前記第 1 基板と前記第 2 基板との間の液晶層と
を備えることを特徴とする液晶表示装置。

【請求項 2】

前記ゲートラインと、前記ゲートラインと接続されたゲート電極とが二重層構造を有することを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

前記ゲートラインと平行なストレージラインをさらに備えることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 4】

前記ストレージラインが二重層構造を有することを特徴とする請求項 3 に記載の液晶表示装置。

【請求項 5】

前記ドレイン電極が前記ストレージラインに沿って形成され、前記データラインの両側と隣接したことを特徴とする請求項 3 に記載の液晶表示装置。

【請求項 6】

前記ドレイン電極は、前記ストレージラインと隣接した前記画素電極の一部分を取り囲むことを特徴とする請求項 3 に記載の液晶表示装置。

【請求項 7】

前記ドレイン電極は、前記ブラックマトリックスの開口部、及び前記ストレージラインと前記画素電極との間の重畳部と重なることを特徴とする請求項 6 に記載の液晶表示装置。

【請求項 8】

前記ブラックマトリックスの開口部と重なった前記ドレイン電極の一部分が、光を反射させることを特徴とする請求項 7 に記載の液晶表示装置。

【請求項 9】

前記ドレイン電極が前記ストレージラインを横切って、前記画素電極と接続されることを特徴とする請求項 3 に記載の液晶表示装置。

【請求項 10】

前記ゲートラインと前記データラインとの間の絶縁膜をさらに備えることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 11】

前記画素電極は、前記絶縁膜を貫通する透過ホールを通じて露出されることを特徴とする請求項 10 に記載の液晶表示装置。

【請求項 12】

前記画素電極の金属層が、前記透過ホールの周囲を取り囲むことを特徴とする請求項 11 に記載の液晶表示装置。

【請求項 13】

前記ソース電極と前記ドレイン電極との間の第 1 活性層をさらに備えることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 14】

前記第 1 活性層から伸張された第 2 活性層と前記ストレージラインとの間に重なった第 1 ストレージキャパシタをさらに備えることを特徴とする請求項 13 に記載の液晶表示装置。

【請求項 15】

前記ドレイン電極と前記ストレージラインとの間に重なった第 2 ストレージキャパシタをさらに備えることを特徴とする請求項 14 に記載の液晶表示装置。

【請求項 16】

前記ブラックマトリックスは、前記開口部を横切るブリッジをさらに備えることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 17】

前記ブリッジは、前記ドレイン電極の段差部を覆うことを特徴とする請求項 16 に記載の液晶表示装置。

【請求項 18】

前記ブリッジは、前記ドレイン電極の前記段差部での光漏れを防止することを特徴とする請求項 16 に記載の液晶表示装置。

【請求項 19】

前記ブラックマトリックスの開口部は、前記画素電極の第 1 境界の外側部分及び前記画素電極の第 2 境界の内側部分に形成されることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 20】

第 1 基板及び第 2 基板を提供する工程と、
前記第 1 基板上にゲートラインを形成する工程と、
前記ゲートラインとデータラインを交差させて画素領域を規定する工程と、
前記ゲートラインとデータラインとの交差部に隣接し、ゲート電極、ソース電極及びドレイン電極を備えた薄膜トランジスタを形成する工程と、
金属層が透明導電層上に形成される二重層構造を有した画素電極を、前記画素領域内に形成する工程と、
前記画素電極及び前記ドレイン電極と部分的に重なる開口部を有したブラックマトリックスを、前記第 2 基板上に形成する工程と、
前記第 1 基板と前記第 2 基板との間に液晶層を形成する工程と
を含むことを特徴とする液晶表示装置の製造方法。

【請求項 21】

前記ゲートラインと平行にストレージラインを形成する工程をさらに含むことを特徴とする請求項 20 に記載の液晶表示装置の製造方法。

【請求項 22】

前記ブラックマトリックスの開口部は、前記画素電極の第 1 境界の外側部分及び前記画素電極の第 2 境界の内側部分に形成されることを特徴とする請求項 20 に記載の液晶表示装置の製造方法。

【請求項 23】

第 1 基板及び第 2 基板を提供する工程と、
前記第 1 基板上にバッファ層を形成する工程と、
前記バッファ層に第 1 活性層及び第 2 活性層を形成する工程と、
前記第 1 活性層及び前記第 2 活性層上に第 1 絶縁膜を形成する工程と、
ゲート電極、ゲートライン、ストレージライン及び画素電極を備え、金属層が透明導電層上に形成される二重層構造を有した第 1 導電パターンを形成する工程と、
前記第 1 導電パターン上に第 2 絶縁膜を形成する工程と、
前記第 1 活性層のソース領域及びドレイン領域を露出させるソースコンタクトホール及びドレインコンタクトホールを形成し、前記画素電極の前記透明導電層を露出させる透過ホールを形成する工程と、

10

20

30

40

50

前記第2絶縁膜上にデータライン、ソース電極及びドレイン電極を形成する工程と、
前記第2基板上に、前記画素電極及び前記ドレイン電極と部分的に重なる開口部を有したブラックマトリックスを形成する工程と
を含むことを特徴とする液晶表示装置の製造方法。

【請求項24】

前記ゲートラインと接続された前記ゲート電極が、前記第1活性層を横切ることを特徴とする請求項23に記載の液晶表示装置の製造方法。

【請求項25】

前記ストレージラインが前記第2活性層と重なることを特徴とする請求項23に記載の液晶表示装置の製造方法。

【請求項26】

前記画素電極が、前記ゲートラインと前記ストレージラインとの間に形成されることを特徴とする請求項23に記載の液晶表示装置の製造方法。

【請求項27】

前記ドレイン電極が前記ドレイン領域と接続され、前記画素電極が前記ストレージラインを横切ることを特徴とする請求項23に記載の液晶表示装置の製造方法。

【請求項28】

前記データライン、前記ソース電極及びドレイン電極上に配向膜を形成することを特徴とする請求項23に記載の液晶表示装置の製造方法。

【請求項29】

透過ホールを形成する工程が、前記透過ホールを規定する前記第2絶縁膜をパターンニングする工程と、

前記透過ホールを通じて前記画素電極の金属層をエッチングすることによって、前記透明導電層を露出する工程と

を含むことを特徴とする請求項23に記載の液晶表示装置の製造方法。

【請求項30】

前記画素電極の前記金属層が、前記画素電極の透明導電層を取り囲むことを特徴とする請求項23に記載の液晶表示装置の製造方法。

【請求項31】

前記ドレイン電極が前記ストレージラインに沿って形成され、前記データラインの両側と隣接することを特徴とする請求項23に記載の液晶表示装置の製造方法。

【請求項32】

前記ドレイン電極は、前記ストレージラインと隣接した前記画素電極の一部分を取り囲むことを特徴とする請求項23に記載の液晶表示装置の製造方法。

【請求項33】

前記開口部を横切るブリッジをさらに備えることを特徴とする請求項23に記載の液晶表示装置の製造方法。

【請求項34】

前記ブリッジは、前記ドレイン電極の段差部を覆うことを特徴とする請求項33に記載の液晶表示装置の製造方法。

【請求項35】

前記ブリッジは、前記ドレイン電極の前記段差部での光漏れを防止することを特徴とする請求項34に記載の液晶表示装置の製造方法。

【請求項36】

前記ブラックマトリックスの開口部は、前記画素電極の第1境界の外側部分及び前記画素電極の第2境界の内側部分に形成されることを特徴とする請求項23に記載の液晶表示装置の製造方法。

【請求項37】

前記第1基板と前記第2基板との間に液晶層を形成する工程をさらに含むことを特徴とする請求項23に記載の液晶表示装置の製造方法。

10

20

30

40

50

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置に係り、特に工程数を減らし、かつ開口率を向上させることができる液晶表示装置及びその製造方法に関する。

【背景技術】

【0002】

通常、液晶表示装置（Liquid Crystal Display：LCD）は、液晶表示パネルにマトリックス形態で配列された液晶セルそれぞれが、ビデオ信号によって光透過率を調節することによって画像を表示する。

10

【0003】

液晶セルそれぞれには、ビデオ信号を独立的に供給するためのスイッチ素子として薄膜トランジスタ（Thin Film Transistor：TFT）が利用される。このようなTFTの活性層としては、非結晶のシリコンまたはポリシリコンが利用される。ここで、非結晶のシリコンより電荷移動度が約100倍程度速いポリシリコンを利用する場合、高い応答速度を必要とする駆動回路を液晶表示パネルに内蔵できる。

【0004】

このようなポリシリコン型の液晶表示パネルは、TFTと共に駆動回路が形成されたTFT基板と、カラーフィルタが形成されたカラーフィルタ基板とが、液晶を挟んで接合されることにより形成される。

20

【0005】

図1は、ポリシリコン型の液晶表示パネルのうち、TFT基板の一部分を示す平面図であり、図2は、図1に示したTFT基板をI-I'線に沿って切断した断面図である。

【0006】

図1及び図2に示したTFT基板は、ゲートライン2及びデータライン4と接続されたTFT30、及びTFT30と接続された画素電極22を備える。TFT30は、N型またはP型に形成されるが、以下では、N型に形成された場合のみを説明する。

【0007】

TFT30は、ゲートライン2と接続されたゲート電極6、データライン4に含まれたソース電極、及び保護膜18を貫通する画素コンタクトホール20を通じて画素電極22と接続されたドレイン電極10を備える。ゲート電極6は、ゲート絶縁膜16を挟んでバッファ膜12上に形成された活性層14のチャンネル領域14Cと重なるように形成される。ソース電極及びドレイン電極10は、ゲート電極6及び層間絶縁膜26を挟んで形成される。そして、ソース電極及びドレイン電極10は、層間絶縁膜26及びゲート絶縁膜16を貫通するソースコンタクトホール24S、及びドレインコンタクトホール24Dそれぞれを通じて、n+不純物が注入された活性層14のソース領域14S及びドレイン領域14Dそれぞれと接続される。

30

【0008】

このようなポリシリコン型のTFT基板は、図3Aないし図3Fのように、6マスク工程で形成される。

40

【0009】

図3Aに示すように、下部基板1上にバッファ膜12が形成され、その上に第1マスク工程で活性層14が形成される。

【0010】

活性層14は、バッファ膜12上に非結晶のシリコンを蒸着した後、レーザーで結晶化してポリシリコンとなるようにした後、第1マスクを利用したフォトリソグラフィ工程及びエッチング工程でパターンニングすることによって形成される。

【0011】

図3Bに示すように、活性層14が形成されたバッファ膜12上にゲート絶縁膜16が形成され、その上に第2マスク工程でゲートライン2及びゲート電極6が形成される。

50

【0012】

そして、ゲート電極6をマスクとして利用して、活性層14の非重畳領域にn+不純物を注入して、活性層14のソース領域14S及びドレイン領域14Dを形成する。

【0013】

図3Cに示すように、ゲートライン2及びゲート電極6が形成されたゲート絶縁膜16上に層間絶縁膜26が形成され、第3マスク工程で層間絶縁膜26及びゲート絶縁膜16を貫通するソースコンタクトホール24S及びドレインコンタクトホール24Dが形成される。

【0014】

図3Dに示すように、第4マスク工程で層間絶縁膜26上に、ソース電極を備えるデータライン4及びドレイン電極10が形成される。 10

【0015】

図3Eに示すように、データライン4及びドレイン電極10が形成された層間絶縁膜26上に保護膜18が形成され、第5マスク工程で保護膜18を貫通してドレイン電極10を露出させる画素コンタクトホール20が形成される。

【0016】

図3Fに示すように、第6マスク工程で保護膜18上に透明な画素電極22が形成される。

【0017】

このように、従来のポリシリコン型のTFT基板は、6マスク工程で形成されるので、製造工程が複雑であるという問題点がある。これは、一つのマスク工程が薄膜蒸着工程、洗浄工程、フォトリソグラフィ工程、エッチング工程、フォトリソグスト剥離工程、検査工程のような多くの工程を含むためである。したがって、コスト低減のためには、ポリシリコン型のTFT基板のマスク工程数を減らして、液晶表示パネルの製造工程を単純化させることができる必要がある。 20

【発明の開示】

【発明が解決しようとする課題】

【0018】

従来技術の限界及び短所による一つ以上の問題点を実質的に取り除くポリシリコン表示装置及びその製造方法に関する。 30

【0019】

本発明の目的は、改善された開口率を有したポリシリコンLCD、及びそれを製造するための単純化された方法を提供するところにある。

【課題を解決するための手段】

【0020】

前記目的を達成するために、本発明によるLCDは、第1基板及び第2基板、前記第1基板上のゲートライン、前記ゲートラインと交差して画素領域を規定するデータライン、前記ゲートラインと前記データラインとの交差部に隣接し、ゲート電極、ソース電極及びドレイン電極を備えたTFT、前記画素領域に形成され、金属層が透明導電層上に形成される二重層構造を有した画素電極、前記第2基板上に形成され、前記画素電極及びドレイン電極と部分的に重なる開口部を有したブラックマトリックス、及び前記第1基板と前記第2基板との間の液晶層を備える。 40

【0021】

本発明の他の様相におけるLCDの製造方法は、第1及び第2基板を提供する工程、前記第1基板上にゲートラインを形成する工程、前記ゲートラインとデータラインを交差させて画素領域を規定する工程、前記ゲートラインとデータラインとの交差部に隣接し、ゲート電極、ソース電極及びドレイン電極を備えたTFTを形成する工程、金属層が透明導電層上に形成される二重層構造を有した前記画素領域内に、画素電極を形成する工程、前記画素電極及び前記ドレイン電極と部分的に重なる開口部を有したブラックマトリックスを、前記第2基板上に形成する工程、及び前記第1基板と第2基板との間に液晶層を形 50

成する工程を含む。

【0022】

本発明のさらに他の様相によって、LCDの製造方法は、第1基板及び第2基板を提供する工程、前記第1基板上にバッファ層を形成する工程、前記バッファ層に第1活性層及び第2活性層を形成する工程、前記第1活性層及び第2活性層上に第1絶縁膜を形成する工程、ゲート電極、ゲートライン、ストレージライン及び画素電極を備え、金属層が透明導電層上に形成される二重層構造を有した第1導電パターンを形成する工程、前記第1導電パターン上に第2絶縁膜を形成する工程、前記第1活性層のソース領域及びドレイン領域を露出させるソースコンタクトホール及びドレインコンタクトホールを形成し、前記画素電極の前記透明導電層を露出させる透過ホールを形成する工程、前記第2絶縁膜上にデータライン、ソース電極及びドレイン電極を形成する工程、及び前記第2基板上に、前記画素電極及び前記ドレイン電極と部分的に重なる開口部を有したブラックマトリックスを形成する工程を含む。

【発明の効果】

【0023】

本発明によるLCD及びその製造方法は、TFT基板の工程数を4マスク工程に減少させることによって、コストを低減できる。

【0024】

そして、本発明によるLCD及びその製造方法は、ドレイン電極とストレージラインとの重畳面積を拡張して、ストレージキャパシタの容量を増加させることができる。

【0025】

また、本発明によるLCD及びその製造方法は、ストレージライン及び画素電極と重なるドレイン電極の面積を拡張して、合着マージンによるブラックマトリックスの開口率の減少を防止できる。

【0026】

また、本発明によるLCD及びその製造方法は、ブラックマトリックスの開口部を通じて拡張されたドレイン電極が露出されて外光を平面反射させることによって、コントラスト比を向上できる。

【0027】

さらに、本発明によるLCD及びその製造方法は、ブラックマトリックスのブリッジをさらに備えて、ドレイン電極の段差による光漏れも防止できる。

【発明を実施するための最良の形態】

【0028】

以下、本発明の望ましい実施形態を、図4ないし図15を参照して詳細に説明する。

【0029】

第1実施形態

図4は、本発明の第1実施形態によるポリシリコン型の液晶表示パネルのうち、TFT基板の一部分を示す平面図であり、図5は、図4に示したTFT基板をI-I'線に沿って切断した断面図である。

【0030】

図4及び図5に示したポリシリコン型のTFT基板170は、画素領域を定義するゲートライン102、データライン104、それらと接続されたTFT130、TFT130と接続された画素電極122、ストレージキャパシタ160、及びストレージキャパシタ160と接続されたストレージライン152を備える。TFT130は、N型またはP型に形成されるが、以下では、N型に形成された場合のみを例として説明する。

【0031】

データライン104は、層間絶縁膜118を挟んでゲートライン102及びストレージライン152と交差して、画素電極122が形成される画素領域を定義する。

【0032】

TFT130は、ゲートライン102のゲート信号に応答して、データライン104の

ビデオ信号を画素電極 122 に供給する。このために、TFT130 は、ゲートライン 102 と接続されたゲート電極 106、データライン 104 に含まれたソース電極、画素電極 122 と接続されたドレイン電極 110、及びソース電極とドレイン電極 110 との間にチャンネルを形成する第 1 活性層 114 を備える。

【0033】

ここで、ゲートライン 102 及びゲート電極 106 は、ストレージライン 152 と同じように、透明導電層 101、及びその上に金属層 103 が積層された二重構造を有する。

【0034】

第 1 活性層 114 は、バッファ膜 112 を挟んで下部基板 100 上に形成される。第 1 活性層 114 は、ゲート絶縁膜 116 を挟んでゲート電極 106 と重なったチャンネル領域 114C、チャンネル領域 114C を挟んで n+ 不純物が注入されたソース領域 114S、及びドレイン領域 114D を備える。第 1 活性層 114 のソース領域 114S 及びドレイン領域 114D は、層間絶縁膜 118 及びゲート絶縁膜 116 を貫通するソースコンタクトホール 124S 及びドレインコンタクトホール 124D それぞれを通じて、データライン 104 に含まれたソース電極、ドレイン電極 110 とそれぞれ接続される。 10

【0035】

画素電極 122 は、画素領域のゲート絶縁膜 116 上に形成された透明導電層 101、及び透明導電層 101 上のエッジに沿って残存する金属層 103 を備える。すなわち、画素電極 122 の透明導電層 101 は、層間絶縁膜 118 及び金属層 103 を貫通する透過ホール 120 を通じて露出される。これと異なり、画素電極 122 は、残存する金属層 103 なしに、透明導電層 101 のみで形成されることもある。このような画素電極 122 は、TFT130 からストレージライン 152 を横切って、透過ホール 120 の側面に沿って延びたドレイン電極 110 と接続される。具体的に、ドレイン電極 110 は、透過ホール 120 を通じて露出された画素電極 122 の金属層 103 及び透明導電層 101 と接続される。このような画素電極 122 は、TFT130 から供給されたビデオ信号を充電して、カラーフィルタ基板（図示せず）に形成された共通電極と電位差を発生させる。この電位差により、TFT 基板とカラーフィルタ基板とに位置する液晶が誘電異方性により回転し、光源（図示せず）から画素電極 122 を経由して入射される光の透過量を調節して、カラーフィルタ基板側に透過させる。 20

【0036】

ストレージキャパシタ 160 は、ストレージライン 152 と TFT130 との間に並列接続された第 1 ストレージキャパシタ Cst1 及び第 2 ストレージキャパシタ Cst2 を備える。第 1 ストレージキャパシタ Cst1 は、ストレージライン 152 が第 1 活性層 114 から延びた第 2 活性層 150 とゲート絶縁膜 116 とを挟んで重なって形成される。第 2 ストレージキャパシタ Cst2 は、ドレイン電極 110 が層間絶縁膜 118 を挟んでストレージライン 152 と交差して形成される。このような第 1 ストレージキャパシタ Cst1 及び第 2 ストレージキャパシタ Cst2 の並列連結により容量が増加したストレージキャパシタ 160 は、画素電極 122 に充電されたビデオ信号を安定的に維持させる。 30

【0037】

このように、本発明のポリシリコン型の TFT 基板 170 は、画素電極 122 が二重構造のゲートライン 102、ゲート電極 106、ストレージライン 152 と共にゲート絶縁膜 116 上に形成される。その結果、TFT 基板は、図 6A ないし図 6D に示すように、4 マスク工程で形成できる。 40

【0038】

図 6A に示すように、下部基板 100 上にバッファ膜 112 が形成され、その上に第 1 マスク工程で一体化した第 1 活性層 114 及び第 2 活性層 150 が形成される。

【0039】

下部基板 100 上に、バッファ膜 112 を形成する。

【0040】

次いで、バッファ膜 112 上に、LPCVD (Low Pressure Chemi 50

cal Vapor Deposition)、PECVD (Plasma Enhanced CVD) などの方法で非結晶のシリコン薄膜を形成した後、結晶化してポリシリコン薄膜を形成する。この際、非結晶のシリコン薄膜を結晶化する前に、非結晶のシリコン薄膜内に存在する水素原子を除去するための脱水素化工程を進めることもある。

【0041】

非結晶 (amorphous) のシリコン薄膜を結晶化する方法としては、非結晶のシリコン薄膜を高温窯炉で熱処理する固相結晶化 (Solid Phase Crystallization: SPC) 方法、及びレーザーを利用したエキシマーレーザーアニーリング (Excimer Laser Annealing: ELA) 方法があるが、ELA方法が主に利用される。そして、ELA方法としては、ラインビームを横方向にスキャンして、グレーンを横方向に成長させることによって、結晶化特性を画期的に向上させた逐次的横方向結晶化 (Sequential Lateral Solidification: SLS) 方法が主に利用される。SLS方法は、グレーンが液状シリコンと固状シリコンとの境界面で、その境界面に対して垂直方向に成長する原理を利用する。これにより、SLS方法は、レーザーエネルギーのサイズ及びレーザービームの照射範囲を適切に調節して、グレーンを所定の長さほど横方向に成長させることによって、グレーンのサイズを増大できるという長所がある。

【0042】

そして、ポリシリコン薄膜を、第1マスクを利用したフォトリソグラフィ工程及びエッチング工程でパターニングして一体化した第1活性層114及び第2活性層150を形成する。

【0043】

図6Bに示すように、ゲート絶縁膜116が形成され、その上に第2マスク工程で二重構造を有するゲートライン102、ゲート電極106、ストレージライン152と共に画素電極122が形成される。

【0044】

第1活性層114及び第2活性層150が形成されたバッファ膜112上に、ゲート絶縁膜116、透明導電層101及び金属層103が積層される。そして、第2マスクを利用したフォトリソグラフィ工程及びエッチング工程で、透明導電層101及び金属層103がパターニングされることによって、二重構造を有するゲートライン102、ゲート電極106、ストレージライン152及び画素電極122が形成される。

【0045】

そして、ゲート電極106をマスクとして利用して、第1活性層114にn+不純物を注入して、第1活性層114のソース領域114S及びドレイン領域114Dが形成される。

【0046】

図6Cに示すように、第3マスク工程でソースコンタクトホール124S及びドレインコンタクトホール124Dと、透過ホール120とを有する層間絶縁膜118が形成される。

【0047】

ゲートライン102、ゲート電極106、ストレージライン152及び画素電極122が形成されたゲート絶縁膜116上に、層間絶縁膜118が形成される。次いで、第3マスクを利用したフォトリソグラフィ工程及びエッチング工程で、層間絶縁膜118及びゲート絶縁膜116を貫通して、第1活性層114のソース領域114S及びドレイン領域114Dをそれぞれ露出させるソースコンタクトホール124S及びドレインコンタクトホール124Dと、画素電極122を露出させる透過ホール120とが形成される。そして、透過ホール120を通じて露出された画素電極122の金属層103をエッチングして、透明導電層101を露出させる。

【0048】

図6Dに示すように、第4マスク工程で、層間絶縁膜118上にソース電極を含んだデ

10

20

30

40

50

ータライン104及びドレイン電極110が形成される。

【0049】

ソース電極を含んだデータライン104及びドレイン電極110は、層間絶縁膜118上にソース／ドレイン金属層を形成した後、第4マスクを利用したフォトリソグラフィ工程及びエッチング工程で、ソース／ドレイン金属層をパターンニングすることによって形成される。データライン104及びドレイン電極110は、ソースコンタクトホール124S及びドレインコンタクトホール124Dを通じて、第1活性層114のソース領域114S及びドレイン領域114Dそれぞれと接続される。ドレイン電極110は、ストレージライン152を横切って延びて、透過ホール120を通じて露出された画素電極122の金属層103及び透明導電層101と接続される。

10

【0050】

このように、本発明のポリシリコン型のTFT基板170は、画素電極122が二重構造のゲートライン102、ゲート電極106、ストレージライン152と共に形成されることによって、工程を単純化して4マスク工程とすることができる。その結果、データライン104及びドレイン電極110が露出された構造を有するが、これは、後続工程で液晶配向のためにTFT基板の最上部層に形成される有機絶縁物質の配向膜により、十分に保護可能である。

【0051】

第2実施形態

図7は、本発明の第1実施形態によるポリシリコン型の液晶表示パネル、及びその合着過程を示す平面図である。

20

【0052】

図7に示したポリシリコン型の液晶表示パネルは、前述したように4マスク工程で形成され、最上部層に下部配向膜（図示せず）が塗布されたポリシリコン型のTFT基板170と、ブラックマトリックス180が形成されたカラーフィルタ基板190とが、液晶物質を挟んで合着されることによって形成される。ここで、カラーフィルタ基板190は、図7に示したブラックマトリックス180以外にも、ブラックマトリックス180を覆いつつ、該当画素領域別に形成されたカラーフィルタ、カラーフィルタを平坦化させるためのオーバーコート層、ポリシリコン型のTFT基板170の画素電極122と電界を形成する共通電極、及び液晶配向のための上部配向膜をさらに備える。

30

【0053】

ブラックマトリックス180は、TFT基板170の画素電極122と重なった開口部182のみがオープンされ、残りの領域は、光透過を遮断するように形成される。この際、ブラックマトリックス180は、TFT基板170とカラーフィルタ基板190との合着マージンを考慮して、画素電極122の境界線122Aより内側に数 μm 程度入るように形成されると共に、画素電極122側に突出されたドレイン電極110と重なった部分は、内側に突出されるように形成される。これにより、ブラックマトリックス180の開口部182の面積減少により、開口率が低下する。

【0054】

これを解決するために、本発明の第2実施形態によるポリシリコン型の液晶表示パネルは、図8及び図9に示したように、ドレイン電極210の面積が増大したポリシリコン型のTFT基板270を備える。

40

【0055】

図8は、本発明の第2実施形態による液晶表示パネルのうち、ポリシリコン型のTFT基板の一部を示す平面図であり、図9は、図8に示したTFT基板をI-I'-線に沿って切断して示す断面図である。

【0056】

図8及び図9に示したポリシリコン型のTFT基板270は、図4及び図5に示したポリシリコン型のTFT基板170と比較して、ストレージライン252及び画素電極222との重畳面積が増大したドレイン電極210を備える。

50

【0057】

図8及び図9に示したポリシリコン型のTFT基板270において、ゲートライン202、ゲート電極206、ストレージライン252は、透明導電層201及び金属層203が積層された二重導電層の構造でゲート絶縁膜216上に形成される。画素電極222は、ゲート絶縁膜216上に形成された透明導電層201を備え、この透明導電層201は、層間絶縁膜218を貫通する透過ホール220を通じて露出される。そして、画素電極222は、透過ホール220の外郭を取り囲み、透明導電層201上に四角形状または四角帯形状に残存する金属層203をさらに備える。

【0058】

TFT230は、基板200上のバッファ膜212上に形成された第1活性層214、ゲート絶縁膜216を挟んで第1活性層214のチャンネル領域214Cと重なったゲート電極206、層間絶縁膜218及びゲート絶縁膜216を貫通するソースコンタクトホール224S及びドレインコンタクトホール224Dを通じて、第1活性層214のソース領域214S及びドレイン領域214Dそれぞれと接続されたソース電極、及びドレイン電極210を備える。ここで、ソース電極は、データライン204の一部に含まれるか、またはデータライン204から突出されて形成される。

【0059】

そして、ドレイン電極210は、層間絶縁膜218を挟んでストレージライン252と重なりつつ、透過ホール220を通じて画素電極222と接続される。具体的に、ドレイン電極210において、ストレージライン252と重なった部分は、ストレージライン252に沿って長く形成されて、両側のデータライン204と隣接する。また、ドレイン電極210は、ストレージライン252との重畳部から画素電極222の内側に拡張されて、透過ホール220を通じて露出された画素電極222の下側部と接続される。

【0060】

これにより、ドレイン電極210とストレージライン252との重畳面積が増大することによって、ストレージキャパシタ260の容量が増加する。具体的に、ストレージキャパシタ260は、TFT230とストレージライン252との間に並列接続された第1ストレージキャパシタCst1及び第2ストレージキャパシタCst2を備える。第1ストレージキャパシタCst1は、ストレージライン252がTFT230の第1活性層214から延びた第2活性層250とゲート絶縁膜216とを挟んで重なって形成される。第2ストレージキャパシタCst2は、ドレイン電極210が層間絶縁膜218を挟んでストレージライン252と交差して形成される。ここで、ドレイン電極210とストレージライン252との重畳面積の増大により、第2ストレージキャパシタCst2の容量が増加するので、それに比例してストレージキャパシタ260の全体容量も増加する。これにより、ストレージキャパシタ260は、画素電極222に供給されたビデオ信号をさらに安定的に維持させる。

【0061】

また、ストレージライン252及び画素電極222と重なったドレイン電極210の一部は、ブラックマトリックス（図示せず）の開口部を通じて露出させる。これにより、合着マージン問題によるブラックマトリックスの開口部の減少を防止できる。また、ブラックマトリックスの開口部を通じて露出されたドレイン電極210は、外光を平面反射させることによって、コントラスト比を向上できる。

【0062】

このような本発明の第2実施形態によるポリシリコン型のTFT基板は、次のように4マスク工程で形成される。

【0063】

図10A及び図10Bは、本発明の第2実施形態によるポリシリコン型のTFT基板の製造方法のうち、第1マスク工程を説明するための平面図及び断面図である。

【0064】

図10A及び図10Bに示すように、下部基板200上にバッファ膜212が形成され

、その上に第1マスク工程で一体化した第1活性層214及び第2活性層250が形成される。

【0065】

バッファ膜212は、下部基板200上にSiO₂のような無機絶縁物質が全面蒸着されて形成される。

【0066】

次いで、バッファ膜212上に、LPCVD、PECVDなどの方法で非結晶のシリコン薄膜を形成した後、結晶化してポリシリコン薄膜を形成する。この際、非結晶(amorphous)のシリコン薄膜を結晶化する前に、非結晶のシリコン薄膜内に存在する水素原子を除去するための脱水素化工程を進めることもある。非結晶のシリコン薄膜を結晶化する方法としては、ELA方法のうちの一つとして、ラインビームを横方向にスキャンしてグレーンを横方向に成長させることによって、グレーンのサイズを増大させたSLI方法が主に利用される。 10

【0067】

そして、ポリシリコン薄膜を、第1マスクを利用したフォトリソグラフィ工程及びエッチング工程でパターニングして一体化した第1活性層214及び第2活性層250を形成する。

【0068】

図11A及び図11Bは、本発明の第2実施形態によるポリシリコン型のTFT基板の製造方法のうち、第2マスク工程を説明する平面図及び断面図である。 20

【0069】

図11A及び図11Bに示すように、第1活性層214及び第2活性層250が形成されたバッファ膜212上に、ゲート絶縁膜216が形成され、その上に第2マスク工程で二重構造を有するゲートライン202、ゲート電極206、ストレージライン252と共に画素電極222が形成される。

【0070】

ゲート絶縁膜216は、第1活性層214及び第2活性層250が形成されたバッファ膜212上に、SiO₂のような無機絶縁物質が全面蒸着されて形成される。

【0071】

次いで、ゲート絶縁膜216上に、透明導電層201及び金属層203がスパッタリング方法で積層される。透明導電層201としては、ITO(Indium Tin Oxide)、TO(Tin Oxide)、IZO(Indium Zinc Oxide)などが、金属層203としては、Mo、Cu、Al、Ti、Cr、MoW、AlNdなどが利用される。次いで、第2マスクを利用したフォトリソグラフィ工程及びエッチング工程で、金属層203及び透明導電層201をパターニングすることによって、二重構造を有するゲートライン202、ゲート電極206、ストレージライン252と共に画素電極222が形成される。 30

【0072】

また、ゲート電極206をマスクとして利用して、第1活性層214にn⁺不純物を注入して、第1活性層214のソース領域214S及びドレイン領域214Dが形成される。このような第1活性層214のソース領域214S及びドレイン領域214Dは、ゲート電極206と重なるチャンネル領域214Cを挟んで対向する。 40

【0073】

図12A及び図12Bは、本発明の第2実施形態によるポリシリコン型のTFT基板の製造方法のうち、第3マスク工程を説明する平面図及び断面図である。

【0074】

図12A及び図12Bに示すように、ゲートライン202、ゲート電極206、ストレージライン252及び画素電極222が形成されたゲート絶縁膜216上に、第3マスク工程でソースコンタクトホール224S及びドレインコンタクトホール224Dと、透過ホール220とを有する層間絶縁膜218が形成される。 50

【0075】

層間絶縁膜218は、ゲートライン202、ゲート電極206、ストレージライン252、及び画素電極222が形成されたゲート絶縁膜216上に、 SiO_2 のような無機絶縁物質が全面蒸着されて形成される。

【0076】

次いで、第3マスクを利用したフォトリソグラフィ工程及びエッチング工程で、層間絶縁膜218及びゲート絶縁膜216を貫通して、第1活性層214のソース領域214S及びドレイン領域214Dをそれぞれ露出させるソースコンタクトホール224S及びドレインコンタクトホール224Dと、画素電極222を露出させる透過ホール220とが形成される。次いで、透過ホール220を通じて露出された画素電極222の金属層203をエッチングして、透明導電層201を露出させる。 10

【0077】

図13A及び図13Bは、本発明の第2実施形態によるポリシリコン型のTF T基板の製造方法のうち、第4マスク工程を説明するための平面図及び断面図である。

【0078】

図13A及び図13Bに示すように、第4マスク工程で層間絶縁膜218上に、ソース電極を含んだデータライン204及びドレイン電極210が形成される。

【0079】

ソース電極を含んだデータライン204及びドレイン電極210は、層間絶縁膜218上にソース／ドレイン金属層を形成した後、第4マスクを利用したフォトリソグラフィ工程及びエッチング工程で、ソース／ドレイン金属層をパターニングすることによって形成される。データライン204及びドレイン電極210は、ソースコンタクトホール224S及びドレインコンタクトホール224Dを通じて、第1活性層214のソース領域214S及びドレイン領域214Dそれぞれと接続される。ドレイン電極210は、ストレージライン252と重なりつつ、透過ホール220を通じて画素電極222と接続される。この場合、ドレイン電極210は、データライン204間に位置するストレージライン252の一部分を覆いつつ、両側のデータライン204と隣接するように形成され、その横幅を維持しつつ延びて、画素電極222の下側部と接続される。 20

【0080】

そして、データライン204及びドレイン電極210は、後続工程で液晶配向のためにTF T基板の最上部層に形成される有機絶縁物質の配向膜により、十分に保護可能である。 30

【0081】

図14は、本発明の第2実施形態によるポリシリコン型の液晶表示パネル、及びその合着過程を示す平面図である。

【0082】

図14に示したポリシリコン型の液晶表示パネルは、前述したように4マスク工程で形成され、最上部層に下部配向膜（図示せず）が塗布されたポリシリコン型のTF T基板270と、ブラックマトリックス280が形成されたカラーフィルタ基板290とが、液晶物質を挟んで合着されることによって形成される。ここで、カラーフィルタ基板290は、図14に示したブラックマトリックス280以外にも、ブラックマトリックス280を覆いつつ、該当画素領域別に形成されたカラーフィルタ、カラーフィルタを平坦化させるためのオーバーコート層、ポリシリコン型のTF T基板270の画素電極222と電界を形成する共通電極、及び液晶配向のための上部配向膜をさらに備える。 40

【0083】

ブラックマトリックス280は、TF T基板270の画素電極222と重なった開口部282のみがオープンされ、残りの領域は、光透過を遮断するように形成される。この際、ブラックマトリックス280の開口部282は、画素電極222の左、右、上側の境界線222Aより内側に、画素電極222の下側の境界線222Aより外側に形成されることによって、面積が増大する。これにより、TF T基板270とカラーフィルタ基板29 50

0とを合着すれば、ブラックマトリックス280の開口部282を通じて、画素電極222と共に、金属層で形成されたドレイン電極210が露出される。したがって、合着マージン問題によるブラックマトリックス280の開口部282の減少を防止できる。また、ブラックマトリックス280の開口部282を通じて露出されたドレイン電極210は、外光を平面反射させることによって、コントラスト比を向上できる。

【0084】

第3実施形態

図15は、本発明の第3実施形態によるポリシリコン型の液晶表示パネル、及びその合着過程を示す平面図である。

【0085】

図15に示したポリシリコン型の液晶表示パネルは、図14に示したポリシリコン型の液晶表示パネルと比較して、カラーフィルタ基板390のブラックマトリックス380が、開口部382の下端部を横切るブリッジ380Aをさらに備える点を除いては、同一な構成要素を備える。

【0086】

図15に示したブラックマトリックス380のブリッジ380Aは、開口部382を横切って形成され、これにより、開口部382は、上下部に分離される。このようなブラックマトリックス380のブリッジ380Aは、TFT基板270と合着されるとき、ドレイン電極210の段差部を覆うように形成される。これは、図9に示したように、ドレイン電極210が透過ホール220の高さによる段差を有し、そのドレイン電極210の段差部による液晶配向の不良により、光漏れが発生することがあるためである。これにより、TFT基板270とカラーフィルタ基板390とを合着すれば、ブラックマトリックス380のブリッジ380Aを基準として、開口部382の上部は、画素電極222を、下部は、ドレイン電極210を露出させる。したがって、合着マージン問題によるブラックマトリックス380の開口部382の減少を防止できる。また、ブラックマトリックス380の開口部382を通じて露出されたドレイン電極210は、外光を平面反射させることによって、コントラスト比を向上できる。

【図面の簡単な説明】

【0087】

【図1】従来のポリシリコン型の液晶表示パネルのうち、TFT基板の一部分を示す平面図である。

【図2】図1に示したTFT基板をI-I'線に沿って切断して示す断面図である。

【図3A】図2に示したTFT基板の製造方法を段階的に説明するための断面図である。

【図3B】図2に示したTFT基板の製造方法を段階的に説明する断面図である。

【図3C】図2に示したTFT基板の製造方法を段階的に説明する断面図である。

【図3D】図2に示したTFT基板の製造方法を段階的に説明する断面図である。

【図3E】図2に示したTFT基板の製造方法を段階的に説明する断面図である。

【図3F】図2に示したTFT基板の製造方法を段階的に説明する断面図である。

【図4】本発明の第1実施形態による液晶表示パネルのうち、ポリシリコン型のTFT基板の一部分を示す平面図である。

【図5】図4に示したTFT基板をII-II'線に沿って切断して示す断面図である。

【図6A】図5に示したTFT基板の製造方法を段階的に説明する断面図である。

【図6B】図5に示したTFT基板の製造方法を段階的に説明する断面図である。

【図6C】図5に示したTFT基板の製造方法を段階的に説明する断面図である。

【図6D】図5に示したTFT基板の製造方法を段階的に説明する断面図である。

【図7】本発明の第1実施形態によるポリシリコン型の液晶表示パネル及びその合着過程を示す平面図である。

【図8】本発明の第2実施形態によるポリシリコン型の液晶表示パネルのうち、TFT基板の一部分を示す平面図である。

【図9】図8に示したTFT基板をIII-III'線に沿って切断して示す断面図であ

10

20

30

40

50

る。

【図 1 0 A】本発明の第 2 実施形態による T F T 基板の製造方法のうち、第 1 マスク工程を説明する平面図である。

【図 1 0 B】本発明の第 2 実施形態による T F T 基板の製造方法のうち、第 1 マスク工程を説明する断面図である。

【図 1 1 A】本発明の第 2 実施形態による T F T 基板の製造方法のうち、第 2 マスク工程を説明する平面図である。

【図 1 1 B】本発明の第 2 実施形態による T F T 基板の製造方法のうち、第 2 マスク工程を説明する断面図である。

【図 1 2 A】本発明の第 2 実施形態による T F T 基板の製造方法のうち、第 3 マスク工程を説明する平面図である。 10

【図 1 2 B】本発明の第 2 実施形態による T F T 基板の製造方法のうち、第 3 マスク工程を説明する断面図である。

【図 1 3 A】本発明の第 2 実施形態による T F T 基板の製造方法のうち、第 4 マスク工程を説明する平面図である。

【図 1 3 B】本発明の第 2 実施形態による T F T 基板の製造方法のうち、第 4 マスク工程を説明する断面図である。

【図 1 4】本発明の第 2 実施形態によるポリシリコン型の液晶表示パネル及びその合着過程を示す平面図である。

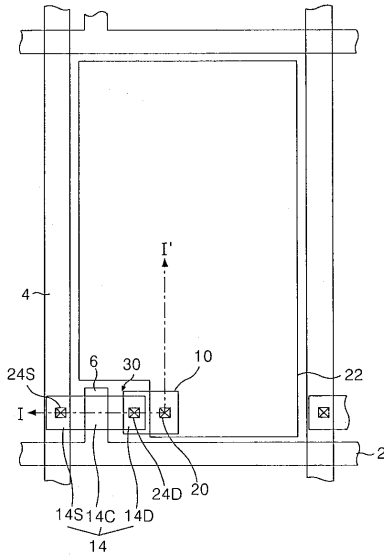
【図 1 5】本発明の第 3 実施形態によるポリシリコン型の液晶表示パネル及びその合着過程を示す平面図である。 20

【符号の説明】

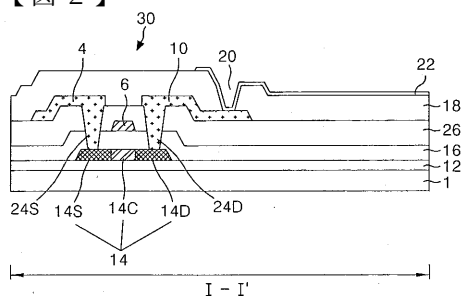
【0 0 8 8】

1、1 0 0、2 0 0 基板、2、1 0 2、2 0 2 ゲートライン、4、1 0 4、2 0 4
データライン、6、1 0 6、2 0 6 ゲート電極、1 0、1 1 0、2 1 0 ドレイン電極
、1 2、1 1 2、2 1 2 バッファ膜、1 4、1 1 4、1 5 0、2 1 4、2 5 0 活性層
、1 4 S、1 1 4 S、2 1 4 S ソース領域、1 4 D、1 1 4 D、2 1 4 D ドレイン領
域、1 4 C、1 1 4 C、2 1 4 C チャンネル領域、1 6、1 1 6、2 1 6 ゲート絶縁
膜、1 8 保護膜、2 0 画素コンタクトホール、2 2、1 2 2、2 2 2 画素電極
2 4 S、1 2 4 S、2 2 4 S ソースコンタクトホール、2 4 D、1 2 4 D、2 2 4 D 30
ドレインコンタクトホール、2 6、1 1 8、2 1 8 層間絶縁膜、3 0、1 3 0、2 3 0
T F T、1 0 1、2 0 1 透明導電層、1 0 3、2 0 3 金属層、1 2 0、2 2 0 透
過ホール、1 2 2 A、2 2 2 A 画素電極の境界線、1 5 2、2 5 2 ストレージライン
1 6 0、2 6 0 ストレージキャパシタ、1 7 0、2 7 0 T F T 基板、1 8 0、2 8 0
、3 8 0 ブラックマトリックス、1 8 2、2 8 2、3 8 2 開口部、1 9 0、2 9 0、
3 9 0 カラーフィルタ基板、3 8 0 A ブリッジ。

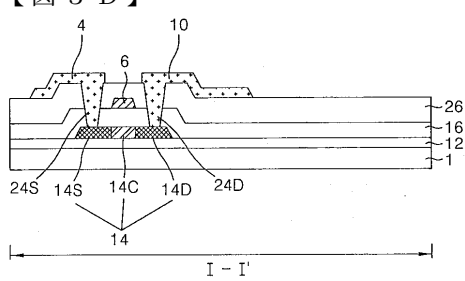
【図 1】



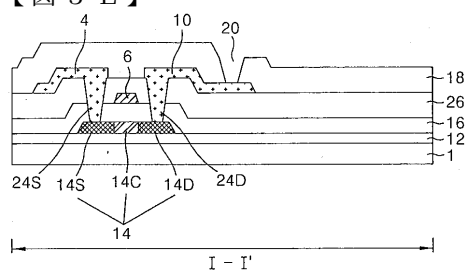
【図 2】



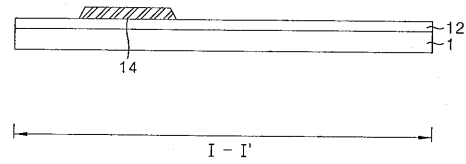
【図 3 D】



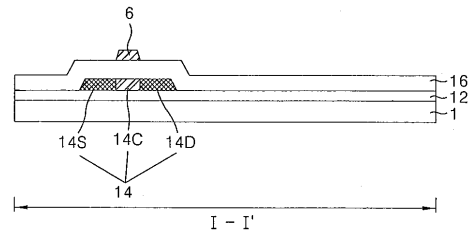
【図 3 E】



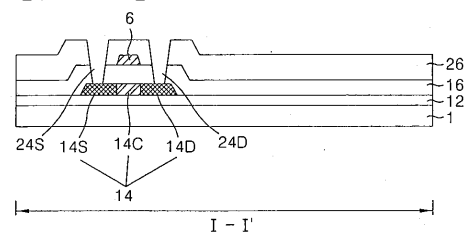
【図 3 A】



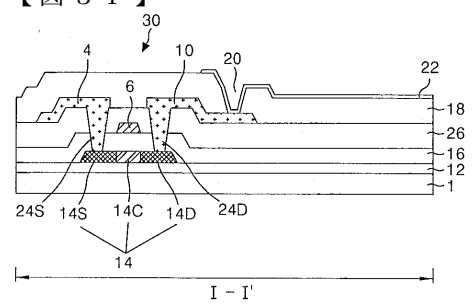
【図 3 B】



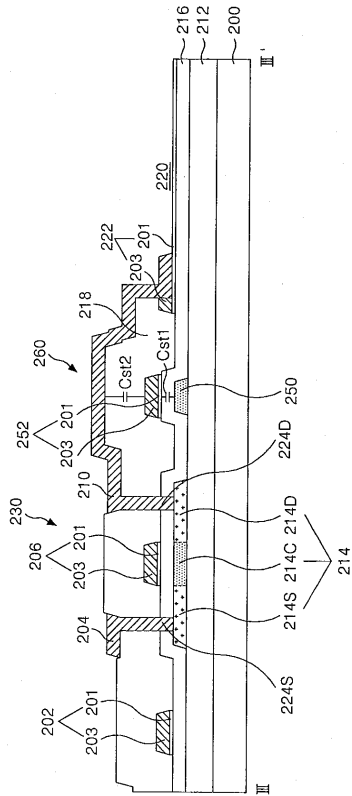
【図 3 C】



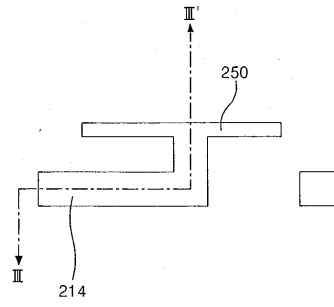
【図 3 F】



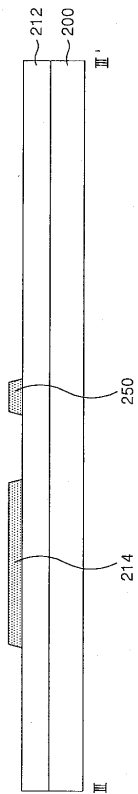
【図 9】



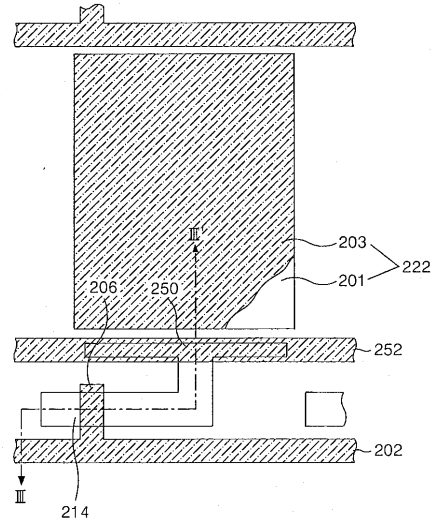
【図 10 A】



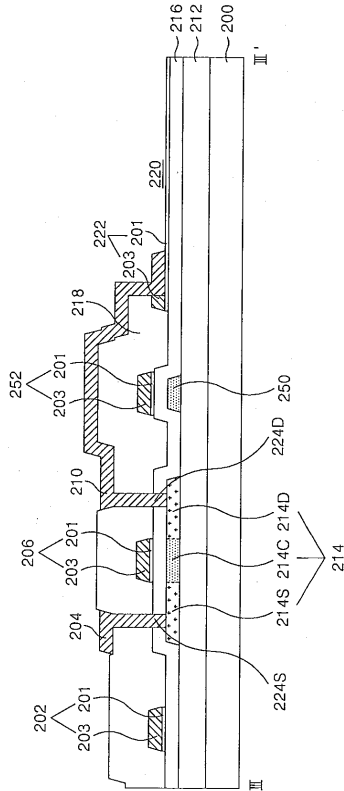
【図 10 B】



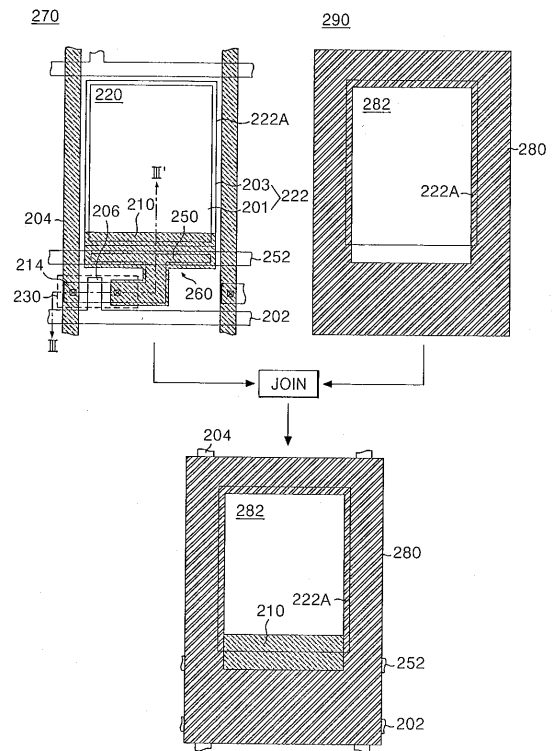
【図 11 A】



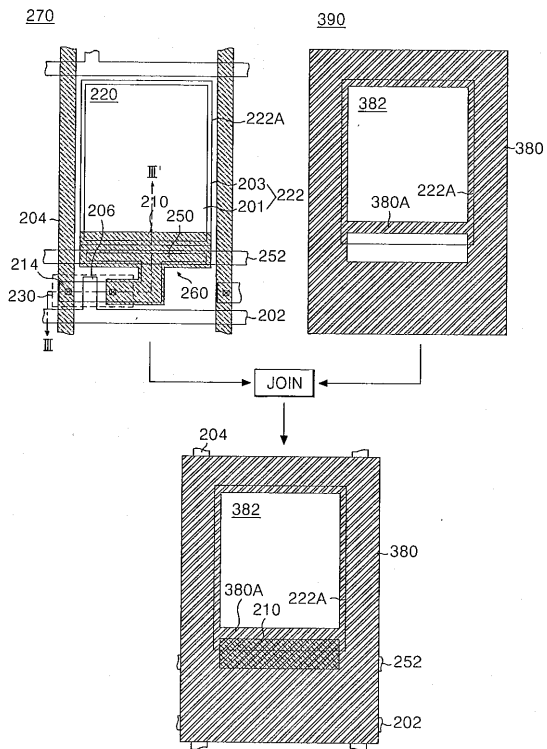
【図 13 B】



【図 14】



【図 15】



フロントページの続き

(51)Int.Cl.

F I

テーマコード (参考)

G O 2 F 1/1368

(72)発明者 ヨンイン・パク

大韓民国、キョンギド、アニョンシ、ドンアング、ホゲェドン 811、ホゲェ・２ーチャ・ヒョンデ・ホームタウン 202-201

Fターム(参考) 2H090 HA03 HA04 HA06 HB03X HB08Y HC03 HD05 HD07 HD17 JA06
JB02 JC07 LA01 LA04 LA15
2H091 FA02Y FA14Y FA35Y FB02 FC26 FD04 GA03 GA06 GA07 GA13
LA03 LA15 LA16
2H092 GA17 GA29 HA04 JA25 JA44 JA46 JB05 JB07 JB33 JB52
JB54 JB58 JB69 KA04 MA04 MA28 NA27 PA02 PA08 PA09

专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	JP2006139253A	公开(公告)日	2006-06-01
申请号	JP2005215325	申请日	2005-07-26
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji飞利浦杜迪股份有限公司		
[标]发明人	ヨンインパク		
发明人	ヨンイン・パク		
IPC分类号	G02F1/1343 G02F1/1333 G02F1/1335 G02F1/1337 G02F1/1368		
CPC分类号	H01L27/1288 G02F1/133512 G02F1/13439 H01L27/1214 H01L27/124		
FI分类号	G02F1/1343 G02F1/1333.500 G02F1/1333.505 G02F1/1335.500 G02F1/1337.525 G02F1/1368		
F-TERM分类号	2H090/HA03 2H090/HA04 2H090/HA06 2H090/HB03X 2H090/HB08Y 2H090/HC03 2H090/HD05 2H090/HD07 2H090/HD17 2H090/JA06 2H090/JB02 2H090/JC07 2H090/LA01 2H090/LA04 2H090/LA15 2H091/FA02Y 2H091/FA14Y 2H091/FA35Y 2H091/FB02 2H091/FC26 2H091/FD04 2H091/GA03 2H091/GA06 2H091/GA07 2H091/GA13 2H091/LA03 2H091/LA15 2H091/LA16 2H092/GA17 2H092/GA29 2H092/HA04 2H092/JA25 2H092/JA44 2H092/JA46 2H092/JB05 2H092/JB07 2H092/JB33 2H092/JB52 2H092/JB54 2H092/JB58 2H092/JB69 2H092/KA04 2H092/MA04 2H092/MA28 2H092/NA27 2H092/PA02 2H092/PA08 2H092/PA09 2H190/HA03 2H190/HA04 2H190/HA06 2H190/HB03 2H190/HC03 2H190/HD05 2H190/HD07 2H190/JA06 2H190/JB02 2H190/JC07 2H190/LA01 2H190/LA04 2H190/LA15 2H191/FA02Y 2H191/FA14Y 2H191/FA31Y 2H191/FB02 2H191/FC36 2H191/FD04 2H191/GA05 2H191/GA08 2H191/GA10 2H191/GA19 2H191/LA03 2H191/LA19 2H191/LA21 2H192/AA24 2H192/BC42 2H192/CB02 2H192/CC02 2H192/CC32 2H192/CC42 2H192/DA12 2H192/DA23 2H192/DA24 2H192/DA43 2H192/DA44 2H192/DA65 2H192/EA22 2H192/EA43 2H192/EA68 2H192/EA76 2H192/HA47 2H291/FA02Y 2H291/FA14Y 2H291/FA31Y 2H291/FB02 2H291/FC36 2H291/FD04 2H291/GA05 2H291/GA08 2H291/GA10 2H291/GA19 2H291/LA03 2H291/LA19 2H291/LA21		
代理人(译)	英年古河 Kajinami秩序		
优先权	1020040092681 2004-11-12 KR		
其他公开文献	JP4420462B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种液晶显示装置，该装置通过减少工艺制造并具有改进的孔径比;以及制造它的方法。ŽSOLUTION：液晶显示装置包括第一和第二基板170,190;第一基板170上的栅极线102;数据线104与栅极线102交叉以限定像素区域;栅极线102和数据线104交叉附近的薄膜晶体管，具有栅电极106，源电极和漏电极110;像素电极122，形成在像素区域中，具有双层结构，其中金属层形成在透明导电层上;黑矩阵180，形成在第二基板190上，并具有与像素电极122和漏电极110部分重叠的开口部分;第一和第二基板170,190之间的液晶层

