

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2005-195986
(P2005-195986A)

(43) 公開日 平成17年7月21日(2005.7.21)

(51) Int.Cl. ⁷	F I	テーマコード (参考)
GO9G 3/36	GO9G 3/36	2H093
GO2F 1/133	GO2F 1/133 525	5C006
GO9G 3/20	GO2F 1/133 550	5C080
	GO9G 3/20 611A	
	GO9G 3/20 611J	
審査請求 未請求 請求項の数 16 O L (全 27 頁) 最終頁に続く		

(21) 出願番号	特願2004-3463 (P2004-3463)	(71) 出願人	302062931
(22) 出願日	平成16年1月8日 (2004.1.8)		NECエレクトロニクス株式会社
			神奈川県川崎市中原区下沼部1753番地
		(74) 代理人	100102864
			弁理士 工藤 実
		(72) 発明者	橋本 義春
			神奈川県川崎市中原区下沼部1753番地
			NECエレクトロニクス株式会社内
		Fターム(参考)	2H093 NA16 NA32 NA33 NA34 NA44
			NC09 NC11 NC18 NC21 NC22
			NC28 NC34 NC49 ND04 ND05
			ND09 ND15 ND35
		最終頁に続く	

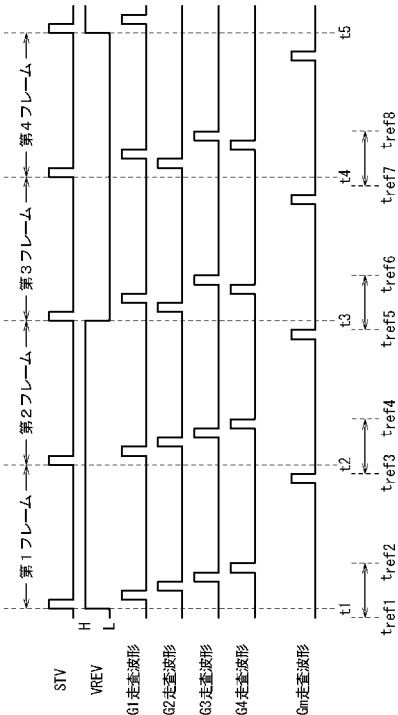
(54) 【発明の名称】 液晶表示装置及びその駆動方法

(57) 【要約】

【課題】 画像表示の際に画面に発生する横縞を抑制し、又、コントラストを向上させることができる液晶表示装置及びその駆動方法を提供すること

【解決手段】 液晶表示装置100は、複数の走査線G₁ ~ G_m と、複数のデータ線S₁ ~ S_n と、複数の画素6と、走査線駆動回路3と、データ線駆動回路2とを備える。複数のデータ線S₁ ~ S_n は、複数の走査線G₁ ~ G_m のそれぞれと交差するように配置される。複数の画素6は、複数の走査線G₁ ~ G_m のそれぞれと複数のデータ線S₁ ~ S_n のそれぞれの交点に配置される。走査線駆動回路3は、複数の走査線G₁ ~ G_m を順次走査することによって複数の画素6を駆動する。複数の走査線G₁ ~ G_m は、第一走査線G₁ と第二走査線G₂ とを含む。走査線駆動回路3は、第一期間において、第一走査線G₁ に対応する画素6aを駆動した後に第二走査線G₂ に対応する画素6bを駆動し、第二期間において、第二走査線G₂ に対応する画素6bを駆動した後に第一走査線G₁ に対応する画素6aを駆動する。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

複数の走査線と、
前記複数の走査線のそれぞれと交差するように配置された複数のデータ線と、
前記複数の走査線のそれぞれと前記複数のデータ線のそれぞれの交点に配置された複数の画素と、
前記複数の走査線を順次走査することによって前記複数の画素を駆動する走査線駆動回路と、
前記複数のデータ線を介して前記複数の画素に画素電圧を印加するデータ線駆動回路と

10

、
前記複数の画素に基準電圧を印加するコモン電極と
を具備し、
前記複数の走査線は、第一走査線と第二走査線とを含み、
前記走査線駆動回路は、第一期間において、前記第一走査線に対応する前記画素を駆動した後に前記第二走査線に対応する前記画素を駆動し、第二期間において、前記第二走査線に対応する前記画素を駆動した後に前記第一走査線に対応する前記画素を駆動する
液晶表示装置。

【請求項 2】

請求項 1 に記載の液晶表示装置において、
前記第一期間は、第一フレームと第二フレームとを含み、
前記第二期間は、第三フレームと第四フレームとを含み、
前記走査線駆動回路は、前記第一フレーム及び前記第二フレームの各々において、前記第一走査線に対応する前記画素を駆動した後に前記第二走査線に対応する前記画素を駆動し、前記第三フレーム及び前記第四フレームの各々において、前記第二走査線に対応する前記画素を駆動した後に前記第一走査線に対応する前記画素を駆動する
液晶表示装置。

20

【請求項 3】

請求項 1 又は 2 に記載の液晶表示装置において、
前記第一走査線と前記第二走査線は隣接する
液晶表示装置。

30

【請求項 4】

請求項 1 乃至 3 に記載の液晶表示装置において、
前記複数の画素に印加される前記画素電圧の前記基準電圧に対する極性は、フレーム毎に反転する
液晶表示装置。

【請求項 5】

請求項 1 乃至 4 のいずれかに記載の液晶表示装置において、
前記走査線駆動回路は、前記複数の走査線のうちの走査線を水平期間にわたって走査し、
前記複数のデータ線に印加される前記画素電圧の前記基準電圧に対する極性は、N 水平期間（N は 2 以上の整数）毎に反転する
液晶表示装置。

40

【請求項 6】

請求項 5 に記載の液晶表示装置において、
前記 N は 2 である
液晶表示装置。

【請求項 7】

請求項 1 乃至 6 のいずれかに記載の液晶表示装置において、
前記複数のデータ線は、
第一データ線と、

50

前記第一データ線に隣接する第二データ線と
を含み、

前記第一データ線に印加される前記画素電圧の極性は、前記基準電圧に対して、前記第二データ線に印加される前記画素電圧の極性と逆である
液晶表示装置。

【請求項 8】

請求項 1 乃至 7 のいずれかに記載の液晶表示装置において、
前記複数の走査線の本数は $2M$ 本 (M は自然数) であり、
前記走査線駆動回路は、シフトレジスタを備え、
前記シフトレジスタは、
 $2M$ 個のフリップフロップ回路と、
 $2M$ 本の出力線と
を有し、

10

前記 $2M$ 個のフリップフロップ回路の出力は、それぞれ前記 $2M$ 本の出力線を介して、
前記複数の走査線に接続され、

前記第一期間において、 $2i$ 番目 (i は 1 以上 $M-1$ 以下の整数) の前記フリップフロップ回路の入力及び出力は、それぞれ $2i-1$ 番目の前記フリップフロップ回路の出力及び $2i+1$ 番目の前記フリップフロップ回路の入力に接続され、

前記第二期間において、 $2i-1$ 番目の前記フリップフロップ回路の入力及び出力は、
それぞれ $2i$ 番目の前記フリップフロップ回路の出力及び $2i+2$ 番目の前記フリップフロップ回路の入力に接続される
液晶表示装置。

20

【請求項 9】

請求項 1 乃至 7 のいずれかに記載の液晶表示装置において、
前記複数の走査線の本数は $2M$ 本 (M は自然数) であり、
前記走査線駆動回路は、シフトレジスタを備え、
前記シフトレジスタは、
直列に接続された $2M$ 個のフリップフロップ回路と、
前記複数の走査線のそれぞれに接続された $2M$ 本の出力線と
を有し、

30

前記第一期間において、 $2i-1$ 番目 (i は 1 以上 M 以下の整数) の前記フリップフロップ回路の出力は、 $2i-1$ 番目の前記出力線に接続され、 $2i$ 番目の前記フリップフロップ回路の出力は、 $2i$ 番目の前記出力線に接続され、

前記第二期間において、 $2i-1$ 番目の前記フリップフロップ回路の出力は、 $2i$ 番目の前記出力線に接続され、 $2i$ 番目の前記フリップフロップ回路の出力は、 $2i-1$ 番目の前記出力線に接続される

液晶表示装置。

【請求項 10】

請求項 1 乃至 9 のいずれかに記載の液晶表示装置において、
前記データ線駆動回路は、
並列に配置された少なくとも 3 個のラインメモリと、
ラッチした映像信号を前記複数のデータ線に出力するデータラッチ回路と、
前記ラインメモリと前記データラッチ回路の間に介在する切換回路と
を備え、

40

前記ラインメモリの各々は、一本の前記走査線に対応する前記映像信号を入力し、
前記切換回路は、前記ラインメモリのいずれかを選択し、選択した前記ラインメモリに格納された前記映像信号を前記データラッチ回路に出力する
液晶表示装置。

【請求項 11】

請求項 10 に記載の液晶表示装置において、

50

前記ラインメモリは、第一ラインメモリと第二ラインメモリとを含み、

前記第一走査線に対応する前記映像信号としての第一映像信号は、前記第一ラインメモリに格納され、

前記第二走査線に対応する前記映像信号としての第二映像信号は、前記第一映像信号が前記第一ラインメモリに格納された後に、前記第二ラインメモリに格納され、

前記切換回路によって、前記第一期間において、前記第一映像信号の後に前記第二映像信号が前記データラッチ回路に供給され、前記第二期間において、前記第二映像信号の後に前記第一映像信号が前記データラッチ回路に供給される

液晶表示装置。

【請求項 1 2】

10

請求項 1 乃至 9 に記載の液晶表示装置において、

前記データ線駆動回路及び前記走査線駆動回路を制御する制御回路を更に具備し、

前記制御回路は、映像信号を前記データ線駆動回路に供給し、

前記映像信号は、

前記第一走査線に対応する第一映像信号と、

前記第二走査線に対応する第二映像信号と

を含み、

前記制御回路は、前記第一期間において、前記第一映像信号の後に前記第二映像信号を前記データ線駆動回路に出力し、前記第二期間において、前記第二映像信号の後に前記第一映像信号を前記データ線駆動回路に出力する

20

液晶表示装置。

【請求項 1 3】

請求項 1 2 に記載の液晶表示装置において、

前記制御回路は、ラインメモリを備え、又、前記第一映像信号の後に前記第二映像信号を入力し、

前記第二期間において、入力された前記第一映像信号は、前記ラインメモリに格納され、前記第二映像信号の後に前記データ線駆動回路に出力される

液晶表示装置。

【請求項 1 4】

請求項 1 2 に記載の液晶表示装置において、

30

前記制御回路は、

前記映像信号を格納するフレームメモリと、

前記フレームメモリのアドレスを制御して、前記アドレスに対応する前記映像信号を前記データ線駆動回路に供給するアドレス制御回路と

を備え、

前記アドレス制御回路は、前記第一期間において、前記第一映像信号の後に前記第二映像信号を前記データ線駆動回路に供給し、前記第二期間において、前記第二映像信号の後に前記第一映像信号を前記データ線駆動回路に供給する

液晶表示装置。

【請求項 1 5】

40

第一走査線と第二走査線を含む複数の走査線と、

前記複数の走査線のそれぞれと交差するように配置された複数のデータ線と、

前記複数の走査線のそれぞれと前記複数のデータ線のそれぞれの交点に配置された複数の画素と

を具備し、

前記複数の画素は、対応する前記複数の走査線が順番に走査されることにより駆動される

液晶表示装置において、

(A) 前記第一走査線に対応する前記画素を駆動した後に前記第二走査線に対応する前記画素を駆動するステップと、

50

(B) 前記第二走査線に対応する前記画素を駆動した後に前記第一走査線に対応する前記画素を駆動するステップと

を具備する

液晶表示装置の駆動方法。

【請求項 16】

請求項 15 に記載の駆動方法において、

前記(A) 駆動するステップと前記(B) 駆動するステップは、2 フレーム毎に交互に実行される

液晶表示装置の駆動方法。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は、液晶表示装置及びその駆動方法に関し、特に、アクティブマトリクス方式の液晶表示装置及びその駆動方法に関する。

【背景技術】

【0002】

アクティブマトリクス液晶表示装置(AMLCD; Active Matrix Liquid Crystal Display)が知られている。この液晶表示装置は、マトリクス状に配置された複数の画素を有し、各画素には TFT (Thin Film Transistor) 等のアクティブ素子が配置されている。各アクティブ素子のゲート電極は、行方向に沿った走査線に接続され、ドレイン電極は、列方向に沿ったデータ線に接続される。この液晶表示装置は、ディスプレイの上から下に向かって走査線を順番に走査することによって、1 つの画像をディスプレイに表示する(線順次方式)。この一画像を表示する操作は、フレーム(フィールド)と呼ばれている。

20

【0003】

公知の液晶表示装置において、データ線からソース電極を介して画素に印加される電圧(以下、画素電圧と参照される)の極性は、所定の期間毎に反転する。つまり、画素は交流的に駆動される。ここで、極性とは、コモン電極の電圧を基準とした場合の画素電圧の正負を示す。このような駆動方法は、液晶材料が劣化するのを抑制するために適用されている。例えば、画素の駆動において、2 本の走査線を走査する度に画素電圧の極性は反転する(2 ライン反転駆動方式)。つまり、極性が反転した後に第一の走査線が走査されるとすると、次の第二の走査線は同じ極性で走査され、その後極性が反転する。この 2 ライン反転駆動方式により、フリッカなどが低減され画質が向上する。

30

【0004】

液晶表示装置の大型化は、寄生容量や寄生抵抗の増加の原因となる。その結果として、データ線に印加される駆動電圧の波形はなまる。また、液晶表示装置が高解像度の表示を行うほど、画素電圧を画素に印加する時間(以下、書き込み時間と参照される)は短くなる。これらのことは、2 ライン反転駆動方式において、第一の走査線に接続された画素に書き込まれる電圧(保持電圧)が、第二の走査線に接続された画素に書き込まれる電圧より小さくなる原因となる。画素の保持電圧が小さくなると画素の輝度が低下するため、隣接する走査線間の輝度の差が、画面上で横縞となって現れる。このような横縞の発生を抑制する技術として以下のものが知られている。

40

【0005】

特許文献 1 及び特許文献 2 に開示された液晶表示装置によれば、第一の走査線に接続された画素に対する書き込み時間 T_1 が、第二の走査線に接続された画素に対する書き込み時間 T_2 よりも長くなるように設定される。これにより、第二の走査線に接続された画素の輝度が、第一の走査線に接続された画素の輝度程度まで抑えられる。従って、コントラストは低下するが、画面上の横縞の発生が抑制される。

【0006】

また、特許文献 2 に開示された液晶表示装置によれば、第二の走査線が走査される際、正極側の電圧と負極側の電圧の略中間の電圧が一旦画素に印加され(プレチャージ)、そ

50

の後に、所定の画素電圧がその画素に印加される。これにより、画面上の横縞の発生は抑制される。一方、プレチャージのために電流が消費されるので、消費電力が増大する。

【0007】

【特許文献1】特開2001-215469号公報

【特許文献2】特開2002-287701号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

本発明の目的は、画像表示の際に画面に発生する横縞を抑制することができる液晶表示装置及びその駆動方法を提供することにある。

10

【0009】

本発明の他の目的は、書き込み時間を調整することなく、横縞の発生を抑制することができる液晶表示装置及びその駆動方法を提供することにある。

【0010】

本発明の更に他の目的は、画像表示のコントラストを向上させることができる液晶表示装置及びその駆動方法を提供することにある。

【0011】

本発明の更に他の目的は、消費電力を低減することができる液晶表示装置及びその駆動方法を提供することにある。

【課題を解決するための手段】

20

【0012】

以下に、[発明を実施するための最良の形態]で使用される番号・符号を用いて、[課題を解決するための手段]を説明する。これらの番号・符号は、[特許請求の範囲]の記載と[発明を実施するための最良の形態]との対応関係を明らかにするために括弧付きで付加されたものである。ただし、それらの番号・符号を、[特許請求の範囲]に記載されている発明の技術的範囲の解釈に用いてはならない。

【0013】

本発明に係る液晶表示装置(100)は、複数の走査線(5、 $G_1 \sim G_m$)と、複数のデータ線(4、 $S_1 \sim S_n$)と、複数の画素(6)と、走査線駆動回路(3)と、データ線駆動回路(2)と、コモン電極(9)とを備える。複数のデータ線(4、 $S_1 \sim S_n$)は、複数の走査線(5、 $G_1 \sim G_m$)のそれぞれと交差するように配置される。複数の画素(6)は、複数の走査線(5、 $G_1 \sim G_m$)のそれぞれと複数のデータ線(4、 $S_1 \sim S_n$)のそれぞれの交点に配置される。走査線駆動回路(3)は、複数の走査線(5、 $G_1 \sim G_m$)を順次走査することによって複数の画素(6)を駆動する。データ線駆動回路(2)は、複数のデータ線(4、 $S_1 \sim S_n$)を介して複数の画素(6)に画素電圧を印加する。コモン電極(9)は、複数の画素(6)に基準電圧(V_{com})を印加する。また、複数の走査線(5、 $G_1 \sim G_m$)は、第一走査線(G_1)と第二走査線(G_2)とを含む。走査線駆動回路(3)は、第一期間において、第一走査線(G_1)に対応する画素(6a)を駆動した後に第二走査線(G_2)に対応する画素(6b)を駆動し、第二期間において、第二走査線(G_2)に対応する画素(6b)を駆動した後に第一走査線(G_1)に対応する画素(6a)を駆動する。

30

40

【0014】

上記第一期間は、第一フレームと第二フレームとを含み、上記第二期間は、第三フレームと第四フレームとを含む。この時、走査線駆動回路(3)は、第一フレーム及び第二フレームの各々において、第一走査線(G_1)に対応する画素(6a)を駆動した後に、第二走査線(G_2)に対応する画素(6b)を駆動する。また、走査線駆動回路(3)は、第三フレーム及び第四フレームの各々において、第二走査線(G_2)に対応する画素(6b)を駆動した後に、第一走査線(G_1)に対応する画素(6a)を駆動する。ここで、第一走査線(G_1)と第二走査線(G_2)は隣接していてもよい。

【0015】

50

本発明に係る液晶表示装置(100)において、複数の画素(6)に印加される画素電圧の基準電圧(V_{com})に対する極性は、フレーム毎に反転するように制御される。また、走査線駆動回路(3)は、複数の走査線($G_1 \sim G_m$)のうちの走査線を水平期間にわたって走査するとする。この時、複数のデータ線($S_1 \sim S_n$)に印加される画素電圧の基準電圧(V_{com})に対する極性は、N水平期間(Nは2以上の整数)毎に反転するように制御される。ここで、例えば、Nは2である。また、複数のデータ線($S_1 \sim S_n$)は、第一データ線(S_1, S_3)と、第一データ線(S_1, S_3)に隣接する第二データ線(S_2, S_4)とを含むとする。この時、第一データ線(S_1, S_3)に印加される画素電圧の極性は、基準電圧(V_{com})に対して、第二データ線(S_2, S_4)に印加される画素電圧の極性と逆になるように制御される。

10

【0016】

本発明に係る液晶表示装置(100)において、走査線駆動回路(3)は、シフトレジスタ(41)を備える。複数の走査線($G_1 \sim G_m$)の本数は2M本(Mは自然数; $2M = m$)であり、シフトレジスタ(41)は、2M個のフリップフロップ回路($33-1 \sim 33-2M$)と、2M本の出力線($C_1 \sim C_{2M}$)とを有する。

【0017】

この時、2M個のフリップフロップ回路($33-1 \sim 33-2M$)の出力は、それぞれ2M本の出力線($C_1 \sim C_{2M}$)を介して、複数の走査線($G_1 \sim G_{2M}$)に接続される。第一期間において、2i番目(iは1以上M-1以下の整数)のフリップフロップ回路($33-2i$)の入力及び出力は、それぞれ2i-1番目のフリップフロップ回路($33-(2i-1)$)の出力及び2i+1番目のフリップフロップ回路の入力($33-(2i+1)$)に接続される。また、第二期間において、2i-1番目のフリップフロップ回路($33-(2i-1)$)の入力及び出力は、それぞれ2i番目のフリップフロップ回路($33-2i$)の出力及び2i+2番目のフリップフロップ回路($33-(2i+2)$)の入力に接続される。

20

【0018】

または、2M個のフリップフロップ回路($33-1 \sim 33-2M$)は直列に接続され、2M本の出力線($C_1 \sim C_{2M}$)は、それぞれ複数の走査線($G_1 \sim G_{2M}$)に接続される。第一期間において、2i-1番目(iは1以上M以下の整数)のフリップフロップ回路33-(2i-1)の出力は、2i-1番目の出力線 C_{2i-1} に接続され、2i番目のフリップフロップ回路33-2iの出力は、2i番目の出力線 C_{2i} に接続される。また、第二期間において、2i-1番目のフリップフロップ回路33-(2i-1)の出力は、2i番目の出力線 C_{2i} に接続され、2i番目のフリップフロップ回路33-2iの出力は、2i-1番目の出力線 C_{2i-1} に接続される。

30

【0019】

本発明に係る液晶表示装置(100)において、データ線駆動回路(2)は、並列に配置された少なくとも3個のラインメモリ(53、54、55)と、ラッチした映像信号を複数のデータ線($S_1 \sim S_N$)に出力するデータラッチ回路(57)と、ラインメモリ(53、54、55)とデータラッチ回路(57)の間に介在する切換回路(56)とを備える。ラインメモリ(53、54、55)の各々は、一本の走査線(5)に対応する映像信号を入力する。切換回路(56)は、ラインメモリ(53、54、55)のいずれかを選択し、選択したラインメモリ(53、54、55)に格納された映像信号をデータラッチ回路(57)に出力する。

40

【0020】

このラインメモリ(53、54、55)は、例えば、第一ラインメモリ(53)と第二ラインメモリ(54)とを含む。この時、第一走査線(G_1)に対応する映像信号としての第一映像信号(LINE1)は、第一ラインメモリ(53)に格納される。第二走査線(G_2)に対応する映像信号としての第二映像信号(LINE2)は、第一映像信号(LINE1)が第一ラインメモリ(53)に格納された後に、第二ラインメモリ(54)に格納される。切換回路(56)によって、第一期間においては、第一映像信号(LINE

50

1)の後に第二映像信号(LINE 2)がデータラッチ回路(57)に供給される。また、第二期間においては、切換回路(56)によって、第二映像信号(LINE 2)の後に第一映像信号(LINE 1)がデータラッチ回路(57)に供給される。

【0021】

本発明に係る液晶表示装置(100)は、データ線駆動回路(2)及び走査線駆動回路(3)を制御する制御回路(10)を更に備える。この制御回路(10)は、映像信号をデータ線駆動回路(2)に供給する。ここで、映像信号は、第一走査線(G_1)に対応する第一映像信号(LINE 1)と、第二走査線(G_2)に対応する第二映像信号(LINE 2)とを含む。この時、制御回路(10)は、第一期間において、第一映像信号(LINE 1)の後に第二映像信号(LINE 2)をデータ線駆動回路(2)に出力する。また、制御回路(10)は、第二期間において、第二映像信号(LINE 2)の後に第一映像信号(LINE 1)をデータ線駆動回路(2)に出力する。

10

【0022】

この制御回路(10)は、ラインメモリ(23、24)を備えてもよい。また、制御回路(10)は、第一映像信号(LINE 1)の後に第二映像信号(LINE 2)を入力するとする。この時、第二期間において、入力された第一映像信号(LINE 1)は、ラインメモリ(23、24)に格納され、第二映像信号(LINE 2)の後にデータ線駆動回路(2)に出力される。

【0023】

また、この制御回路(10)は、映像信号を格納するフレームメモリ(27)と、フレームメモリ(27)のアドレスを制御して、そのアドレスに対応する映像信号をデータ線駆動回路(2)に供給するアドレス制御回路(28)とを備えてもよい。このアドレス制御回路(28)は、第一期間において、第一映像信号(LINE 1)の後に第二映像信号(LINE 2)をデータ線駆動回路(2)に供給し、第二期間において、第二映像信号(LINE 2)の後に第一映像信号(LINE 1)をデータ線駆動回路(2)に供給する。

20

【0024】

本発明に係る液晶表示装置(100)の駆動方法は、第一走査線(G_1)と第二走査線(G_2)を含む複数の走査線(5、 $G_1 \sim G_m$)と、複数の走査線(5、 $G_1 \sim G_m$)のそれぞれと交差するように配置された複数のデータ線(4、 $S_1 \sim S_n$)と、複数の走査線(5、 $G_1 \sim G_m$)のそれぞれと複数のデータ線(4、 $S_1 \sim S_n$)のそれぞれの交点に配置された複数の画素(6)とを備え、複数の画素(6)は、対応する複数の走査線(5、 $G_1 \sim G_m$)が順番に走査されることにより駆動される液晶表示装置(100)の駆動方法である。この駆動方法は、(A)第一走査線(G_1)に対応する画素(6a)を駆動した後に第二走査線(G_2)に対応する画素(6b)を駆動するステップと、(B)第二走査線(G_2)に対応する画素(6b)を駆動した後に第一走査線(G_1)に対応する画素(6a)を駆動するステップとを備える。この(A)駆動するステップとこの(B)駆動するステップは、2フレーム毎に交互に実行される。

30

【発明の効果】

【0025】

本発明に係る液晶表示装置及びその駆動方法によれば、画像表示の際に画面に発生する横縞が抑制される。

40

【0026】

本発明に係る液晶表示装置及びその駆動方法によれば、書き込み時間を調整することなく、画像表示の際の横縞の発生が抑制される。

【0027】

本発明に係る液晶表示装置及びその駆動方法によれば、画像表示のコントラストが向上する。

【0028】

本発明に係る液晶表示装置及びその駆動方法によれば、消費電力が低減される。

【発明を実施するための最良の形態】

50

【 0 0 2 9 】

添付図面を参照して、本発明による液晶表示装置及びその駆動方法を説明する。

【 0 0 3 0 】

図 1 は、本発明に係る液晶表示装置の構成を示すブロック図である。図 1 において、液晶表示装置 100 は、液晶パネル 1、データ線駆動回路 2、走査線駆動回路 3、複数のデータ線 4、及び複数の走査線 5 を備える。複数のデータ線 4 と複数の走査線 5 は、液晶パネル 1 上において互いに交差するように配置され、複数の交点のそれぞれには複数の画素 6 が配置されている。データ線駆動回路 2 及び走査線駆動回路 3 は、それぞれ複数のデータ線 4 及び複数の走査線 5 に接続される。

【 0 0 3 1 】

図 1 において、複数の走査線 5 は行方向に沿って配置され、その複数の走査線 5 の各々は、上から順番に走査線 G_1 、 G_2 ... G_m と参照される。また、複数のデータ線 4 は列方向に沿って配置され、その複数のデータ線 4 の各々は、左から順番にデータ線 S_1 、 S_2 ... S_n と参照される。つまり、複数の画素 6 は、 $m \times n$ のマトリクス状に配置されている。例えば、液晶表示装置 100 は、 1080×1920 個の画素 6 を有する。

【 0 0 3 2 】

液晶表示装置 100 は、制御回路 10 を更に備える。制御回路 10 には、入力信号群 11 が供給される。この制御回路 10 は、入力信号群 11 に基づきデータ線駆動信号群 12 を生成し、そのデータ線駆動信号群 12 をデータ線駆動回路 2 へ出力する。また、この制御回路 10 は、入力信号群 11 に基づき走査線駆動信号群 13 を生成し、その走査線駆動信号群 13 を走査線駆動回路 3 へ出力する。これらデータ線駆動信号群 12 及び走査線駆動信号群 13 のそれぞれは、データ線駆動回路 2 及び走査線駆動回路 3 を制御するための信号群である。

【 0 0 3 3 】

後述されるように、入力信号群 11 は、垂直同期信号 V_{sync} 、水平同期信号 H_{sync} 、ドットクロック信号 $dCLK$ 、映像信号 $DA1 \sim DAn$ を含む。また、データ線駆動信号群 12 は、水平スタート信号 STH 、水平クロック信号 $HCLK$ 、ラッチ信号 STB 、極性反転信号 POL 、データ反転信号 INV 、映像信号 $DB1 \sim DBn$ を含む。また、走査線駆動信号群 13 は、走査スタート信号 STV 、走査クロック信号 $VCLK$ 、出力イネーブル信号 VOE 、走査逆転信号 REV を含む。

【 0 0 3 4 】

図 2 は、液晶表示装置 100 の画素 6 の構成を示す概略図である。図 2 において、例えば、データ線 S_1 と走査線 G_1 との交点に対応する画素 6a、及びデータ線 S_1 と走査線 G_2 との交点に対応する画素 6b の構成が示される。図 2 に示されるように、画素 6 (6a、6b) は、TFT (Thin Film Transistor) 7 と、液晶 8 と、コモン電極 9 と、補助容量 (図示されない) を備える。コモン電極 9 には一定の電圧 V_{com} (以下、基準電圧 V_{com} と参照される) が印加されており、このコモン電極 9 により液晶 8 の一端に基準電圧 V_{com} が印加される。液晶 8 の他端には、TFT 7 のソース端子が接続される。また、TFT 7 のゲート端子及びドレイン端子は、それぞれ走査線 5 及びデータ線 4 に接続される。

【 0 0 3 5 】

このようなアクティブマトリクス方式の液晶表示装置 100 において、走査線駆動回路 3 は、上記走査線駆動信号群 13 に基づいて、複数の走査線 5 を一本ずつ順番に走査する。走査中の走査線 5 に接続された TFT 7 は ON になる。この時、画素 6 には、データ線駆動信号回路 2 によりデータ線 4 を通じて画素電圧が印加される。このようにして、複数の画素 6 が駆動される。画素 6 は、1 フレーム期間中、書き込まれた電圧を保持電圧として保持する。画素 6 の輝度はこの保持電圧のレベルに依存するため、データ線 4 に印加する画素電圧を調整することによって所望の階調で画像を表示することができる。複数の走査線 5 が一通り走査されると、1 フレームが完了する。このようなフレームが繰り返されることにより、液晶パネル 1 において映像が継続的に表示される。例えば、液晶表示装

10

20

30

40

50

置 1 0 0 は、1 秒間に 6 0 フレームの周波数 (6 0 H z) で駆動される。

【 0 0 3 6 】

図 3 は、本発明に係る液晶表示装置 1 0 0 の動作を概略的に示すタイミングチャートである。図 3 では、連続する 4 フレーム (第一フレーム、第二フレーム、第三フレーム、第四フレーム) において、複数の走査線 $G_1 \sim G_m$ に印加される走査電圧波形 (G_1 走査波形 $\sim G_m$ 走査波形) が示される。この走査電圧は、走査線駆動信号群 1 3 に基づき、走査線駆動回路 3 から出力される。また、図 3 において、走査スタート信号 S T V と走査逆転信号 V R E V が示される。走査スタート信号 S T V は、各フレームの開始を指示する信号である。走査逆転信号 V R E V は、後述されるように、走査モードを指示する信号である。走査逆転信号 V R E V がハイレベル (以下、 “ H ” と参照される) にある時、複数の走査線 $G_1 \sim G_m$ は、第一モードで走査され、走査逆転信号 V R E V がローレベル (以下、 “ L ” と参照される) にある時、複数の走査線 $G_1 \sim G_m$ は、第二モードで走査される。

【 0 0 3 7 】

時刻 t_1 において、制御回路 1 0 は、走査スタート信号 S T V を走査線駆動回路 3 に出力する。これにより、第一フレームが開始する。この時、同時に走査逆転信号 V R E V が “ L ” (第二モード) から “ H ” (第一モード) に変わる。第一フレームが開始すると、図 3 に示されるように、走査線駆動回路 3 は、走査線 G_1 から走査線 G_m まで、番号順に 1 つずつ走査してゆく。つまり、第一モードにおいて、複数の走査線 $G_1 \sim G_m$ は、番号順に 1 つずつ走査される。

【 0 0 3 8 】

全ての走査線 $G_1 \sim G_m$ が走査された後、時刻 t_2 において、制御回路 1 0 は、走査スタート信号 S T V を走査線駆動回路 3 に出力する。これにより、第二フレームが開始する。第一フレームと同様に、走査線駆動回路 3 は、走査線 G_1 から走査線 G_m まで、番号順に 1 つずつ走査してゆく。第二フレームにおいて、走査逆転信号 V R E V は “ H ” のままである。

【 0 0 3 9 】

時刻 t_3 において、制御回路 1 0 は、走査スタート信号 S T V を走査線駆動回路 3 に出力し、第三フレームが開始する。この時、同時に V R E V が “ H ” (第一モード) から “ L ” (第二モード) に変わる。第三フレームが開始すると、図 3 に示されるように、走査線駆動回路 3 は、走査線 G_2 、走査線 G_1 、走査線 G_4 、走査線 $G_3 \dots$ の順に 1 つずつ走査してゆく。つまり、第二モードにおいて、2 本の走査線ペア (第一走査線と第二走査線) は、第一モードにおいて走査される順番と逆の順番で走査される。

【 0 0 4 0 】

時刻 t_4 において、制御回路 1 0 は、走査スタート信号 S T V を走査線駆動回路 3 に出力する。これにより、第四フレームが開始する。第三フレームと同様に、走査線駆動回路 3 は、走査線 G_2 、走査線 G_1 、走査線 G_4 、走査線 $G_3 \dots$ の順に 1 つずつ走査してゆく。第四フレームにおいて、走査逆転信号 V R E V は “ L ” のままである。時刻 t_5 において、次のフレームが開始し、同時に走査逆転信号 V R E V が “ L ” から “ H ” に変わる。以降、上記第一フレームから第四フレームに示された動作と同様の動作が繰り返される。

【 0 0 4 1 】

このように、本発明に係る液晶表示装置 1 0 0 によれば、走査線駆動回路 3 は、第一モードにおいて、第一走査線 (例えば G_1) に対応する画素 6 を駆動した後に、第二走査線 (例えば G_2) に対応する画素 6 を駆動する。また、走査線駆動回路 3 は、第二モードにおいて、第二走査線 (例えば G_2) に対応する画素 6 を駆動した後に、第一走査線 (例えば G_1) に対応する画素 6 を駆動する。この第一モードによる走査と、第二モードによる走査は、2 フレームごとに交互に繰り返される。

【 0 0 4 2 】

以下、本発明に係る液晶表示装置 1 0 0 の動作を更に詳細に説明する。図 4 A は、時刻 t_1 を含む期間 $t_{ref1} \sim t_{ref2}$ (図 3 参照) における動作を詳細に説明するタイミングチャートである。同様に、図 4 B、図 4 C、図 4 D は、それぞれ時刻 t_2 を含む期

間 $t_{ref3} \sim t_{ref4}$ 、時刻 t_3 を含む期間 $t_{ref5} \sim t_{ref6}$ 、時刻 t_4 を含む期間 $t_{ref7} \sim t_{ref8}$

における動作を詳細に説明するタイミングチャートである。

【0043】

図4Aにおいて、走査逆転信号 $VREV$ 、走査スタート信号 STV 、走査クロック信号 $VCCLK$ 、出力イネーブル信号 VOE 、ラッチ信号 STB 、極性反転信号 POL 、データ線 S_1 に印加される画素電圧（データ線波形）、走査線 G_1 に印加される走査電圧（ G_1 走査波形）、それに隣接する走査線 G_2 に印加される走査電圧（ G_2 走査波形）、画素6aに書き込まれる電圧、及び画素6bに書き込まれる電圧が示される。また、ここでは、ノーマリホワイト方式の液晶パネルにおいて、駆動電圧差が最も大きい全黒表示の場合の動作が示される。

10

【0044】

走査クロック信号 $VCCLK$ は、走査線 $G_1 \sim G_m$ の走査を制御するクロック信号であり、制御回路10が垂直同期信号 $Vsync$ に基づいて生成し、走査線駆動回路3に出力する。出力イネーブル信号 VOE は、走査線駆動回路3の出力（走査電圧）を制御する信号であり、制御回路10から走査駆動回路3に出力される。この出力イネーブル信号 VOE が“H”の時、走査線駆動回路3の出力は“L”に固定される。ラッチ信号 STB は、データ線 $S_1 \sim S_n$ に印加される画素電圧を切り換えるタイミングを示す信号であり、制御回路10からデータ線駆動回路2に出力される。極性反転信号 POL は、データ線 $S_1 \sim S_n$ に印加される画素電圧の極性を指示する信号であり、制御回路10からデータ線駆動回路2に出力される。ここで、極性とは、コモン電極9における基準電圧 $Vcom$ に対する画素電圧の正負を示す。時刻 t_1 の前に、データ線 S_1 に印加されている画素電圧は負極性であるとする。

20

【0045】

図4Aに示されるように、時刻 t_1 において、走査スタート信号 STV が立ち上がり、それと同期して走査逆転信号 $VREV$ が“H”（第一モード）に設定される。時刻 t_{11} において、走査クロック信号 $VCCLK$ 、出力イネーブル信号 VOE 、極性反転信号 POL が立ちあがる。走査クロック信号 $VCCLK$ が立ちあがることにより、一本の走査線5が走査される期間である「水平期間」が始まる。ここでは、走査線 G_1 に対する水平期間が始まる。但し、出力イネーブル信号 VOE が“H”であるため、走査線駆動回路3はまだ走査電圧を出力しない。

30

【0046】

時刻 t_{12} において、出力イネーブル信号 VOE が“H”から“L”に変わり、走査線 G_1 に走査電圧が印加される。これにより、画素6aに対する電圧の書き込みが始まる。時刻 t_{13} において、ラッチ信号 STB が立ち下がる。ここで、極性反転信号 POL が“H”なので、データ線 S_1 に印加される画素電圧が負極性から正極性へ変化し始める。データ線4の寄生容量や寄生抵抗のせいで、画素電圧は鈍って変化する。画素電圧の変化に伴い、画素6aに書き込まれる電圧が変化する。

【0047】

時刻 t_{14} において、走査クロック信号 $VCCLK$ 、出力イネーブル信号 VOE が立ち上がる。これに伴い、走査線 G_1 への走査電圧の印加が終了する。つまり、走査線 G_1 に対する水平期間は、時刻 t_{11} に始まり、時刻 t_{14} で終わる。また、画素6aのTFT7がONである期間、すなわち画素6aに対する電圧の書き込み期間は、時刻 t_{12} に始まり、時刻 t_{14} で終わる。書き込みの継続時間は、T1である。画素6aは、この時点で書き込まれた電圧を保持電圧として、1フレームにわたって保持する。ここで、図4Aに示されるように、データ線 S_1 に印加される画素電圧は、変化し終わっていない。つまり、画素電圧は、1水平期間内で所定の電圧差（約10V）だけ変化していない。従って、画素6aの保持電圧は、所望の電圧に達しない。この保持電圧と所望の電圧の差をV1とする。液晶表示装置100が大型化、高精細化する程、この電圧差V1は顕著となる。

40

【0048】

50

時刻 t_{14} に走査クロック信号 $VCLK$ が立ちあがることにより、走査線 G_2 に対する水平期間が始まる。但し、出力イネーブル信号 VOE が “H” であるため、走査線駆動回路 3 はまだ走査電圧を出力しない。時刻 t_{15} において、出力イネーブル信号 VOE が “H” から “L” に変わり、走査線 G_2 に走査電圧が印加される。これにより、画素 6b に対する電圧の書き込みが始まる。つまり、出力イネーブル信号 VOE は、ある水平期間における画素 6（例えば画素 6a）への書き込み動作と、次の水平期間における画素 6（例えば画素 6b）への書き込み動作が互いに干渉することを防止する役割を果たす。時刻 t_{16} において、ラッチ信号 STB が立ち下がる。極性反転信号 POL は “H” のままなので、データ線 S_1 に印加される画素電圧は正極性の領域のままである。

【0049】

10

時刻 t_{17} において、走査クロック信号 $VCLK$ 、出力イネーブル信号 VOE が立ち上がる。これに伴い、走査線 G_2 に対する水平期間及び書き込み期間が終了する。画素 6b は、この時点で書き込まれた電圧を保持電圧として、1 フレームにわたって保持する。この画素 6b の保持電圧と所望の電圧の差を V_2 とする。画素 6a 及び画素 6b に対する水平期間において、極性反転信号 POL は一定なので、電圧差 V_2 は電圧差 V_1 よりも小さい。

【0050】

また、時刻 t_{17} において、極性反転信号 POL が “H” から “L” へ変わる。その後、時刻 t_{19} において、ラッチ信号 STB が立ち下がると、図 4A に示されるように、データ線 S_1 に印加される画素電圧が正極性から負極性へ変化し始める。このようにデータ線 $S_1 \sim S_n$ に印加される画素電圧の極性は、2 水平期間ごとに入れ代わる（以下、2 ライン反転駆動方式と参照される）。また、極性反転信号 POL が “H” の時、データ線駆動回路 2 は、奇数番目のデータ線 S_{2j-1} （ j は自然数）に正極性の画素電圧を印加し、偶数番目のデータ線 S_{2j} に負極性の画素電圧を印加してもよい。極性反転信号 POL が “L” の時、データ線駆動回路 2 は、奇数番目のデータ線 S_{2j-1} に負極性の画素電圧を印加し、偶数番目のデータ線 S_{2j} に正極性の画素電圧を印加してもよい（以下、ドット反転駆動方式と参照される）。2 ライン反転駆動方式やドット反転駆動方式、またその組み合わせは、液晶表示装置 100 を駆動するにあたって、液晶材料の劣化が抑制されるという点で優れる。

20

【0051】

30

第二フレームにおける液晶表示装置 100 の動作を示す図 4B において、図 4A と同じパラメータが図示され、又、重複する説明は適宜省略される。図 4B に示されるように、時刻 t_2 において、走査スタート信号 STV が立ち上がり、第二フレームが開始する。時刻 t_{21} において、走査クロック信号 $VCLK$ 、出力イネーブル信号 VOE が立ち上がり、極性反転信号 POL が “L” に設定される。このように、データ線 $S_1 \sim S_n$ に印加される画素電圧の極性は、フレーム毎に反転する（以下、フレーム反転駆動方式と参照される）。このフレーム反転駆動方式も、液晶表示装置 100 を駆動するにあたって、液晶材料の劣化が抑制されるという点で優れる。走査クロック信号 $VCLK$ が立ちあがることにより、走査線 G_1 に対する水平期間が始まる。

【0052】

40

時刻 t_{22} において、出力イネーブル信号 VOE が “H” から “L” に変わり、走査線 G_1 に走査電圧が印加される。これにより、画素 6a に対する電圧の書き込みが始まる。時刻 t_{23} において、ラッチ信号 STB が立ち下がる。ここで、極性反転信号 POL が “L” なので、データ線 S_1 に印加される画素電圧が正極性から負極性へ変化し始める。データ線 4 の寄生容量や寄生抵抗のせいで、画素電圧は鈍って変化する。画素電圧の変化に伴い、画素 6a に書き込まれる電圧が変化する。

【0053】

時刻 t_{24} において、走査線 G_1 に対する水平期間が終わり、走査線 G_2 に対する水平期間が始まる。画素 6a は、この時点で書き込まれた電圧を保持電圧として、1 フレームにわたって保持する。ここで、図 4B に示されるように、データ線 S_1 に印加される画素

50

電圧は、変化し終わっていない。従って、画素 6 a の保持電圧は、所望の電圧に達しない。この保持電圧と所望の電圧の差を V_3 とする。

【0054】

時刻 t_{25} において、走査線 G_2 に対する書き込み期間が始まる。時刻 t_{26} において、ラッチ信号 STB が立ち下がる。極性反転信号 POL は “L” のままなので、データ線 S_1 に印加される画素電圧は負極性の領域のままである。時刻 t_{27} において、走査線 G_2 に対する水平期間が終了する。画素 6 b は、この時点で書き込まれた電圧を保持電圧として、1 フレームにわたって保持する。この画素 6 b の保持電圧と所望の電圧の差を V_4 とする。画素 6 a 及び画素 6 b に対する水平期間において、極性反転信号 POL は一定なので、電圧差 V_4 は電圧差 V_3 よりも小さい。また、時刻 t_{27} において、極性反転信号 POL が “L” から “H” へ変わる（2 ライン反転駆動）。その後、時刻 t_{29} において、ラッチ信号 STB が立ち下がる、図 4 B に示されるように、データ線 S_1 に印加される画素電圧が負極性から正極性へ変化し始める。

10

【0055】

このように、走査逆転信号 $VREV$ が “H” の場合、すなわち、第一モードにおいて、画素 6 a が駆動された後に、画素 6 b が駆動される。

【0056】

第三フレームにおける液晶表示装置 100 の動作を示す図 4 C において、図 4 A と同じパラメータが図示され、又、重複する説明は適宜省略される。図 4 C に示されるように、時刻 t_3 において、走査スタート信号 STV が立ち上がり、第三フレームが開始する。同時に、走査逆転信号 $VREV$ が “H”（第一モード）から “L”（第二モード）に変わる。

20

【0057】

第三フレームにおける動作は、走査線 G_1 、 G_2 が走査される順番を除いて、第一フレーム（図 4 A 参照）と同様である。すなわち、時刻 t_{31} において、走査線 G_2 に対する水平期間が始まり、時刻 t_{32} において、走査線 G_2 に対する書き込み期間が始まる。時刻 t_{34} において、走査線 G_2 に対する水平期間及び書き込み期間が終了する。この時、画素 6 b の保持電圧と所望の電圧の差は V_1 である。

【0058】

また、時刻 t_{34} において、走査線 G_1 に対する水平期間が始まり、時刻 t_{35} において、走査線 G_1 に対する書き込み期間が始まる。時刻 t_{37} において、走査線 G_1 に対する水平期間及び書き込み期間が終了する。この時、画素 6 a の保持電圧と所望の電圧の差は V_2 である。画素 6 b 及び画素 6 a に対する水平期間において、極性反転信号 POL は一定なので、電圧差 V_2 は電圧差 V_1 よりも小さい。

30

【0059】

第四フレームにおける液晶表示装置 100 の動作を示す図 4 D において、図 4 B と同じパラメータが図示され、又、重複する説明は適宜省略される。図 4 D に示されるように、時刻 t_4 において、走査スタート信号 STV が立ち上がり、第四フレームが開始する。走査逆転信号 $VREV$ は、“L” のままである。

【0060】

第四フレームにおける動作は、走査線 G_1 、 G_2 が走査される順番を除いて、第二フレーム（図 4 B 参照）と同様である。すなわち、時刻 t_{41} において、走査線 G_2 に対する水平期間が始まり、時刻 t_{42} において、走査線 G_2 に対する書き込み期間が始まる。時刻 t_{44} において、走査線 G_2 に対する水平期間及び書き込み期間が終了する。この時、画素 6 b の保持電圧と所望の電圧の差は V_3 である。

40

【0061】

また、時刻 t_{44} において、走査線 G_1 に対する水平期間が始まり、時刻 t_{45} において、走査線 G_1 に対する書き込み期間が始まる。時刻 t_{47} において、走査線 G_1 に対する水平期間及び書き込み期間が終了する。この時、画素 6 a の保持電圧と所望の電圧の差は V_4 である。画素 6 b 及び画素 6 a に対する水平期間において、極性反転信号 POL は

50

一定なので、電圧差 V_4 は電圧差 V_3 よりも小さい。

【0062】

このように、走査逆転信号 $VREV$ が “ L ” の場合、すなわち、第二モードにおいて、画素 6 b が駆動された後に、画素 6 a が駆動される。

【0063】

以上に説明された本発明に係る液晶表示装置 100 の駆動方法は、図 5 に要約される。図 5 において、走査線 $G_1 \sim G_4$ 及びデータ線 $S_1 \sim S_4$ に対応する画素 6 における画素電圧が示されている。記号「+」は、正極性の画素電圧を示し、記号「-」は、負極性の画素電圧を示す。また、図中の括弧は、走査線ペア（例えば、走査線 G_1 と G_2 ）のうち、後に走査される走査線に対応する記号に付与されている。

10

【0064】

図 5 に示されるように、あるデータ線（例えばデータ線 S_1 ）に印加される画素電圧の極性は、隣接するデータ線（例えばデータ線 S_2 ）に印加される画素電圧の極性と逆である（ドット反転駆動方式）。また、データ線に印加される画素電圧の極性は、2 水平期間毎に反転する（2 ライン反転駆動方式）。また、複数の画素 6 に印加される画素電圧の極性は、フレーム毎に反転する（フレーム反転駆動方式）。更に、2 フレームごとに複数の走査線を走査する順番が変わる。すなわち、第一フレーム及び第二フレーム（第一モード）において、走査線 G_1 、 G_2 、 G_3 、 G_4 ・ ・ ・ の順番で走査が実行される。一方、第三フレーム及び第四フレーム（第二モード）において、走査線 G_2 、 G_1 、 G_4 、 G_3 ・ ・ ・ の順番で走査が実行される。

20

【0065】

このような液晶表示装置 100 及びその駆動方法による効果は以下の通りである。図 4 A ~ 図 4 D に示されたように、第一フレームから第四フレームにおいて、画素 6 a の保持電圧と所望の電圧との差は、順に V_1 、 V_3 、 V_2 、 V_4 である。画素 6 a に関する平均の電圧差は、 $(V_1 + V_3 + V_2 + V_4) / 4$ である。一方、第一フレームから第四フレームにおいて、画素 6 b の保持電圧と所望の電圧との差は、順に V_2 、 V_4 、 V_1 、 V_3 である。画素 6 b に関する平均の電圧差は、 $(V_2 + V_4 + V_1 + V_3) / 4$ である。このように、画素 6 a に関する平均電圧差と、画素 6 b に関する平均電圧差は等しくなる。これは画素 6 a における輝度と、画素 6 b における輝度が等しくなることを意味する。他の画素 6 に関しても、画素 6 a 、 6 b のペアと同様の状況が発生する。従って、画像表示の際に画面に発生する横縞やむらが抑制される。

30

【0066】

また、画面の横縞を消すために、出力イネーブル信号 VOE の継続時間を調整する必要がある。つまり、従来技術のように、画面における横縞の発生を目視によって確認しながら、出力イネーブル信号 VOE の継続時間を微調整する必要がある。あるいは、出力イネーブル信号 VOE の継続時間を調整する回路を設置する必要がある。液晶パネル 1 や回路の特性は、製品ごとにばらつきがあるので、このような調整は大変な作業を要する。本発明の液晶表示装置 100 及びその駆動方法によれば、書き込み時間を調整することなく、画像表示の際の横縞の発生が抑制される。

【0067】

更に、本発明の液晶表示装置 100 及びその駆動方法によれば、図 4 A ~ 図 4 D において 2 番目に駆動される画素 6（例えば、図 4 A における画素 6 b）に対する書き込み期間を短くする必要がある。つまり、従来技術のように、出力イネーブル信号 VOE の継続時間を調整することによって、複数の画素 6 における輝度の整合をとる必要がある。よって、画素 6 に対する書き込み時間を最大限長く設定することが可能となる。これは、画素 6 の保持電圧が所望の電圧により近づくことを意味する。従って、画像表示のコントラストが向上する。

40

【0068】

更に、本発明の液晶表示装置 100 及びその駆動方法によれば、図 4 A ~ 図 4 D において 2 番目に駆動される画素 6（例えば、図 4 A における画素 6 b）に対して、プレチャ-

50

ジする必要がない。よって、プレチャージにおけるデータ線 4 の寄生容量を充電・放電するための電流が削減される。従って、消費電力が低減される。

【0069】

なお、2 フレームごとに第一モードと第二モードを切りかえる駆動方法は、図 4 A ~ 図 4 D に示された駆動方法だけに限られない。例えば、第一フレーム及び第四フレームにおいて走査逆転信号 $VREV$ を “H” に設定し、第二フレーム及び第三フレームにおいて走査逆転信号 $VREV$ を “L” に設定してもよい。

【0070】

また、2 ライン反転駆動方式の代わりに、複数のデータ線に印加される画素電圧の極性は、 N (N は 2 以上の整数) 水平期間ごとに入れ代わってもよい (以下、 N ライン反転駆動方式と参照される)。例えば、図 1 に示される走査線 $G_{Ni+1} \sim$ 走査線 G_{Ni+N} (i は 0 以上 $m/N - 1$ 以下の整数) から構成される走査線群を走査する N 水平期間にわたって、極性反転信号 POL は一定である。そして、 i が 1 増加すると、極性反転信号 POL は反転する。この場合、第一モード ($VREV = \text{“H”}$) において、その走査線群は、 G_{Ni+1} 、 G_{Ni+2} 、 $\dots$ 、 G_{Ni+N-1} 、 G_{Ni+N} の順番に走査される。一方、第二モード ($VREV = \text{“L”}$) においては、その走査線群は、 G_{Ni+N} 、 G_{Ni+N-1} 、 $\dots$ 、 G_{Ni+2} 、 G_{Ni+1} の順番に走査される。例えば、 $N = 3$ の場合、第一モードにおいて、複数の走査線 $G_1 \sim G_m$ は、 G_1 、 G_2 、 G_3 、 G_4 、 G_5 、 G_6 、 G_7 、 G_8 、 $G_9 \dots$ の順番に走査される。一方、第二モードにおいて、複数の走査線 $G_1 \sim G_m$ は、 G_3 、 G_2 、 G_1 、 G_6 、 G_5 、 G_4 、 G_9 、 G_8 、 $G_7 \dots$ の順番に走査される。

【0071】

次に、上述の液晶駆動装置 100 の駆動方法を実現する駆動回路の構成について詳細に説明する。

【0072】

(第一実施例)

図 6 は、本発明の第一実施例に係る走査線駆動回路 3 の構成を示すブロック図である。図 6 において、走査線駆動回路 3 は、シフトレジスタ回路 41 と、論理回路 42 と、レベルシフト回路 43 と、出力回路 44 とを備える。シフトレジスタ回路 41 の回路構成は、後述されるように、切り換えることが可能である。このシフトレジスタ回路 41 は、走査スタート信号 STV 、走査クロック信号 CLK 、及び走査逆転信号 $VREV$ を入力し、出力線 $C_1 \sim C_m$ を介して走査信号を論理回路 42 に出力する。論理回路 42 は、出力イネーブル信号 VOE と、シフトレジスタ 41 からの走査信号を入力する。上述のように、出力イネーブル信号 VOE が “H” の場合、論理回路 42 は走査信号を出力しない。出力イネーブル信号 VOE が “L” の場合、論理回路 42 は走査信号を出力する。出力された走査信号は、レベルシフト回路 43 で調整された後、出力回路 44 を介して複数の走査線 $G_1 \sim G_m$ に出力される。

【0073】

図 7 A は、シフトレジスタ回路 41 の 1 つの構成例を示す回路図である。ここで、複数の走査線 $G_1 \sim G_m$ の本数は $2M$ 本 (M は自然数; $2M = m$) であるとする。シフトレジスタ回路 41 は、 $2M$ 個のフリップフロップ回路 33 ($33-1$ 、 $33-2$ 、 $\dots$ 、 $33-2M$) と、 $2M$ 本の出力線 (C_1 、 C_2 、 $\dots$ 、 C_{2M})、複数のスイッチ 31、及び複数のスイッチ 32 を備える。フリップフロップ回路 $33-1 \sim 33-2M$ の出力は、それぞれ出力線 $C_1 \sim C_{2M}$ を介して、走査線 $G_1 \sim G_{2M}$ に接続される。尚、図 7 A においては、フリップフロップ回路 $33-1 \sim 33-4$ 、及び出力線 $C_1 \sim C_4$ の構成が示されている。

【0074】

シフトレジスタ回路 41 は走査スタート信号 STV を入力し、入力された走査スタート信号 STV は、走査クロック信号 CLK に同期して、順番にシフトしてゆく。ここで、このシフトレジスタ回路 41 において、動作モード (第一モード、第二モード) に応じて、

スイッチ 3 1 とスイッチ 3 2 のいずれかが ON に設定される。これによって、 $2M$ 個のフリップフロップ回路 3 3 の接続が切り換わり、走査スタート信号 STV が出力線 $C_1 \sim C_{2M}$ に出力される順番が切り換わる。

【0075】

走査逆転信号 $VREV$ が “H” (第一モード) の時、複数のスイッチ 3 1 が ON に設定され、複数のスイッチ 3 2 が OFF に設定される。これによって、 $2i$ 番目 (i は 1 以上 $M-1$ 以下の整数) のフリップフロップ回路 3 3 - $2i$ の入力及び出力は、それぞれ $2i-1$ 番目のフリップフロップ回路 3 3 - ($2i-1$) の出力及び $2i+1$ 番目のフリップフロップ回路 3 3 - ($2i+1$) の入力に接続される。例えば、図 7 A において ($i=1$)、フリップフロップ回路 3 3 - 2 の入力及び出力は、それぞれフリップフロップ回路 3 3 - 1 の出力及びフリップフロップ回路 3 3 - 3 の入力に接続される。フリップフロップ回路 3 3 - 1 に入力された走査スタート信号 STV は、出力線 C_1 から出力される。次のクロックにおいて、その走査スタート信号 STV は、フリップフロップ回路 3 3 - 2 に入力され、出力線 C_2 から出力される。このように、第一モードでは、複数の走査線 $G_1 \sim G_{2M}$ は、 G_1 、 G_2 、 $G_3 \dots$ の順番で走査される。

10

【0076】

走査逆転信号 $VREV$ が “L” (第二モード) の時、複数のスイッチ 3 1 が OFF に設定され、複数のスイッチ 3 2 が ON に設定される。これによって、 $2i-1$ 番目のフリップフロップ回路 3 3 - ($2i-1$) の入力及び出力は、それぞれ $2i$ 番目のフリップフロップ回路 3 3 - $2i$ の出力及び $2i+2$ 番目のフリップフロップ回路 3 3 - ($2i+2$) の入力に接続される。例えば、図 7 A において ($i=1$)、フリップフロップ回路 3 3 - 1 の入力及び出力は、それぞれフリップフロップ回路 3 3 - 2 の出力及びフリップフロップ回路 3 3 - 4 の入力に接続される。フリップフロップ回路 3 3 - 2 に入力された走査スタート信号 STV は、出力線 C_2 から出力される。次のクロックにおいて、その走査スタート信号 STV は、フリップフロップ回路 3 3 - 1 に入力され、出力線 C_1 から出力される。このように、第二モードでは、複数の走査線 $G_1 \sim G_{2M}$ は、 G_2 、 G_1 、 G_4 、 $G_3 \dots$ の順番で走査される。

20

【0077】

図 7 B は、シフトレジスタ回路 4 1 の他の構成例を示す回路図である。図 7 A の場合と同様に、シフトレジスタ回路 4 1 は、 $2M$ 個のフリップフロップ回路 3 3 ($33-1$ 、 $33-2$ 、 $\dots$ 、 $33-2M$) と、 $2M$ 本の出力線 (C_1 、 C_2 、 $\dots$ 、 C_{2M})、複数のスイッチ 3 1、及び複数のスイッチ 3 2 を備える。フリップフロップ回路 $33-1 \sim 33-2M$ は、直列に接続される。また、出力線 $C_1 \sim C_{2M}$ は、それぞれ走査線 $G_1 \sim G_{2M}$ に接続される。尚、図 7 B においては、フリップフロップ回路 $33-1 \sim 33-4$ 、及び出力線 $C_1 \sim C_4$ の構成が示されている。

30

【0078】

走査逆転信号 $VREV$ が “H” (第一モード) の時、複数のスイッチ 3 1 が ON に設定され、複数のスイッチ 3 2 が OFF に設定される。これによって、 $2i-1$ 番目 (i は 1 以上 M 以下の整数) のフリップフロップ回路 3 3 - ($2i-1$) の出力は、 $2i-1$ 番目の出力線 C_{2i-1} に接続され、 $2i$ 番目のフリップフロップ回路 3 3 - $2i$ の出力は、 $2i$ 番目の出力線 C_{2i} に接続される。例えば、図 7 B において ($i=1$)、フリップフロップ回路 3 3 - 1 の出力は、出力線 C_1 に接続され、フリップフロップ回路 3 3 - 2 の出力は、出力線 C_2 に接続される。フリップフロップ回路 3 3 - 1 に入力された走査スタート信号 STV は、出力線 C_1 から出力される。次のクロックにおいて、その走査スタート信号 STV は、フリップフロップ回路 3 3 - 2 に入力され、出力線 C_2 から出力される。このように、第一モードでは、複数の走査線 $G_1 \sim G_{2M}$ は、 G_1 、 G_2 、 $G_3 \dots$ の順番で走査される。

40

【0079】

走査逆転信号 $VREV$ が “L” (第二モード) の時、複数のスイッチ 3 1 が OFF に設定され、複数のスイッチ 3 2 が ON に設定される。これによって、 $2i-1$ 番目のフリッ

50

フリップフロップ回路 33 - (2 i - 1) の出力は、2 i 番目の出力線 C_{2i} に接続され、2 i 番目のフリップフロップ回路 33 - 2 i の出力は、2 i - 1 番目の出力線 C_{2i-1} に接続される。例えば、図 7 B において (i = 1)、フリップフロップ回路 33 - 1 の出力は、出力線 C_2 に接続され、フリップフロップ回路 33 - 2 の出力は、出力線 C_1 に接続される。フリップフロップ回路 33 - 1 に入力された走査スタート信号 S T V は、出力線 C_2 から出力される。次のクロックにおいて、その走査スタート信号 S T V は、フリップフロップ回路 33 - 2 に入力され、出力線 C_1 から出力される。このように、第二モードでは、複数の走査線 $G_1 \sim G_{2M}$ は、 G_2 、 G_1 、 G_4 、 $G_3 \dots$ の順番で走査される。

【 0 0 8 0 】

以上に説明されたように、図 7 A あるいは図 7 B に示された走査線駆動回路 3 (シフトレジスタ回路 4 1) によれば、複数の走査線 $G_1 \sim G_{2M}$ の走査順序が、動作モードに応じて切り換えられる。よって、本発明に係る液晶表示装置 1 0 0 の駆動方法が実現される。

10

【 0 0 8 1 】

(第二実施例)

複数の走査線 $G_1 \sim G_m$ の走査順序が、動作モードに応じて切り換えられるので、その走査順序に整合するように、データ線駆動回路 2 による映像信号の出力順序は制御される。そのような映像信号の制御が制御回路 1 0 において行われる例を以下に示す。図 1 に示されたように、制御回路 1 0 は、水平同期信号 H s y n c 及びドットクロック信号 d C L K に基づき、映像信号 D A 1 ~ D A n を入力し、映像信号 D B 1 ~ D B n をデータ線駆動回路 2 に出力する。ドットクロック信号 d C L K は、液晶パネル 1 の解像度に応じて映像信号を制御するための信号であり、映像信号 D B 1 ~ D B n は、このドットクロック信号 d C L K に従って順番にデータ線駆動回路 2 に出力される。

20

【 0 0 8 2 】

図 8 は、本発明の第二実施例に係る制御回路 1 0 の構成を概略的に示すブロック図である。図 8 において、映像信号 D A 1 ~ D A n (以下、D A n と参照される) を映像信号 D B 1 ~ D B n (以下、D B n と参照される) に入れ換える映像信号入れ換え回路 2 0、及び映像信号に所定の処理を行うデータ処理回路 2 5 が示されている。本発明に係る制御回路 1 0 の映像信号入れ換え回路 2 0 は、少なくとも 2 個のラインメモリ 2 3、2 4、及び複数のスイッチ 2 1 (2 1 a、2 1 b)、2 2 (2 2 a ~ 2 2 c) を備える。このラインメモリ 2 3、2 4 は、一本の走査線 5 に対応する映像信号 D A 1 ~ D A n を格納する。

30

【 0 0 8 3 】

図 8 に示されるように、ラインメモリ 2 3、2 4 及びスイッチ 2 2 c は、並列に接続されている。スイッチ 2 1 a 及びスイッチ 2 2 a は、ラインメモリ 2 3 の入力及び出力をそれぞれ制御できるように配置される。また、スイッチ 2 1 b 及びスイッチ 2 2 b は、ラインメモリ 2 4 の入力及び出力をそれぞれ制御できるように配置されている。

【 0 0 8 4 】

図 9 A は、走査逆転信号 V R E V が “ H ” (第一モード) の場合の制御回路 1 0 の動作を示すタイミングチャートである。具体的には、図 9 A は、第一モードのある期間 P 1 1 ~ P 1 5 における、複数のスイッチ 2 1、2 2 の O N / O F F 状態、及び映像信号 D A n、D B n の入力・出力状態を示す。ここで、「 L I N E 1 」 「 L I N E 2 」 … は、それぞれ走査線 G_1 、 $G_2 \dots$ に対応する映像信号 D A n、D B n を示す。制御回路 1 0 は、水平同期信号 H s y n c に応じて、L I N E 1、L I N E 2 … の順番に映像信号 D A n を入力する。

40

【 0 0 8 5 】

図 9 A に示されるように、期間 P 1 1 ~ P 1 5 において、スイッチ 2 1 a、2 1 b、2 2 a、2 2 b は O F F に設定され、スイッチ 2 2 c は O N に設定される。従って、入力された映像信号 D A n は、データ処理回路 2 5 で所定の処理が行われた後、映像信号 D B n として順番に出力される。すなわち、映像信号 D B n は、L I N E 1、L I N E 2 … の順番でデータ線駆動回路 2 に出力される。

50

【 0 0 8 6 】

一方、図 9 B は、走査逆転信号 V R E V が “ L ” (第二モード) の場合の制御回路 1 0 の動作を示すタイミングチャートである。具体的には、図 9 B は、第二モードのある期間 P 2 1 ~ P 2 5 における、複数のスイッチ 2 1、2 2 の O N / O F F 状態、及び映像信号 D A n、D B n の入力・出力状態を示す。図 9 A の場合と同様に、制御回路 1 0 は、L I N E 1、L I N E 2 . . . の順番に映像信号 D A n を入力する。

【 0 0 8 7 】

図 9 B に示されるように、期間 P 2 1 において、スイッチ 2 1 a が O N に設定され、その他のスイッチは O F F に設定される。これにより、L I N E 1 がラインメモリ 2 3 に格納される。期間 P 2 2 において、スイッチ 2 1 c が O N に設定され、その他のスイッチは O F F に設定される。これにより、L I N E 2 が、データ処理回路 2 5 を介して、映像信号 D B n としてデータ線駆動回路 2 に出力される。期間 P 2 3 において、スイッチ 2 2 a とスイッチ 2 1 b が O N に設定され、その他のスイッチは O F F に設定される。これにより、ラインメモリ 2 3 に格納された L I N E 1 が映像信号 D B n として出力される。同時に、L I N E 3 がラインメモリ 2 4 に格納される。期間 P 2 4 において、スイッチ 2 1 c が O N に設定され、その他のスイッチは O F F に設定される。これにより、L I N E 4 が、映像信号 D B n としてデータ線駆動回路 2 に出力される。期間 P 2 5 において、スイッチ 2 2 b とスイッチ 2 1 a が O N に設定され、その他のスイッチは O F F に設定される。これにより、ラインメモリ 2 4 に格納された L I N E 3 が映像信号 D B n として出力される。同時に、L I N E 5 がラインメモリ 2 3 に格納される。以下、同様のスイッチング動作が繰り返される。

【 0 0 8 8 】

このように、第二モードにおいて、映像信号 D B n は、L I N E 2、L I N E 1、L I N E 4、L I N E 3 . . . の順番でデータ線駆動回路 2 に出力される。これは、第一実施例で示された、第二モードにおける走査線駆動回路 3 の動作と整合する。制御回路 1 0 は、複数のスイッチ 2 1、2 2、及び走査線駆動回路 3 を制御し、これにより複数の画素 6 に対応する映像信号が供給される。

【 0 0 8 9 】

図 9 C は、走査逆転信号 V R E V が “ H ” (第一モード) の場合の制御回路 1 0 の他の動作例を示すタイミングチャートである。期間 P 1 1 において、スイッチ 2 1 a が O N に設定され、L I N E 1 がラインメモリ 2 3 に格納される。期間 P 1 2 において、スイッチ 2 1 b とスイッチ 2 2 a が O N に設定され、ラインメモリ 2 3 に格納された L I N E 1 がデータ線駆動回路 2 に出力され、L I N E 2 がラインメモリ 2 4 に格納される。期間 P 1 3 において、スイッチ 2 1 a とスイッチ 2 2 b が O N に設定され、ラインメモリ 2 4 に格納された L I N E 2 がデータ線駆動回路 2 に出力され、L I N E 3 がラインメモリ 2 3 に格納される。以下、同様のスイッチング動作が繰り返される。図 9 A の場合と同様に、映像信号 D B n は、L I N E 1、L I N E 2 . . . の順番でデータ線駆動回路 2 に出力される。

【 0 0 9 0 】

以上に説明されたように、図 8 及び図 9 A ~ 9 C に示された制御回路 1 0 (映像信号入れ換え回路 2 0) によれば、映像信号 D B n の出力順序が、動作モードに応じて切り換えられる。第一実施例で示された走査線駆動回路 3 と本実施例に示された制御回路 1 0 を組み合わせることによって、本発明に係る液晶表示装置 1 0 0 の駆動方法が実現される。N 本以上の走査線 5 に対して、映像信号の入れ換えが必要な場合、映像信号入れ換え回路 2 0 は、N 個のラインメモリを備える。この場合も、上記と同様なスイッチング動作が実行される。

【 0 0 9 1 】

図 1 0 は、本発明の第二実施例に係る映像信号入れ換え回路 2 0 の他の構成例を概略的に示すブロック図である。図 1 0 において、映像信号入れ換え回路 2 0 は、フレームメモリ 2 7、アドレス制御回路 2 8、ラインメモリ 2 6、データ処理回路 2 5 を備える。フレ

10

20

30

40

50

ームメモリ 27 は、1 フレームに相当する映像信号を格納する。アドレス制御回路 28 は、フレームメモリ 27 のアドレスを制御して、そのアドレスに対応する 1 走査線に対応する映像信号をラインメモリ 26 に出力させる。ラインメモリ 26 に格納された映像信号は、データ処理回路 25 において所定の処理が行われた後、映像信号 DB_n としてデータ線駆動回路 2 に出力される。

【0092】

走査逆転信号 $VREV$ が “H” (第一モード) の場合、映像信号 DB_n が $LINE_1$ 、 $LINE_2 \cdots$ の順番でデータ線駆動回路 2 に供給されるように、アドレス制御回路 28 はフレームメモリ 27 を制御する。走査逆転信号 $VREV$ が “L” (第二モード) の場合、映像信号 DB_n が $LINE_2$ 、 $LINE_1$ 、 $LINE_4$ 、 $LINE_3 \cdots$ の順番でデータ線駆動回路 2 に供給されるように、アドレス制御回路 28 はフレームメモリ 27 を制御する。このように、第一実施例で示された走査線駆動回路 3 と図 10 に示された制御回路 10 を組み合わせることによって、本発明に係る液晶表示装置 100 の駆動方法が実現される。

10

【0093】

(第三実施例)

複数の走査線 $G_1 \sim G_m$ の走査順序が、動作モードに応じて切り換えられるので、その走査順序に整合するように、データ線駆動回路 2 による映像信号の出力順序は制御される。そのような映像信号の制御がデータ線駆動回路 2 において行われる例を以下に示す。図 11 は、本発明の第三実施例に係るデータ線駆動回路 2 の構成を示すブロック図である。図 11 に示されるように、データ線駆動回路 2 は、シフトレジスタ回路 51、切換回路 A52、複数のラインメモリ (ラインメモリ A53、ラインメモリ B54、ラインメモリ C55)、切換回路 B56、データラッチ回路 57、D/A 変換回路 58、データバッファ回路 59、データ線制御回路 60、ガンマ電圧発生回路 61 を備える。

20

【0094】

シフトレジスタ回路 51 には、制御回路 10 から、水平スタート信号 STH と水平クロック信号 $HCLK$ が入力される。水平スタート信号 STH が入力されると、シフトレジスタ回路 51 は、水平クロック信号 $HCLK$ に同期したサンプリング信号 $SAMP$ を生成する。

【0095】

切換回路 A52 は、複数のスイッチ 71a ~ 73a、71b ~ 73b を備える。後述されるように、切換回路 A52 は、シフトレジスタ回路 51 が生成したサンプリング信号 $SAMP$ と固定電圧 GND を切り換えて複数のラインメモリ 53、54、55 のいずれかに供給する。尚、スイッチ 71a が ON に設定される時、スイッチ 71b は OFF に設定される。逆に、スイッチ 71a が OFF に設定される時、スイッチ 71b は ON に設定される。スイッチ 72a、72b 及びスイッチ 73a、73b も同様に動作する。

30

【0096】

ラインメモリ A53、ラインメモリ B54、ラインメモリ C55 は、一本の走査線 5 に対応する映像信号 $DB_1 \sim DB_n$ (以下、 DB_n と参照される) を格納する。図 11 に示されるように、複数のラインメモリ 53、54、55 は並列に配置される。データバッファ回路 59 は、水平クロック信号 $HCLK$ に同期して、制御回路 10 から出力される映像信号 DB_n をラッチする。データバッファ回路 59 に格納された映像信号 DB_n は、上記サンプリング信号 $SAMP$ に同期して、複数のラインメモリ 53、54、55 のいずれかに供給される。

40

【0097】

データラッチ回路 57 は、制御回路 10 が生成するラッチ信号 STB に応じて、複数のラインメモリ 53、54、55 のいずれかに格納された映像信号 DB_n をラッチする。このデータラッチ回路 57 とラインメモリ 53、54、55 の間には、切換回路 B56 が介在する。切換回路 B56 は、スイッチ 74、75、76 を備える。これらスイッチ 74 ~ 76 が切り換えられることにより、選択されたラインメモリに格納された映像信号 DB_n

50

がデータラッチ回路 57 に供給される。

【0098】

データラッチ回路 57 にラッチされた映像信号 DB_n は、 D/A 変換回路 58 で変換された後に、複数のデータ線 $S_1 \sim S_n$ に出力される。 D/A 変換回路 58 に接続されたガンマ電圧発生回路 61 は、ガンマ特性に合うように予め所望の階調電圧を生成する回路である。データ線制御回路 60 は、ラッチ信号 STB 、極性反転信号 POL 、走査逆転信号 REV を入力し、上述の切換回路 A52、切換回路 B56、データラッチ回路 57、 D/A 変換回路 58、データバッファ回路 59 を制御する。

【0099】

図 12 は、本発明の第三実施例に係るデータ線駆動回路 2 の動作を示すタイミングチャートである。具体的には、図 12 は、第二モードのある期間 $P31 \sim P36$ におけるデータ線駆動回路 2 の動作を示し、そこでは、入力される映像信号 DB_n 、複数のラインメモリ 53 ~ 55 に格納されるデータ、データラッチ回路 57 がラッチするデータ、複数のスイッチ 71 ~ 76 の ON/OFF 状態 ($SW71a$ 、 $SW72a$ 、 $SW73a$ 、 $SW74$ 、 $SW75$ 、 $SW76$) が示される。また、図 12 において、「LINE 1」「LINE 2」・・・は、それぞれ走査線 G_1 、 G_2 ・・・に対応する映像信号 DB_n を示す。データバッファ回路 59 は、水平クロック信号 $HCLK$ に応じて、LINE 1、LINE 2・・・の順番に映像信号 DB_n を入力する。

【0100】

期間 $P31$ において、スイッチ 71a が ON に設定され、その他のスイッチは OFF に設定される。これにより、LINE 1 はラインメモリ A53 に格納される。期間 $P32$ において、スイッチ 72a が ON に設定され、その他のスイッチは OFF に設定される。これにより、LINE 2 はラインメモリ B54 に格納される。期間 $P33$ において、スイッチ 73a 及びスイッチ 75 が ON に設定され、その他のスイッチは OFF に設定される。これにより、LINE 3 はラインメモリ C55 に格納され、それと同時に、ラインメモリ B54 に格納されていた LINE 2 がデータラッチ回路 57 に出力される。

【0101】

期間 $P34$ において、スイッチ 72a とスイッチ 74 が ON に設定される。これにより、LINE 4 はラインメモリ B54 に格納され、同時に、ラインメモリ A53 に格納されていた LINE 1 がデータラッチ回路 57 に出力される。期間 $P35$ において、スイッチ 71a とスイッチ 75 が ON に設定される。これにより、LINE 5 はラインメモリ A53 に格納され、同時に、ラインメモリ B54 に格納されていた LINE 4 がデータラッチ回路 57 に出力される。期間 $P36$ において、スイッチ 72a とスイッチ 76 が ON に設定される。これにより、LINE 6 は、ラインメモリ B54 に格納され、同時に、ラインメモリ C55 に格納されていた LINE 3 がデータラッチ回路 57 に出力される。以下、同様のスイッチング動作が繰り返される。

【0102】

このように、第二モードにおいて、映像信号 DB_n は、LINE 2、LINE 1、LINE 4、LINE 3・・・の順番で複数のデータ線 $S_1 \sim S_n$ に出力される。これは、第一実施例で示された、第二モードにおける走査線駆動回路 3 の動作と整合する。第一モードにおいては、映像信号 DB_n は、順序が入れ代わることなくデータ線 $S_1 \sim S_n$ に出力される。この時、複数のラインメモリ 53、54、55 のいずれかが用いられる。このように、図 11 及び図 12 に示されたデータ線駆動回路 2 によれば、映像信号 DB_n の出力順序が、動作モードに応じて切り換えられる。第一実施例で示された走査線駆動回路 3 と本実施例に示されたデータ線駆動回路 2 を組み合わせることによって、本発明に係る液晶表示装置 100 の駆動方法が実現される。

【0103】

以上に説明されたように、本発明に係る液晶表示装置 100 及びその駆動方法によれば、走査線 $G_1 \sim G_m$ が走査される順番がモードに応じて切り換わる。従って、画素 6 に書き込まれる保持電圧が時間的に平均化され、画像表示の際に画面に発生する横縞やむらが

抑制される。また、出力イネーブル信号V O Eの継続時間、すなわち書き込み時間を、製品ごとに調整する必要がなくなる。更に、画素6に対する書き込み時間を最大限長く設定することが可能となり、画像表示のコントラストが向上する。更に、プレチャージをする必要がないので、消費電力が低減される。

【図面の簡単な説明】

【0104】

【図1】図1は、本発明に係る液晶表示装置の構成を示すブロック図である。

【図2】図2は、本発明に係る液晶表示装置の画素の構成を示す概略図である。

【図3】図3は、本発明に係る液晶表示装置の動作を示すタイミングチャートである。

【図4A】図4Aは、本発明に係る液晶表示装置の、第一フレームにおける動作を示すタイミングチャートである。 10

【図4B】図4Bは、本発明に係る液晶表示装置の、第二フレームにおける動作を示すタイミングチャートである。

【図4C】図4Cは、本発明に係る液晶表示装置の、第三フレームにおける動作を示すタイミングチャートである。

【図4D】図4Dは、本発明に係る液晶表示装置の、第四フレームにおける動作を示すタイミングチャートである。

【図5】図5は、本発明に係る液晶表示装置の駆動方法を示す説明図である。

【図6】図6は、本発明の第一実施例に係る走査線駆動回路の構成を示すブロック図である。 20

【図7A】図7Aは、本発明の第一実施例に係る走査線駆動回路の構成例を示す回路図である。

【図7B】図7Bは、本発明の第一実施例に係る走査線駆動回路の他の構成例を示す回路図である。

【図8】図8は、本発明の第二実施例に係る制御回路の構成例を示すブロック図である。

【図9A】図9Aは、本発明の第二実施例に係る制御回路の動作を示すタイミングチャートである。

【図9B】図9Bは、本発明の第二実施例に係る制御回路の動作を示すタイミングチャートである。

【図9C】図9Cは、本発明の第二実施例に係る制御回路の動作を示すタイミングチャートである。 30

【図10】図10は、本発明の第二実施例に係る制御回路の他の構成例を示すブロック図である。

【図11】図11は、本発明の第三実施例に係るデータ線駆動回路の構成を示すブロック図である。

【図12】図12は、本発明の第三実施例に係るデータ線駆動回路の動作を示すタイミングチャートである。

【符号の説明】

【0105】

- 1 液晶パネル
- 2 データ線駆動回路
- 3 走査線駆動回路
- 4 データ線
- 5 走査線
- 6 画素
- 10 制御回路
- 11 入力信号群
- 12 データ線駆動信号群
- 13 走査線駆動信号群
- 100 液晶表示装置

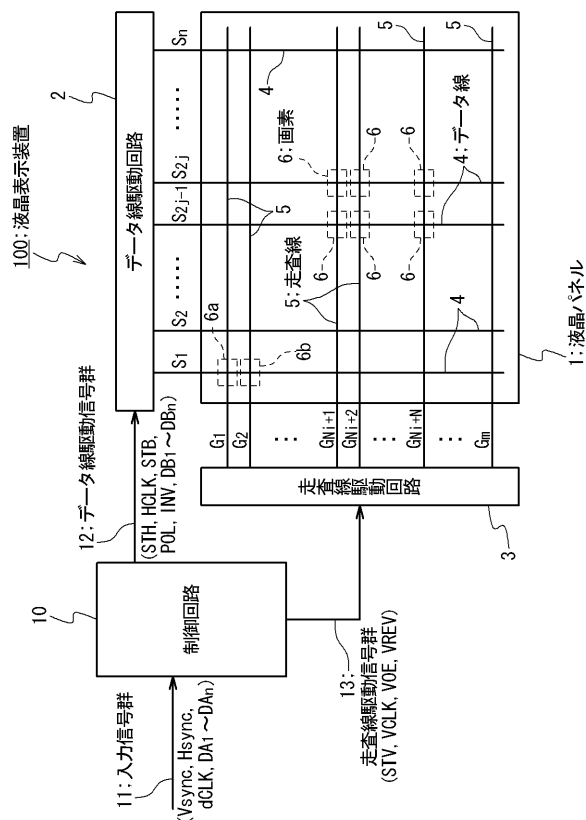
40

50

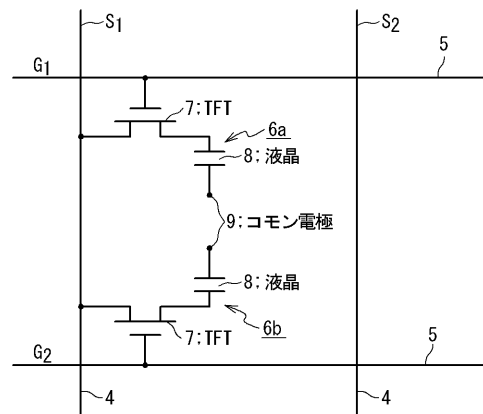
dCLK	ドットクロック信号
HCLK	水平クロック信号
Hsync	水平同期信号
POL	極性反転信号
STB	ラッチ信号
STH	水平スタート信号
STV	走査スタート信号
VCLK	走査クロック信号
VOE	出力イネーブル信号
VREV	走査逆転信号
Vsync	垂直同期信号

10

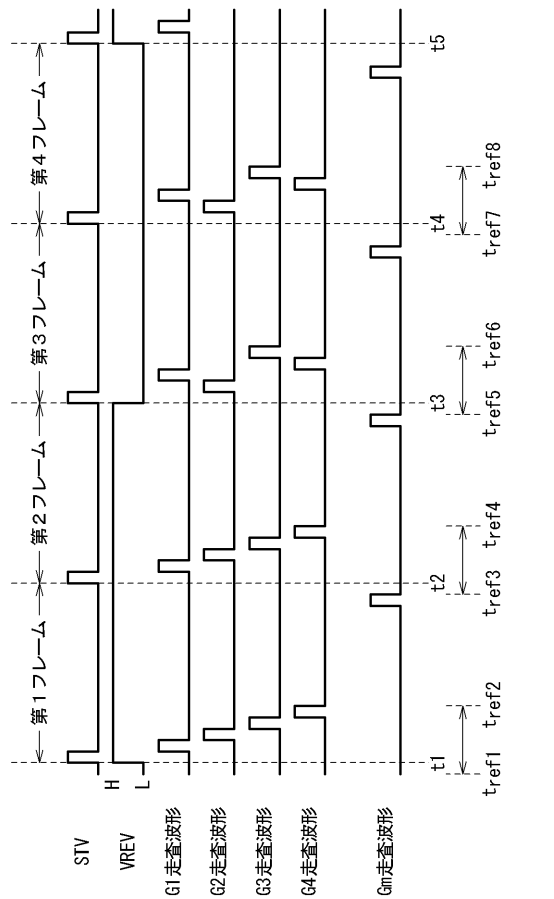
【図1】



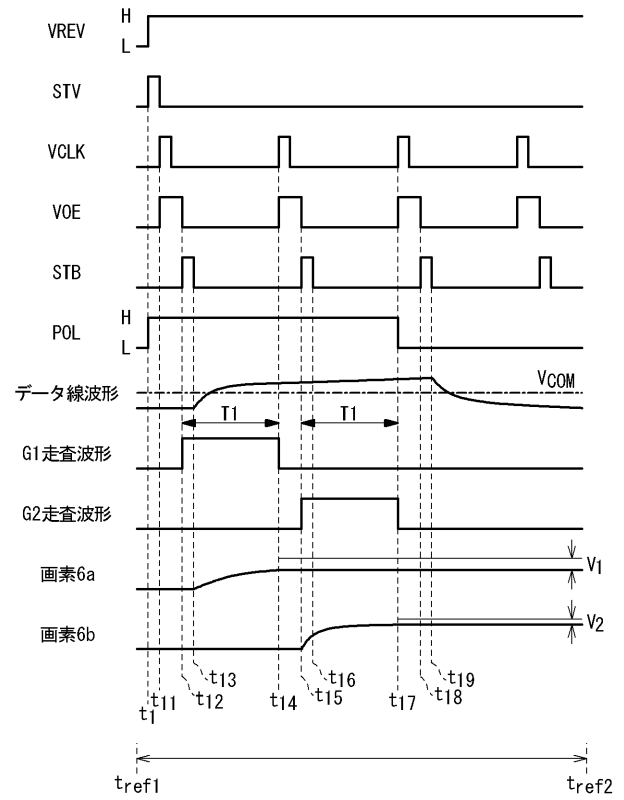
【図2】



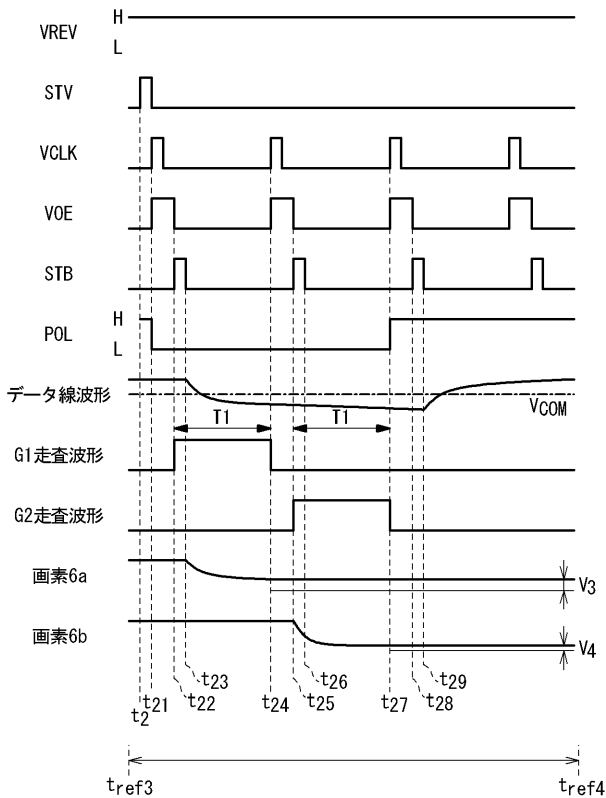
【 図 3 】



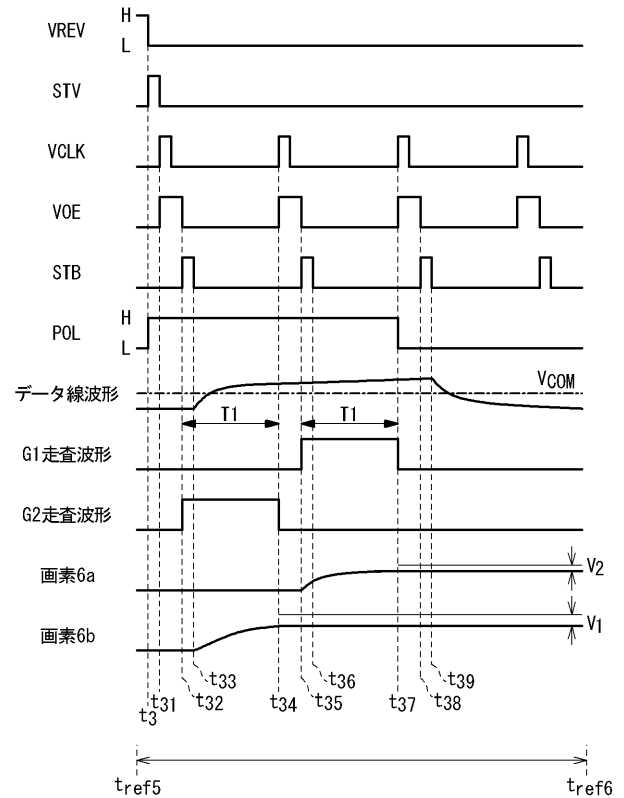
【 図 4 A 】



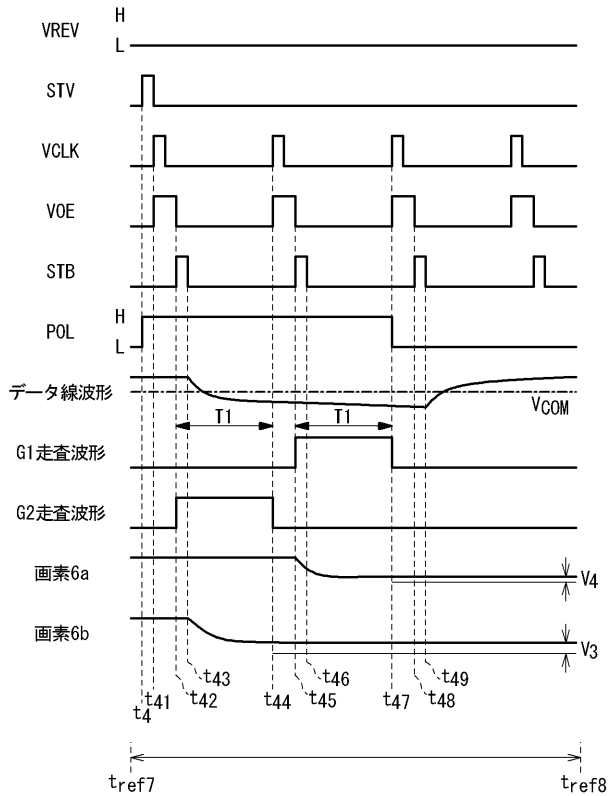
【 図 4 B 】



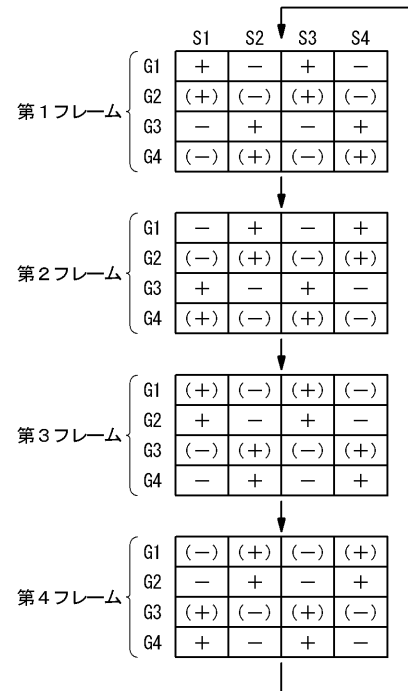
【 図 4 C 】



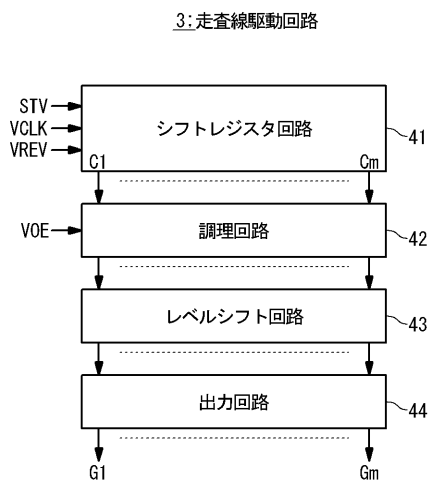
【図4D】



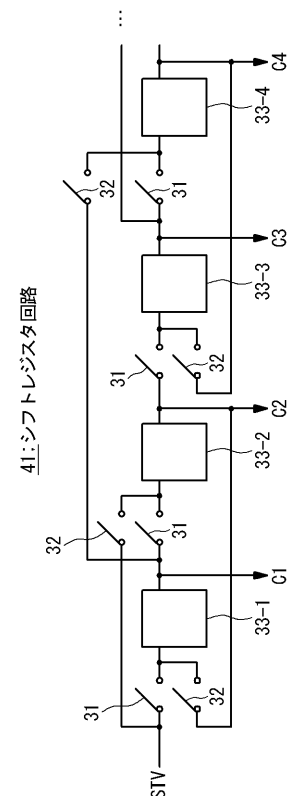
【図5】



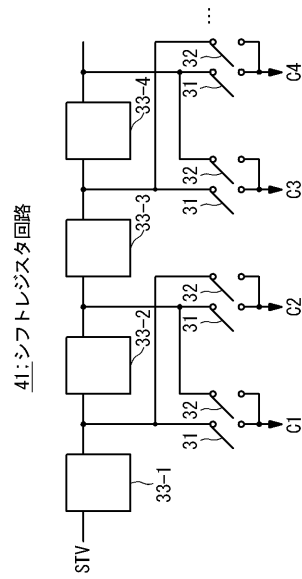
【図6】



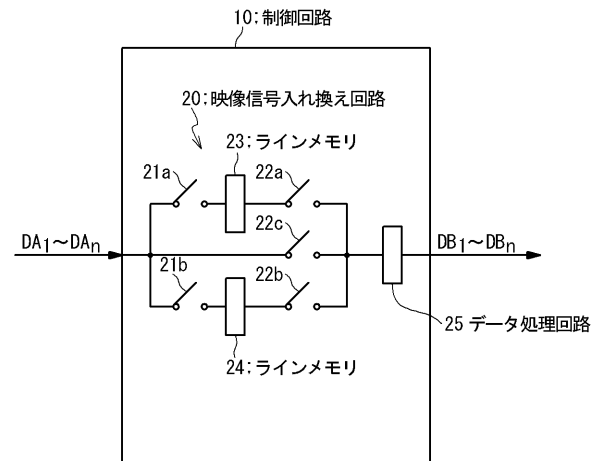
【図7A】



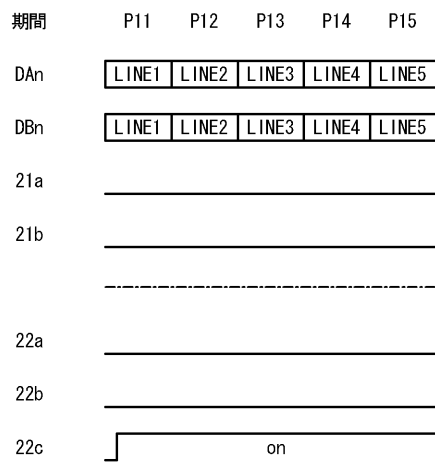
【図 7 B】



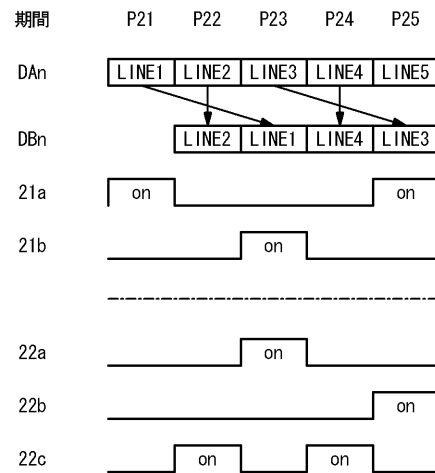
【図 8】



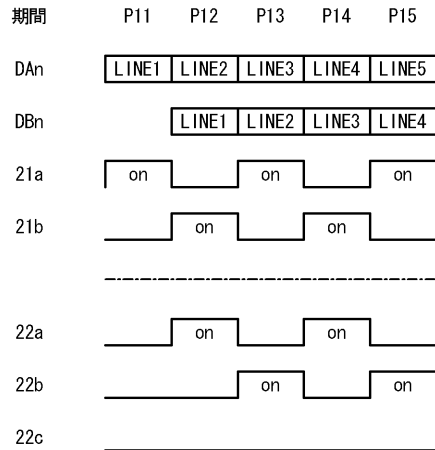
【図 9 A】



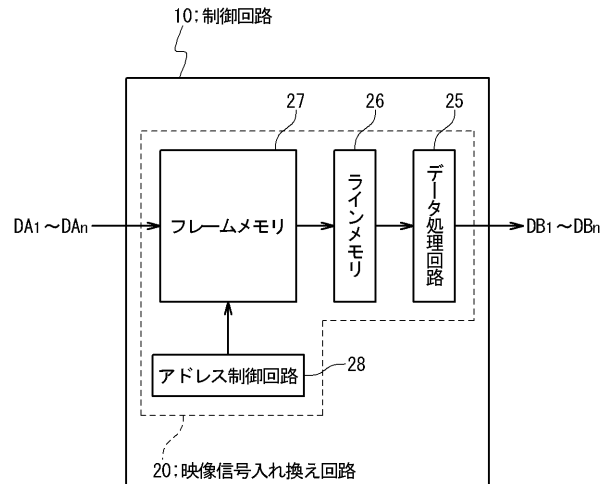
【図 9 B】



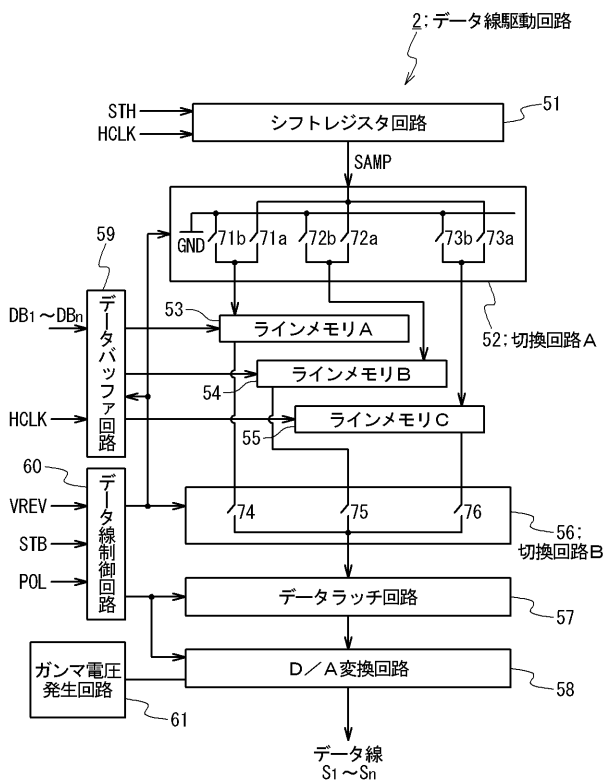
【図 9 C】



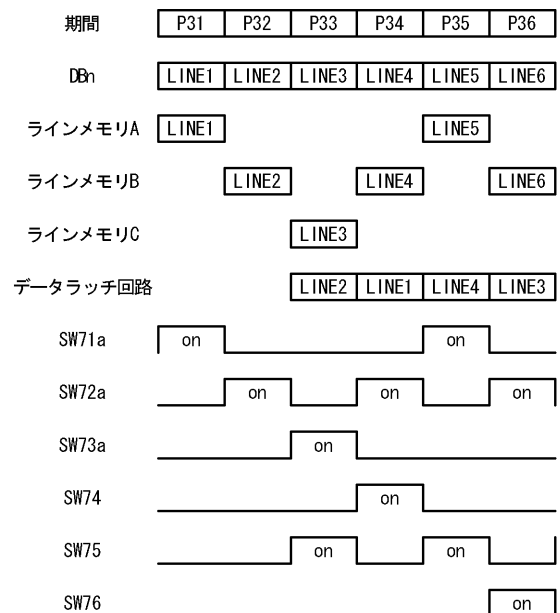
【図 10】



【図 11】



【図 12】



フロントページの続き

(51) Int.Cl.⁷

F I

テーマコード(参考)

G 0 9 G	3/20	6 2 1 B
G 0 9 G	3/20	6 2 2 D
G 0 9 G	3/20	6 2 2 E
G 0 9 G	3/20	6 2 2 K
G 0 9 G	3/20	6 2 3 C
G 0 9 G	3/20	6 2 3 G
G 0 9 G	3/20	6 2 3 V
G 0 9 G	3/20	6 2 4 B
G 0 9 G	3/20	6 3 1 C
G 0 9 G	3/20	6 4 2 B
G 0 9 G	3/20	6 4 2 D

F ターム(参考) 5C006 AA16 AC11 AC27 AC28 AF02 AF07 AF42 AF43 AF44 AF46
 AF83 BB16 BC03 BC06 BC12 BC22 BC23 BF03 BF04 BF05
 BF06 BF24 BF43 FA22 FA23 FA25 FA26 FA33 FA37 FA47
 FA54 FA56
 5C080 AA10 BB06 DD05 DD06 DD10 DD26 DD29 EE29 FF11 GG14
 JJ02 JJ03 JJ04

专利名称(译)	液晶显示装置及其驱动方法		
公开(公告)号	JP2005195986A	公开(公告)日	2005-07-21
申请号	JP2004003463	申请日	2004-01-08
[标]申请(专利权)人(译)	NEC电子股份有限公司		
申请(专利权)人(译)	NEC电子公司		
[标]发明人	橋本義春		
发明人	橋本 義春		
IPC分类号	G02F1/133 G09G3/20 G09G3/36		
CPC分类号	G09G3/3648 G09G3/3677 G09G3/3688 G09G2320/0223		
FI分类号	G09G3/36 G02F1/133.525 G02F1/133.550 G09G3/20.611.A G09G3/20.611.J G09G3/20.621.B G09G3/20.622.D G09G3/20.622.E G09G3/20.622.K G09G3/20.623.C G09G3/20.623.G G09G3/20.623.V G09G3/20.624.B G09G3/20.631.C G09G3/20.642.B G09G3/20.642.D		
F-TERM分类号	2H093/NA16 2H093/NA32 2H093/NA33 2H093/NA34 2H093/NA44 2H093/NC09 2H093/NC11 2H093/NC18 2H093/NC21 2H093/NC22 2H093/NC28 2H093/NC34 2H093/NC49 2H093/ND04 2H093/ND05 2H093/ND09 2H093/ND15 2H093/ND35 5C006/AA16 5C006/AC11 5C006/AC27 5C006/AC28 5C006/AF02 5C006/AF07 5C006/AF42 5C006/AF43 5C006/AF44 5C006/AF46 5C006/AF83 5C006/BB16 5C006/BC03 5C006/BC06 5C006/BC12 5C006/BC22 5C006/BC23 5C006/BF03 5C006/BF04 5C006/BF05 5C006/BF06 5C006/BF24 5C006/BF43 5C006/FA22 5C006/FA23 5C006/FA25 5C006/FA26 5C006/FA33 5C006/FA37 5C006/FA47 5C006/FA54 5C006/FA56 5C080/AA10 5C080/BB06 5C080/DD05 5C080/DD06 5C080/DD10 5C080/DD26 5C080/DD29 5C080/EE29 5C080/FF11 5C080/GG14 5C080/JJ02 5C080/JJ03 5C080/JJ04 2H193/ZA04 2H193/ZA08 2H193/ZA19 2H193/ZC02 2H193/ZC15 2H193/ZC20 2H193/ZC36 2H193/ZD32 2H193/ZD34 2H193/ZF59 5C006/AF22		
代理人(译)	工藤稔		
其他公开文献	JP4721396B2		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种能够抑制在显示图像时在屏幕上产生的水平条纹并改善对比度的液晶显示装置及其驱动方法。液晶显示装置包括多条扫描线G1至G米，多条数据线S1至S ñ，多个像素6和扫描线驱动电路。3和数据线驱动电路2。多条数据线S1至S ñ被布置为分别与多条扫描线G1至G 米相交。多个像素6布置在多条扫描线G1至G 米和多条数据线S1至S ñ的各个交叉点处。扫描线驱动电路3通过依次扫描多条扫描线G1至G 米来驱动多个像素6。多条扫描线G1至G 米 包括第一扫描线G1和第二扫描线G2。扫描线驱动电路3在第一周期和第二周期中驱动与第一扫描线G1对应的像素6a之后，驱动与第二扫描线G2对应的像素6a。驱动与第二扫描线G2相对应的像素6b，然后驱动与第一扫描线G1相对应的像素6a。[选择图]图3

