

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2004-208267
(P2004-208267A)

(43) 公開日 平成16年7月22日(2004.7.22)

(51) Int.Cl. ⁷	F I	テーマコード (参考)
H03F 3/50	H03F 3/50	2H093
G02F 1/133	G02F 1/133 550	5C006
G09G 3/20	G02F 1/133 575	5C080
G09G 3/36	G09G 3/20 611A	5J500
H03F 1/02	G09G 3/20 623B	
審査請求 未請求 請求項の数 14 O L (全 16 頁) 最終頁に続く		

(21) 出願番号	特願2003-195213 (P2003-195213)	(71) 出願人	000010098
(22) 出願日	平成15年7月10日 (2003.7.10)		アルプス電気株式会社
(31) 優先権主張番号	特願2002-322540 (P2002-322540)		東京都大田区雪谷大塚町1番7号
(32) 優先日	平成14年11月6日 (2002.11.6)	(74) 代理人	100106909
(33) 優先権主張国	日本国 (JP)		弁理士 棚井 澄雄
		(74) 代理人	100064908
			弁理士 志賀 正武
		(74) 代理人	100108578
			弁理士 高橋 昭男
		(74) 代理人	100120396
			弁理士 杉浦 秀幸
		(74) 代理人	100094400
			弁理士 鈴木 三義
		(74) 代理人	100108453
			弁理士 村山 靖彦
		最終頁に続く	

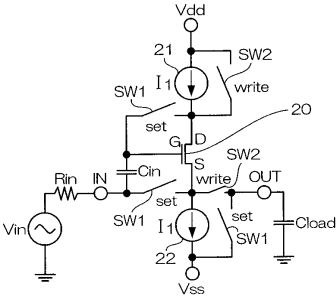
(54) 【発明の名称】 ソースフォロア回路および液晶表示装置の駆動装置

(57) 【要約】

【課題】出力段部のロスを極力減らし、データドライバ、ひいては液晶表示装置全体の低消費電力化を実現する。

【解決手段】set信号が「H」となると、nMOSトランジスタ20がド레인電流I1で、ソース電位Vinを保つようなVgs(pre)が入力容量Cinに保持される。次に、set信号が「L」、write信号が「H」となると、nMOSトランジスタ20は、ソースフォロワ動作し、負荷容量Cloadを充電しながら、安定状態となる。負荷容量への書き込みが終わったタイミングで、set信号、write信号とも「L」にする。これにより、負荷容量に書き込み電圧を保持する。同時に、電流源21、22を強制的にオフすることにより、微小なバイアス電流I1が完全に止まり、電流消費が全くなくなる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

当該回路への入力電圧で負荷を駆動するソースフォロア回路において、
M O S トランジスタと、
前記 M O S トランジスタのゲート電位を記憶する容量手段と、
前記 M O S トランジスタへバイアス電流を供給するソース側電流源とドレイン側電流源と
からなるバイアス電流供給手段と、
前記 M O S トランジスタのソース電位を強制的に前記入力電圧にすることにより前記バイ
アス電流供給手段によって変動した前記 M O S トランジスタのゲート電位を前記容量手段
に保持した後、前記容量手段に保持されたゲート電位を、前記 M O S トランジスタのゲート 10
に印加して前記 M O S トランジスタを動作させ、前記ソース側電流源を動作させること
によって前記負荷を前記入力電圧で駆動する制御手段と
を具備することを特徴とするソースフォロア回路。

【請求項 2】

前記 M O S トランジスタは、n M O S トランジスタと p M O S トランジスタとからなり、
前記制御手段は、前記入力電圧の値に基づいて、前記 n M O S トランジスタまたは前記 p
M O S トランジスタのいずれか一方を選択的に駆動することを特徴とする請求項 1 記載の
ソースフォロア回路。

【請求項 3】

前記容量手段の片側は、接地または定電位に接続されていることを特徴とする請求項 1 ま 20
たは 2 記載のソースフォロア回路。

【請求項 4】

当該回路への入力電圧で負荷を駆動するソースフォロア回路において、
第 1 の M O S トランジスタと、
前記第 1 の M O S トランジスタのゲート電位を記憶する第 1 の容量手段と、
前記第 1 の M O S トランジスタへバイアス電流を供給するソース側電流源とドレイン側電
流源とからなる第 1 のバイアス電流供給手段と、
第 2 の M O S トランジスタと、
前記第 2 の M O S トランジスタのゲート電位を記憶する第 2 の容量手段と、
前記第 2 の M O S トランジスタへバイアス電流を供給するドレイン側電流源とからなる第 30
2 のバイアス電流供給手段と、
前記第 1 の M O S トランジスタのソース電位を強制的に前記入力電圧にすることにより前
記第 1 のバイアス電流供給手段によって変動した前記第 1 の M O S トランジスタのゲート
電位を前記第 1 の容量手段に保持するとともに、前記第 2 のバイアス電流供給手段によっ
て発生する前記第 2 の M O S トランジスタのゲート電圧と前記入力電圧との差分の電位を
、前記第 2 の容量手段に保持した後、前記第 1 の容量手段に保持されたゲート電位を、前
記第 1 の M O S トランジスタのゲートに印加して前記第 1 の M O S トランジスタを動作さ
せ、前記第 2 の容量手段に保持された差分の電位を前記負荷への出力電圧と、前記第 2 の
M O S トランジスタのゲートの間に印加して前記第 2 の M O S トランジスタを動作させて 40
、前記負荷を前記入力電圧で駆動する制御手段と
を具備することを特徴とするソースフォロア回路。

【請求項 5】

前記第 1 の M O S トランジスタおよび前記第 2 の M O S トランジスタが共に n M O S トラ
ンジスタである第 1 の回路と、
前記第 1 の M O S トランジスタおよび前記第 2 の M O S トランジスタが共に p M O S トラ
ンジスタである第 2 の回路とを具備し、
前記制御手段は、前記入力電圧の値に基づいて、前記第 1 の回路または前記第 2 の回路の
いずれか一方を選択的に駆動することを特徴とする請求項 4 記載のソースフォロア回路。

【請求項 6】

前記第 2 の M O S トランジスタが第 3 及び第 4 の 2 つの M O S トランジスタから構成され 50

ており、該第 3 及び第 4 の MOS トランジスタのソース及びゲート同士を共通接続し、第 3 及び第 4 の MOS トランジスタのゲート電圧と前記入力電圧との差分の電位を、前記第 2 の容量手段に保持する時と、前記第 2 の容量手段に保持された差分の電位を、前記負荷への出力端子と前記第 3 及び第 4 の MOS トランジスタのゲートとの間に印加する時とにおいて、第 3 及び第 4 の MOS トランジスタのドレイン間に設けられたドレイン間抵抗を制御する抵抗制御手段を具備することを特徴とする請求項 4 または 5 に記載のソースフォロア回路。

【請求項 7】

前記ドレイン間抵抗が第 5、第 6、第 7 の MOS トランジスタで構成され、前記抵抗制御手段により各トランジスタがオン/オフ制御されて、抵抗値が調整されることを特徴とする請求項 6 に記載のソースフォロア回路。 10

【請求項 8】

画素電極が接続された薄膜トランジスタを介してクロス接続された走査線とデータ線とからなる液晶表示装置に対して、アナログ信号を前記データ線に送出するデータドライバを具備する液晶表示装置の駆動装置であって、

前記データドライバは、

MOS トランジスタと、

前記 MOS トランジスタのゲート電位を記憶する容量手段と、

前記 MOS トランジスタへバイアス電流を供給するソース側電流源とドレイン側電流源とからなるバイアス電流供給手段と、 20

前記 MOS トランジスタのソース電位を強制的に前記入力電圧にすることにより前記バイアス電流供給手段によって変動した前記 MOS トランジスタのゲート電位を前記容量手段に保持した後、前記容量手段に保持されたゲート電位を、前記 MOS トランジスタのゲートに印加して前記 MOS トランジスタを動作させ、前記ソース側電流源を動作させることによって前記負荷を前記入力電圧で駆動する制御手段とからなるバッファ回路を具備することを特徴とする液晶表示装置の駆動装置。

【請求項 9】

前記 MOS トランジスタは、n MOS トランジスタと p MOS トランジスタとからなり、前記制御手段は、前記入力電圧の値に基づいて、前記 n MOS トランジスタまたは前記 p MOS トランジスタのいずれか一方を選択的に駆動することを特徴とする請求項 8 に記載の液晶表示装置の駆動装置。 30

【請求項 10】

前記容量手段の片側は、接地または定電位に接続されていることを特徴とする請求項 8 または 9 に記載の液晶表示装置の駆動装置。

【請求項 11】

画素電極が接続された薄膜トランジスタを介してクロス接続された走査線とデータ線とからなる液晶表示装置に対して、アナログ信号を前記データ線に送出するデータドライバを具備する液晶表示装置の駆動装置であって、

前記データドライバは、

第 1 の MOS トランジスタと、 40

前記第 1 の MOS トランジスタのゲート - ソースバイアス電圧を記憶する第 1 の容量手段と、

前記第 1 の MOS トランジスタへバイアス電流を供給するソース側電流源とドレイン側電流源とからなる第 1 のバイアス電流供給手段と、

第 2 の MOS トランジスタと、

前記第 2 の MOS トランジスタのゲート電位を記憶する第 2 の容量手段と、

前記第 2 の MOS トランジスタへバイアス電流を供給するドレイン側電流源とからなる第 2 のバイアス電流供給手段と、

前記第 1 の MOS トランジスタのソース電位を強制的に前記入力電圧にすることにより前記第 1 のバイアス電流供給手段によって変動した前記第 1 の MOS トランジスタのゲート 50

電位を前記第 1 の容量手段に保持するとともに、前記第 2 のバイアス電流供給手段によって発生する前記第 2 の MOS トランジスタのゲート電圧と前記入力電圧との差分の電位を、前記第 2 の容量手段に保持した後、前記第 1 の容量手段に保持されたゲート電位を、前記第 1 の MOS トランジスタのゲートに印加して前記第 1 の MOS トランジスタを動作させ、前記第 2 の容量手段に保持された差分の電位を前記負荷への出力電圧と、前記第 2 の MOS トランジスタのゲートの間に印加して前記第 2 の MOS トランジスタを動作させて、前記負荷を前記入力電圧で駆動する制御手段とからなるバッファ回路を具備することを特徴とする液晶表示装置の駆動装置。

【請求項 1 2】

前記データドライバは、

10

さらに、前記第 1 の MOS トランジスタおよび前記第 2 の MOS トランジスタが共に n MOS トランジスタである第 1 の回路と、

前記第 1 の MOS トランジスタおよび前記第 2 の MOS トランジスタが共に p MOS トランジスタである第 2 の回路とを具備し、

前記制御手段は、前記入力電圧の値に基づいて、前記第 1 の回路または前記第 2 の回路のいずれか一方を選択的に駆動することを特徴とする請求項 1 1 記載の液晶表示装置の駆動装置。

【請求項 1 3】

前記第 2 の MOS トランジスタが第 3 及び第 4 の 2 つの MOS トランジスタから構成されており、該第 3 及び第 4 の MOS トランジスタのソース及びゲート同士を共通接続し、第 3 及び第 4 の MOS トランジスタのゲート電圧と前記入力電圧との差分の電位を、前記第 2 の容量手段に保持する時と、前記第 2 の容量手段に保持された差分の電位を、前記負荷への出力端子と前記第 3 及び第 4 の MOS トランジスタのゲートとの間に印加する時とにおいて、第 3 及び第 4 の MOS トランジスタのドレイン間に設けられたドレイン間抵抗の抵抗値を制御する抵抗制御手段を具備することを特徴とする請求項 1 1 または 1 2 に記載の液晶表示装置の駆動装置。

20

【請求項 1 4】

前記ドレイン間抵抗が第 5、第 6、第 7 の MOS トランジスタで構成され、前記抵抗制御手段により各トランジスタがオン / オフ制御されて、抵抗値が調整されることを特徴とする請求項 1 3 記載の液晶表示装置の駆動装置。

30

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、低消費電力アナログバッファ回路および駆動回路装置に関し、特に液晶表示装置のソースドライバの出力段に用いられるソースフォロア回路および液晶表示装置の駆動装置に関する。

【0002】

【従来の技術】

液晶表示装置は、図 1 1 に示すように走査線 1、データ線 2、薄膜トランジスタ 3、画素電極 4、液晶を介した対向電極（図示略）からなる。走査線 1 は、スキャンドライバ 1 0 により順次選択され、データドライバ 1 1 は、アナログ信号をデータ線 2 に送出する。

40

【0003】

データドライバ 1 1 は、タイミングコントロール 9 に従って、シフトレジスタ・データラッチ 1 2 によりマルチプレクスされたデジタル信号を各チャネルに分配し、R - S t r i n g 1 3 および D / A コンバータ 1 4 により D A 変換し、バッファ 1 5 を介し、データ線 2 に送出する。バッファ 1 5 は、容量負荷を有するデータ線 2 を速やかに駆動するために必要とされ、図 1 2 に示すオペアンプを用いた回路が一般に用いられている（例えば、特許文献 1 参照。）。

【0004】

【特許文献 1】

50

特開 2000 - 338461 号公報

【0005】

【発明が解決しようとする課題】

ところで、図 12 において、出力段に使用されるオペアンプ P3 は、その動作の維持のため、バイアス電流 I1、I2 が必要とされる。特に、バイアス電流 I2 は、負荷を駆動するために大きな値にしなければいけない。例えば、負荷 $C_{load} = 30 \text{ pF}$ とし、 $V_{out} = 5 \text{ V}$ を $t = 5 \text{ } \mu\text{s}$ で書き込む場合、少なくとも、バイアス電流 I2 は、 $I2 = C_{load} \times V_{out} / t = 30 \text{ } \mu\text{A}$ 必要になる。

【0006】

しかしながら、従来、 V_{out} が 5 V 以下であっても、書き込みが終了した後においても上記バイアス電流 I2 を流していたために、このような回路で QVGA パネル ($320 \times \text{RGB}$) を駆動しようとする、

$I2 \times 320 \times 3 \times 5 = 144 \text{ mW}$

をオペアンプ P3 の出力段だけで消費することになる。

【0007】

本来、負荷の充放電に要する電力を簡易的に見積もると、

$I / 2 f C V^2 = 1 / 2 \times (60 \text{ Hz} \times 240) \times (30 \text{ pF} \times 320 \times 3) \times (5 \text{ V})^2 = 5.2 \text{ mW}$

となる。実際には、書き込み終了時にバイアス電流をカットオフするなどの低電力化の対応をしていたが、該対応だけでは十分では無く、ほとんどはオペアンプ内のロスとして消費されている。すなわち、液晶表示装置が携帯端末として使われる場合には、低消費電力化が要求されるため、バッファ 15 の消費電力が大きな問題となっている。

【0008】

この発明は上述した事情に鑑みてなされたもので、出力段部のロスを極力減らし、データドライバ、ひいては液晶表示装置全体の低消費電力化を実現することができるソースフォロア回路および液晶表示装置の駆動装置を提供することを目的とする。

【0009】

【課題を解決するための手段】

上述した問題点を解決するために、請求項 1 記載の発明では、当該回路への入力電圧で負荷を駆動するソースフォロア回路において、MOS トランジスタと、前記 MOS トランジスタのゲート電位を記憶する容量手段と、前記 MOS トランジスタへバイアス電流を供給するソース側電流源とドレイン側電流源とからなるバイアス電流供給手段と、前記 MOS トランジスタのソース電位を強制的に前記入力電圧にすることにより前記バイアス電流供給手段によって変動した前記 MOS トランジスタのゲート電位を前記容量手段に保持した後、前記容量手段に保持されたゲート電位を、前記 MOS トランジスタのゲートに印加して前記 MOS トランジスタを動作させ、前記ソース側電流源を動作させることによって前記負荷を前記入力電圧で駆動する制御手段とを具備することを特徴とする。

【0010】

また、請求項 2 記載の発明では、請求項 1 記載のソースフォロア回路において、前記 MOS トランジスタは、n MOS トランジスタと p MOS トランジスタとからなり、前記制御手段は、前記入力電圧の値に基づいて、前記 n MOS トランジスタまたは前記 p MOS トランジスタのいずれか一方を選択的に駆動することを特徴とする。

【0011】

また、請求項 3 記載の発明では、請求項 1 または 2 記載のソースフォロア回路において、前記容量手段の片側は、接地または定電位に接続されていることを特徴とする。

【0012】

また、上述した問題点を解決するために、請求項 4 記載の発明では、当該回路への入力電圧で負荷を駆動するソースフォロア回路において、第 1 の MOS トランジスタと、前記第 1 の MOS トランジスタのゲート電位を記憶する第 1 の容量手段と、前記第 1 の MOS トランジスタへバイアス電流を供給するソース側電流源とドレイン側電流源とからなる第 1

10

20

30

40

50

のバイアス電流供給手段と、第2のMOSトランジスタと、前記第2のMOSトランジスタのゲート電位を記憶する第2の容量手段と、前記第2のMOSトランジスタへバイアス電流を供給するドレイン側電流源とからなる第2のバイアス電流供給手段と、前記第1のMOSトランジスタのソース電位を強制的に前記入力電圧にすることにより前記第1のバイアス電流供給手段によって変動した前記第1のMOSトランジスタのゲート電位を前記第1の容量手段に保持するとともに、前記第2のバイアス電流供給手段によって発生する前記第2のMOSトランジスタのゲート電圧と前記入力電圧との差分の電位を、前記第2の容量手段に保持した後、前記第1の容量手段に保持されたゲート電位を、前記第1のMOSトランジスタのゲートに印加して前記第1のMOSトランジスタを動作させ、前記第2の容量手段に保持された差分の電位を前記負荷への出力電圧と、前記第2のMOSトランジスタのゲートの間に印加して前記第2のMOSトランジスタを動作させて、前記負荷を前記入力電圧で駆動する制御手段とを具備することを特徴とする。

10

【0013】

また、請求項5記載の発明では、請求項4記載のソースフォロア回路において、前記第1のMOSトランジスタおよび前記第2のMOSトランジスタが共にnMOSトランジスタである第1の回路と、前記第1のMOSトランジスタおよび前記第2のMOSトランジスタが共にpMOSトランジスタである第2の回路とを具備し、前記制御手段は、前記入力電圧の値に基づいて、前記第1の回路または前記第2の回路のいずれか一方を選択的に駆動することを特徴とする。

【0014】

また、請求項6記載の発明では、請求項4または5に記載のソースフォロア回路において、前記第2のMOSトランジスタが第3及び第4の2つのMOSトランジスタから構成されており、該第3及び第4のMOSトランジスタのソース及びゲート同士を共通接続し、第3及び第4のMOSトランジスタのゲート電圧と前記入力電圧との差分の電位を、前記第2の容量手段に保持する時と、前記第2の容量手段に保持された差分の電位を、前記負荷への出力端子と前記第3及び第4のMOSトランジスタのゲートとの間に印加する時とにおいて、第3及び第4のMOSトランジスタのドレイン間に設けられたドレイン間抵抗を制御する抵抗制御手段を具備することを特徴とする。

20

【0015】

また、請求項7記載の発明では、請求項6記載のソースフォロア回路において、前記ドレイン間抵抗が第5、第6、第7のMOSトランジスタで構成され、前記抵抗制御手段により各トランジスタがオン/オフ制御されて、抵抗値が調整されることを特徴とする。

30

【0016】

また、上述した問題点を解決するために、請求項8記載の発明では、画素電極が接続された薄膜トランジスタを介してクロス接続された走査線とデータ線とからなる液晶表示装置に対して、アナログ信号を前記データ線に送出するデータドライバを具備する液晶表示装置の駆動装置であって、前記データドライバは、MOSトランジスタと、前記MOSトランジスタのゲート電位を記憶する容量手段と、前記MOSトランジスタへバイアス電流を供給するソース側電流源とドレイン側電流源とからなるバイアス電流供給手段と、前記MOSトランジスタのソース電位を強制的に前記入力電圧にすることにより前記バイアス電流供給手段によって変動した前記MOSトランジスタのゲート電位を前記容量手段に保持した後、前記容量手段に保持されたゲート電位を、前記MOSトランジスタのゲートに印加して前記MOSトランジスタを動作させ、前記ソース側電流源を動作させることによって前記負荷を前記入力電圧で駆動する制御手段とからなるバッファ回路を具備することを特徴とする。

40

【0017】

また、請求項9記載の発明では、請求項8記載の液晶表示装置の駆動装置において、前記MOSトランジスタは、nMOSトランジスタとpMOSトランジスタとからなり、前記制御手段は、前記入力電圧の値に基づいて、前記nMOSトランジスタまたは前記pMOSトランジスタのいずれか一方を選択的に駆動することを特徴とする。

50

【0018】

また、請求項10記載の発明では、請求項8または9記載の液晶表示装置の駆動装置において、前記容量手段の片側は、接地または定電位に接続されていることを特徴とする。

【0019】

また、上述した問題点を解決するために、請求項11記載の発明では、画素電極が接続された薄膜トランジスタを介してクロス接続された走査線とデータ線とからなる液晶表示装置に対して、アナログ信号を前記データ線に送出するデータドライバを具備する液晶表示装置の駆動装置であって、前記データドライバは、

第1のMOSトランジスタと、前記第1のMOSトランジスタのゲート・ソースバイアス電圧を記憶する第1の容量手段と、前記第1のMOSトランジスタへバイアス電流を供給するソース側電流源とドレイン側電流源とからなる第1のバイアス電流供給手段と、第2のMOSトランジスタと、前記第2のMOSトランジスタのゲート電位を記憶する第2の容量手段と、前記第2のMOSトランジスタへバイアス電流を供給するドレイン側電流源とからなる第2のバイアス電流供給手段と、前記第1のMOSトランジスタのソース電位を強制的に前記入力電圧にすることにより前記第1のバイアス電流供給手段によって変動した前記第1のMOSトランジスタのゲート電位を前記第1の容量手段に保持するとともに、前記第2のバイアス電流供給手段によって発生する前記第2のMOSトランジスタのゲート電圧と前記入力電圧との差分の電位を、前記第2の容量手段に保持した後、前記第1の容量手段に保持されたゲート電位を、前記第1のMOSトランジスタのゲートに印加して前記第1のMOSトランジスタを動作させ、前記第2の容量手段に保持された差分の電位を前記負荷への出力電圧と、前記第2のMOSトランジスタのゲートの間に印加して前記第2のMOSトランジスタを動作させて、前記負荷を前記入力電圧で駆動する制御手段とからなるバッファ回路を具備することを特徴とする。

【0020】

また、請求項12記載の発明では、請求項11記載の液晶表示装置の駆動装置において、前記データドライバは、さらに、前記第1のMOSトランジスタおよび前記第2のMOSトランジスタが共にnMOSトランジスタである第1の回路と、前記第1のMOSトランジスタおよび前記第2のMOSトランジスタが共にpMOSトランジスタである第2の回路とを具備し、前記制御手段は、前記入力電圧の値に基づいて、前記第1の回路または前記第2の回路のいずれか一方を選択的に駆動することを特徴とする。

【0021】

また、請求項13記載の発明では、請求項11または12に記載の液晶表示装置の駆動装置において、前記第2のMOSトランジスタが第3及び第4の2つのMOSトランジスタから構成されており、該第3及び第4のMOSトランジスタのソース及びゲート同士を共通接続し、第3及び第4のMOSトランジスタのゲート電圧と前記入力電圧との差分の電位を、前記第2の容量手段に保持する時と、前記第2の容量手段に保持された差分の電位を、前記負荷への出力端子と前記第3及び第4のMOSトランジスタのゲートとの間に印加する時とにおいて、第3及び第4のMOSトランジスタのドレイン間に設けられたドレイン間抵抗の抵抗値を制御する抵抗制御手段を具備することを特徴とする。

【0022】

また、請求項14記載の発明では、請求項13記載の液晶表示装置の駆動装置において、前記ドレイン間抵抗が第5、第6、第7のMOSトランジスタで構成され、前記抵抗制御手段により各トランジスタがオン/オフ制御されて、抵抗値が調整されることを特徴とする。

【0023】

この発明では、制御手段により、前記MOSトランジスタのソース電位を強制的に前記入力電圧にすることにより前記バイアス電流供給手段によって変動した前記MOSトランジスタのゲート電位を前記容量手段に保持した後、前記容量手段に保持されたゲート電位を、前記MOSトランジスタのゲートに印加して前記MOSトランジスタを動作させ、前記ソース側電流源を動作させることによって前記負荷を前記入力電圧で駆動する。したがっ

て、出力段部のロスを極力減らし、データドライバ、ひいては液晶表示装置全体の低消費電力化を実現することが可能となる。

【0024】

【発明の実施の形態】

以下、図面を用いて本発明の実施の形態を説明する。

A．第1実施形態

図1は、本発明の第1実施形態によるアナログバッファ回路の構成を示す等価回路図である。図1において、nMOSトランジスタ20と、同じ電流を流す電流源21, 22がそれぞれ、ドレインD、ソースSに接続され、ゲートGと入力 C_{in} が接続されている。また、set信号で閉じるアナログスイッチSW1、write信号で閉じるアナログスイッチSW2が図示するように接続されている。また、動作は、プリチャージ期間、書き込み期間、保持期間の3つの状態からなる。

10

【0025】

図2は、本第1実施形態によるアナログバッファ回路の動作を説明するためのタイミングチャートである。

【0026】

(a) プリチャージ期間

set信号はhighとなると、アナログスイッチSW1がオン状態となり、nMOSトランジスタ20には電流源21からドレイン電流 I_1 が流れる。ゲート・ソース間の電圧 V_{gs} は、ドレイン電流 I_1 に見合うように自動的にバイアスされる。また、ソース電位は V_{in} にセットされるが、ソースノードの入出力電流の関係から V_{in} からソースノードへは、電流は流れ込まない。すなわち、入力インピーダンスは、十分大きい値が確保される。

20

【0027】

このようにして、nMOSトランジスタ20がドレイン電流 I_1 で、ソース電位 V_{in} を保つような $V_{gs}(pre)$ が入力容量 C_{in} に保持される。そのときゲート電位は $V_{in} + V_{gs}(pre)$ となる。一方、負荷 C_{load} は、 V_{ss} に放電される。

【0028】

(b) 書き込み期間

set信号がlow、write信号がhighとなると、アナログスイッチSW1がオフ状態、アナログスイッチSW2がオン状態となる。ゲート電位は、 $V_{in} + V_{gs}(pre)$ のままであるが、nMOSトランジスタ20は、ソースフォロワ動作し、負荷容量 C_{load} を充電しながら、ソース電位が V_{in} 、ドレイン電流が I_1 で安定状態となる。ドレイン電流 I_1 が小さすぎると、nMOSトランジスタ20は、カットオフ寸前で動作することになり、ソース電位が V_{in} に近づくと駆動能力が急激に低下する。 $I_1 = 1 \mu A$ 程度とすることで、 $30 pF$ を $4 \mu sec$ 以下で充電することが可能である。

30

【0029】

(c) 保持期間

負荷容量への書き込みが終わったタイミングで、set信号、write信号ともlowにすると、アナログスイッチSW1, SW2がオフ状態となる。これにより、負荷容量に書き込み電圧を保持する。これと同時に、2つの電流源21, 22を強制的にオフする。これにより微小なバイアス電流 I_1 も完全に止まることになり、電流消費が全くなくなる。

40

【0030】

上述した動作によれば、バッファ部消費電力を約 $17 mW$ にすることができた。また、上述した動作は、nMOSトランジスタ20を用いた場合だが、回路を対象に構成することで、pMOSトランジスタで構成してもよい。

【0031】

B．第2実施形態

次に、本発明の第2実施形態について説明する。上述した第1実施形態では、電流源21

50

、22での電圧降下と、nMOSトランジスタ20の動作領域とを飽和領域に維持するため、OUTはV_{dd}より1V程度低いところまでしか動作しない。pMOSトランジスタの場合には、逆にV_{ss}より1V程度高いところまでしか動作しない。これを解決したのが第2実施形態である。

【0032】

図3は、本発明の第2実施形態によるアナログバッファ回路の構成を示す等価回路図である。制御信号発生回路30は、インバータ2段のラッチ回路31と、該ラッチ回路31から発生する制御信号を作る回路32とからなる。ラッチ回路31により、入力信号INは、電源電圧の約半分の閾値(V_{lt})で振り分けられ、ラッチされる。すなわち、IN < V_{lt}でsel = Low、IN ≥ V_{lt}でsel = Highとなる。

10

【0033】

スイッチSW4は、Latch信号(ネガティブ)によりオン状態となり、スイッチSW5は、Latch信号によりオン状態となる。WR_nは、書き込み期間にnMOSトランジスタ35経由で充電するスイッチSW7を閉じる制御信号、WR_pは、同じくpMOSトランジスタ36側の信号で、スイッチSW8を閉じる。また、スイッチSW9は、Sel信号(ネガティブ)によりオン状態となる。また、スイッチSW10は、Sel信号によりオン状態となる。また、電流源としては、pMOSトランジスタ37、nMOSトランジスタ38を用いている。

【0034】

図4は、本第2実施形態によるアナログバッファ回路の動作を説明するためのタイミングチャートである。図4に示す1H期間は、IN < V_{lt}であり、Sel = Lowとなる。したがって、プリチャージ期間にOUTはV_{ss}側に放電される。次の書き込み期間では、WR_n信号によりスイッチSW7が閉じ、nMOSトランジスタ35のソースフォロア回路により、OUTは所望の電位充電される。

20

【0035】

2H期間は、IN ≥ V_{lt}であり、Sel = Highとなる。したがって、プリチャージ期間にOUTはV_{dd}で充電される。次の書き込み期間では、WR_p信号によりスイッチSW8が閉じ、pMOSトランジスタ36のソースフォロア回路により、OUTは所望の電位まで放電される。

【0036】

このようにして、V_{lt}より下側では、nMOSトランジスタ35のソースフォロア回路が動作し、V_{lt}より上側では、pMOSトランジスタ36のソースフォロア回路が動作し、V_{ss}からV_{dd}のほぼ全域で動作することができる。

30

【0037】

C. 第3実施形態

次に、本発明の第3実施形態について説明する。図5は、本発明の第3実施形態によるアナログバッファ回路の構成を示す等価回路図である。なお、図1に対応する部分には同一の符号を付けて説明を省略する。入力容量C_{in}の片側のノードがグランドに接続されている。プリチャージ期間のゲート電位は、V_{gs}(pre) + V_{in}であり、この電圧がそのまま容量C_{in}に保持される。したがって、書き込み期間に入力INが切り離されても、V_{in}の情報は保たれ、第1実施形態と同様な動作を行う。

40

【0038】

一般に、IC上に容量を形成する場合、プロセスによっては、安定な容量形成は片側の電極を基板電位にせざるを得ない場合がある。このような場合、本第3実施形態の回路構成が有効になる。また、書き込み期間には、入力INを切り離すことが可能で、V_{in}側のDA変換処理を並列に行えるメリットもある。

【0039】

D. 第4実施形態

次に、本発明の第4実施形態について説明する。前述した第1ないし第3実施形態においては、ソースフォロアの出力電圧範囲に制限があることより、書き込み動作前にプリチャ

50

ージ動作が必要となる。このことは、本来必要な出力電圧以上に負荷が駆動されることがあることを示しており、まだ無駄な電力消費がある。これを解決したのが第4実施形態である。

【0040】

図6は、本発明の第4実施形態によるアナログバッファ回路の構成を示す等価回路図である。動作タイミングは、第1実施形態と同じく図2の通りであるが、負荷Cloadの放電動作は行わない。図6において、MOSトランジスタQ1は、図1と同じ動作を行う。MOSトランジスタQ1は、負荷容量Cloadに向かって電流を供給する機能を果たす。

【0041】

一方、MOSトランジスタQ2は、I2に見合うゲート・ソース間電圧Vgsにバイアスされた状態での入力電位とゲート電位の差分の電位が入力容量Cin2に保持されているので、書き込み期間においては、負荷容量Cloadの電位がVinになった時にドレイン電流がI2になる。

【0042】

ここで、I1 = I2としておくと、Vin < 負荷容量Cloadの電位のときは、負荷容量Cloadの電位がVinになるまでMOSトランジスタQ2が電流を引き込む動作を行い、MOSトランジスタQ1はカットオフし、Vin > 負荷容量Cloadの電位のときは、負荷容量Cloadの電位がVinになるまでMOSトランジスタQ1が電流を供給する動作を行い、MOSトランジスタQ2はカットオフする。

【0043】

このように、本発明の第4実施形態では、負荷容量Cloadに対してプッシュプル動作が可能となる。ゆえに、プリチャージ動作が不要となり、プリチャージ動作での電力消費を削減でき、さらに低電力化が実現できる。

【0044】

E．第5実施形態

次に、本発明の第5実施形態について説明する。上述した第4実施形態では、第1実施形態と同様に、図6に示すMOSトランジスタQ1の動作領域を飽和領域に維持するため、OUTはVddより1V程度低いところまでしか動作しない。これを解決したのが第5実施形態である。

【0045】

図7は、本発明の第5実施形態によるアナログバッファ回路の構成を示す等価回路図である。なお、動作説明のためのタイミングチャートは図4と同じである。第2実施形態と同様に、制御信号発生回路40を用いる。制御信号発生回路40では、第2実施形態と同じく、IN < Vltでsel = low、IN > = Vltでsel = highとなるが、sel信号とset信号とにより、STn信号、STp信号が新たに出力される。スイッチSW11は、STn信号によりオン状態となり、スイッチSW12は、STp信号によりオン状態となる。これらのSTn信号、STp信号を用いて、IN < VltでnMOSトランジスタQ1、Q2が機能し、IN > = VltでpMOSトランジスタQ3、Q4が機能することで、VssからVddのほぼ全域で動作することができる。

【0046】

F．第6実施形態

次に、本発明の第6実施形態について説明する。上述した第5実施形態において、VinがVssあるいはVddに非常に近くなると、MOSトランジスタQ2あるいはMOSトランジスタQ4の動作領域が飽和領域から線形領域になってしまう。したがって、VinとOUTに電位差が生じる。本第6実施形態では、入力電圧INと出力電圧OUTの電位差を小さくするものである。

【0047】

上述した第5実施形態において、図7に示すMOSトランジスタQ4（図8（a））を、図8（b）に示すように、複数のMOSトランジスタQ5～Q9により構成する。MOS

10

20

30

40

50

トランジスタの飽和領域でのドレイン電流 I_d は、以下の (1) 式で求められる。

【0048】

【数1】

$$I_d = \frac{1}{2} \cdot K_0 \cdot \frac{W}{L} \cdot (V_{gs} - V_t)^2 \quad \dots (1)$$

【0049】

ここで、 K_0 は製造プロセスなどで決まる定数、 W は MOS トランジスタのチャンネル幅、 L はチャンネル長、 V_{gs} はゲート - ソース間電圧、 V_t は閾値電圧である。 10

【0050】

図8(a)において、MOS トランジスタ Q_4 のソース - ドレイン間電圧が ($V_{gs} - V_t$) よりも小さくなると、飽和領域動作から線形領域動作に移行し、ソース - ドレイン間を流れる電流 I_d が急激に減少する。線形領域でのドレイン電流 I_d は、次の (2) 式で求められる。 V_{ds} はドレイン - ソース間電圧である。

【0051】

【数2】

$$I_d = K_0 \cdot \frac{W}{L} \left\{ (V_{gs} - V_t) \cdot V_{ds} - \frac{1}{2} V_{ds}^2 \right\} \quad \dots (2)$$

20

【0052】

したがって、図7において、入力電圧 I_N が $V_{dd} - |V_{gs} - V_t|$ 以上になると、MOS トランジスタ Q_4 は、飽和領域動作から外れるため、出力電圧 O_{UT} は、入力電圧 I_N より小さな値になってしまう。

【0053】

そこで、MOS トランジスタ Q_4 を、図8(b)に示すように、MOS トランジスタ Q_5 、 Q_6 に分割する。このとき、 $W/L(Q_4) = W/L(Q_5) + W/L(Q_6)$ とする。 30

【0054】

入力電圧 I_N が十分低いときは、MOS トランジスタ Q_7 がオン状態となり、プリチャージ期間では、MOS トランジスタ Q_8 が $STpB$ 信号 (負論理のため L レベルの信号) によりオン状態、書き込み期間では、MOS トランジスタ Q_9 が $WRpB$ 信号 (負論理のため L レベルの信号) によりオン状態になる。このため、MOS トランジスタ Q_5 、 Q_6 のドレインは、常に接続状態になり、 W/L の和が MOS トランジスタ Q_4 と等しい1つの MOS トランジスタと見なせる。したがって、数式1より、図8(a)の MOS トランジスタ Q_4 のドレイン電流と図8(b)の MOS トランジスタ Q_5 、 Q_6 のドレイン電流との和は、等しくなるので、図8(a)と図8(b)の動作は変わらない。 40

【0055】

入力電圧 I_N が高くなり、 $V_{dd} - I_N$ の電位差が MOS トランジスタ Q_5 の閾値電圧と MOS トランジスタ Q_7 の閾値電圧との和より小さくなってくると、プリチャージ期間では、MOS トランジスタ Q_7 がオン状態にならなくなり、実質的に、MOS トランジスタ Q_5 にのみ、ドレイン電流が流れるようになる。ここで、

【0056】

$W/L(Q_4) = W/L(Q_5) + W/L(Q_6) > W/L(Q_5)$

【0057】

となるので、入力容量 C_{in2} に保持される電圧は、MOSトランジスタ Q_4 のみの回路構成のときより、図9に示す V_c 分だけ異なることになる。書き込み期間では、MOSトランジスタ Q_5 と MOSトランジスタ Q_6 のドレインは、常に接続される。このため、出力電圧 O_{UT} が V_{dd} に近づく過程で、バイアス電流 I_{bias} に等しくなる出力電圧 O_{UT} が V_c 分だけ V_{dd} に近づいたところで、書き込みが終了することになる。したがって、MOSトランジスタ Q_5 と MOSトランジスタ Q_6 の W/L の分割比率を適当に設定することにより、入力電圧 I_N が V_{dd} 直近の場合であっても、入力電圧 I_N と出力電圧 O_{UT} の電位差を小さくすることが可能となる。

【0058】

また、図7に示すMOSトランジスタ Q_2 においても、同様に複数のN-MOSトランジスタで構成することで、 V_{ss} 直近の入力電圧 I_N と出力電圧 O_{UT} の電位差を小さくすることが可能となる。図10は、MOSトランジスタ Q_4 (または Q_2) を、図8(b)に示す構成とした本第6実施形態による効果を示す概念図である。図10に示すように、図8(b)に示す構成より、入力電圧 I_N に対する入出力オフセット電圧の変化範囲が、図7に示す構成による、入力電圧 I_N に対する入出力オフセット電圧の変化範囲より小さくなっていることが分かる。

【0059】

【発明の効果】

以上説明したように、本発明によれば、制御手段により、前記MOSトランジスタのソース電位を強制的に前記入力電圧にすることにより前記バイアス電流供給手段によって変動した前記MOSトランジスタのゲート電位を前記容量手段に保持した後、前記容量手段に保持されたゲート電位を、前記MOSトランジスタのゲートに印加して前記MOSトランジスタを動作させることによって前記負荷を前記入力電圧で駆動するようにしたので、出力段部のロスを極力減らし、データドライバ、ひいては液晶表示装置全体の低消費電力化を実現することができるという利点が得られる。

【図面の簡単な説明】

【図1】本発明の第1実施形態によるアナログバッファ回路の構成を示す等価回路図である。

【図2】本第1実施形態によるアナログバッファ回路の動作を説明するためのタイミングチャートである。

【図3】本発明の第2実施形態によるアナログバッファ回路の構成を示す等価回路図である。

【図4】本第2実施形態によるアナログバッファ回路の動作を説明するためのタイミングチャートである。

【図5】本発明の第3実施形態によるアナログバッファ回路の構成を示す等価回路図である。

【図6】本発明の第4実施形態によるアナログバッファ回路の構成を示す等価回路図である。

【図7】本発明の第5実施形態によるアナログバッファ回路の構成を示す等価回路図である。

【図8】本発明の第6実施形態によるアナログバッファ回路の一部構成を示す等価回路図である。

【図9】本第6実施形態のアナログバッファ回路の動作を説明するための概念図である。

【図10】本第6実施形態のアナログバッファ回路の効果を示すための概念図である。

【図11】一般的な液晶表示装置の構成を示すブロック図である。

【図12】従来の液晶表示装置におけるバッファの回路構成を示す等価回路図である。

【符号の説明】

21 ドレイン側の電流源(バイアス電流供給手段、第2のバイアス電流手段)

22 ソース側の電流源(バイアス電流供給手段、第1のバイアス電流供給手段)

10

20

30

40

50

C i n 入力容量 (容量手段)

C i n 1 入力容量 (第 1 の容量手段)

C i n 2 入力容量 (第 2 の容量手段)

2 0 M O S トランジスタ

3 5 n M O S トランジスタ (第 1 の M O S トランジスタ)

3 6 p M O S トランジスタ (第 1 の M O S トランジスタ)

3 7 p M O S トランジスタ (第 2 の M O S トランジスタ)

3 8 n M O S トランジスタ (第 2 の M O S トランジスタ)

3 0 , 4 0 制御信号発生回路 (制御信号発生手段)

Q 5 M O S トランジスタ (第 3 の M O S トランジスタ)

Q 6 M O S トランジスタ (第 4 の M O S トランジスタ)

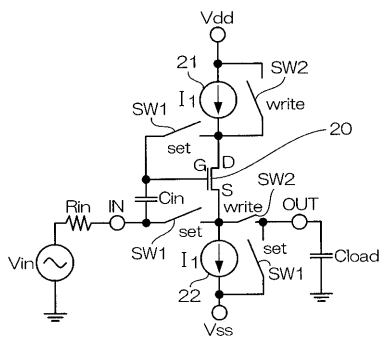
Q 7 M O S トランジスタ (第 5 の M O S トランジスタ)

Q 8 M O S トランジスタ (第 6 の M O S トランジスタ)

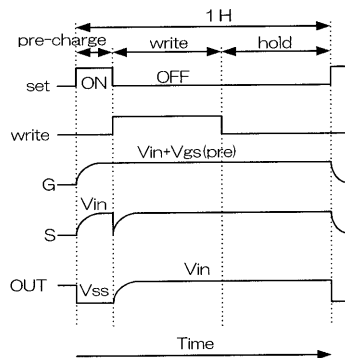
Q 9 M O S トランジスタ (第 7 の M O S トランジスタ)

10

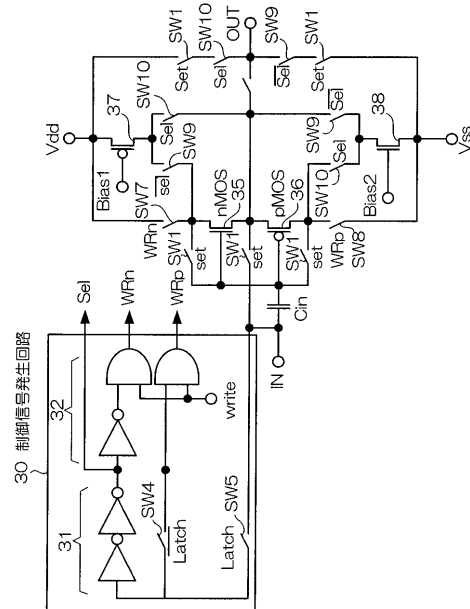
【 図 1 】



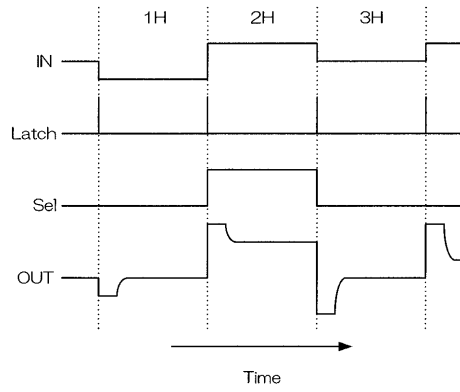
【 図 2 】



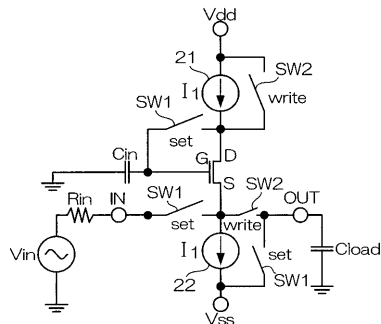
【 図 3 】



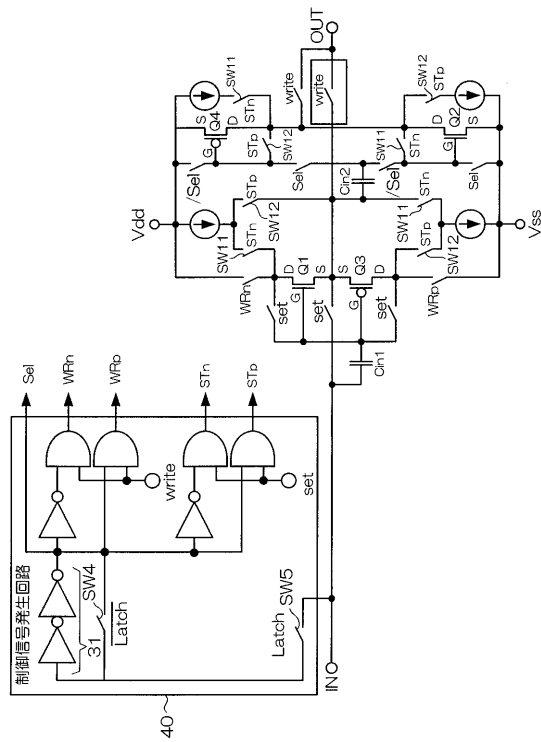
【図 4】



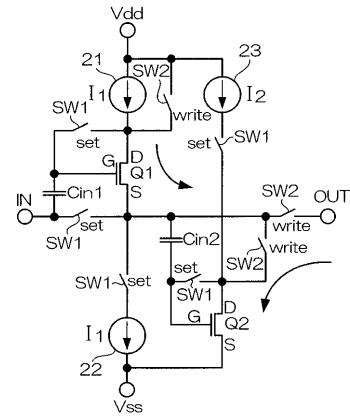
【図 5】



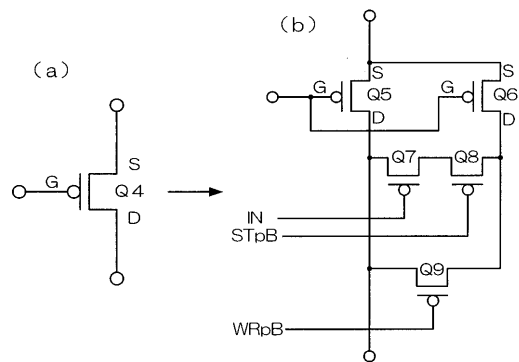
【図 7】



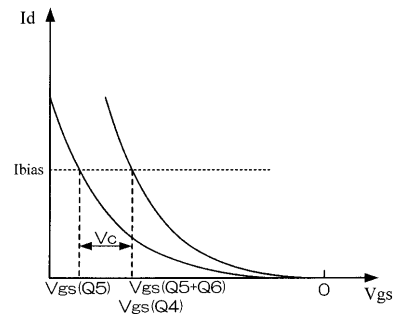
【図 6】



【図 8】



【図 9】



フロントページの続き

(51)Int.Cl.⁷ F I テーマコード(参考)

G 0 9 G	3/20	6 2 4 B
G 0 9 G	3/36	
H 0 3 F	1/02	

(74)代理人 100086379

弁理士 高柴 忠夫

(72)発明者 藤由 達巳

東京都大田区雪谷大塚町 1 番 7 号 アルプス電気株式会社内

(72)発明者 川畑 賢

東京都大田区雪谷大塚町 1 番 7 号 アルプス電気株式会社内

F ターム(参考) 2H093 NA16 NA53 NC13 NC22 NC24 NC26 NC34 ND39
 5C006 AA16 AC11 AC21 AF43 AF51 AF69 AF83 BB16 BC12 BF34
 BF37 FA47
 5C080 AA10 BB05 DD24 DD26 EE29 FF11 JJ02 JJ03 JJ04 JJ05
 5J500 AA01 AA45 AC36 AC78 AF18 AH10 AH17 AH25 AH29 AH38
 AK02 AK04 AK05 AK09 AM02 AS08 AT01 AT02 AT06

专利名称(译)	源跟随器电路和液晶显示器件的驱动装置		
公开(公告)号	JP2004208267A	公开(公告)日	2004-07-22
申请号	JP2003195213	申请日	2003-07-10
[标]申请(专利权)人(译)	阿尔卑斯电气株式会社		
申请(专利权)人(译)	阿尔卑斯电气有限公司		
[标]发明人	藤由達巳 川畑賢		
发明人	藤由 達巳 川畑 賢		
IPC分类号	G02F1/133 G09G3/20 G09G3/36 H03F1/02 H03F3/00 H03F3/50		
CPC分类号	H03F3/005 G09G3/3688 H03F3/505		
FI分类号	H03F3/50 G02F1/133.550 G02F1/133.575 G09G3/20.611.A G09G3/20.623.B G09G3/20.624.B G09G3/36 H03F1/02		
F-TERM分类号	2H093/NA16 2H093/NA53 2H093/NC13 2H093/NC22 2H093/NC24 2H093/NC26 2H093/NC34 2H093/ND39 5C006/AA16 5C006/AC11 5C006/AC21 5C006/AF43 5C006/AF51 5C006/AF69 5C006/AF83 5C006/BB16 5C006/BC12 5C006/BF34 5C006/BF37 5C006/FA47 5C080/AA10 5C080/BB05 5C080/DD24 5C080/DD26 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5J500/AA01 5J500/AA45 5J500/AC36 5J500/AC78 5J500/AF18 5J500/AH10 5J500/AH17 5J500/AH25 5J500/AH29 5J500/AH38 5J500/AK02 5J500/AK04 5J500/AK05 5J500/AK09 5J500/AM02 5J500/AS08 5J500/AT01 5J500/AT02 5J500/AT06 2H193/ZA04 2H193/ZD23		
代理人(译)	塔奈澄夫 杉浦秀行 村山彦		
优先权	2002322540 2002-11-06 JP		
其他公开文献	JP4252855B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：尽可能减少输出级部分的损耗，并实现数据驱动器的低功耗，进而实现液晶显示装置整体的低功耗化。 解决方案：当设置信号变为“H”时， $V_{gs}(\text{pre})$ 使得nMOS晶体管20保持漏极电流 I_1 ，而源极电势 V_{in} 保持在输入电容器 C_{in} 中。接下来，当设置信号变为“L”并且写入信号变为“H”时，nMOS晶体管20作为源极跟随器工作，并对负载电容 C_{load} 充电，并进入稳定状态。当完成对负载电容的写入时，设置信号和写入信号均被设置为“L”。结果，写入电压被保持在负载电容中。同时，通过强制关闭电流源21和22，完全消除了微小的偏置电流 I_1 ，并且完全消除了电流消耗。[选型图]图1

