

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A) (11)特許出願公開番号

特開2002 - 318566

(P2002 - 318566A)

(43)公開日 平成14年10月31日(2002.10.31)

(51) Int. Cl ⁷	識別記号	F I	テラコード (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 2
G 0 2 F 1/133	550	G 0 2 F 1/133	2 H 0 9 3
	575		5 C 0 0 6
	1/1368		5 C 0 8 0
G 0 9 G 3/20	611	G 0 9 G 3/20	611 A

審査請求 未請求 請求項の数 11 O L (全 15数) 最終頁に続く

(21)出願番号 特願2001 - 123844(P2001 - 123844)

(22)出願日 平成13年4月23日(2001.4.23)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 新田 博幸

神奈川県川崎市麻生区王禅寺1099番地 株式会社日立製作所システム開発研究所内

(72)発明者 古橋 勉

神奈川県川崎市麻生区王禅寺1099番地 株式会社日立製作所システム開発研究所内

(74)代理人 100075096

弁理士 作田 康夫

最終頁に続く

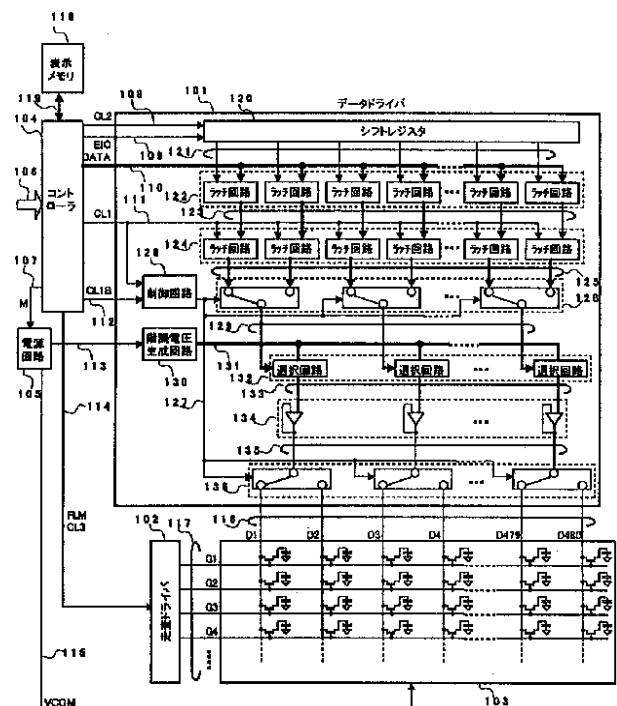
(54)【発明の名称】 液晶駆動回路及び液晶表示装置

(57)【要約】

【課題】データドライバは、各端子に出力アンプ回路を設ける構成となっているため、データドライバが駆動する液晶ディスプレイの解像度の数に対応してアンプ回路を持つことになり、低消費電力化が困難であった。本発明では、上記出力アンプ回路の定常電流の削減を可能とし、液晶ディスプレイの低消費電力化を実現する。

【解決手段】水平期間を水平分割信号によって第1期間と第2期間に分け、データドライバの隣接する奇数番目端子、偶数番目端子に対応した階調電圧を選択回路で選択して、出力アンプ回路に接続し、出力端子切り換え回路によって奇数番目端子または偶数番目端子に切り換えを行うことで、出力アンプ回路1個で水平期間の間に奇数番目端子と偶数番目端子に階調電圧を印加することができる。

図 1



【特許請求の範囲】

【請求項1】 複数の走査線と複数のデータ線がマトリックス状に配列した画素部を有する液晶パネルと、それぞれの画素の液晶表示データをラッチ回路に保持し、液晶表示データに対応した複数の液晶階調電圧を、複数の出力端子から、複数のアンプ回路で、該データ線に出力するデータドライバ回路と、

先頭ライン信号を走査ライン信号により取り込んで順次、該走査線に走査指示信号を与え、液晶階調電圧を印加する該走査線を選択する走査ドライバ回路とシステム装置から供給される表示制御信号及び表示データを該データドライバ回路と該走査ドライバ回路を駆動するための液晶制御信号及び液晶表示データに変換する液晶制御回路を具備する液晶表示装置において、上記データドライバ回路は、1本の上記走査線が選択される時間である水平期間をN分割し（Nは自然数であり、分割した1期間をサブ水平期間とする）、上記複数の出力端子をN個のグループに分け、上記アンプ回路の出力先をサブ水平期間毎に切り換え、N期間あるサブ水平期間毎に各グループの出力端子から上記アンプ回路でデータ線に液晶階調電圧を出力することを特徴とする液晶表示装置。

【請求項2】 請求項1の液晶表示装置において、上記データドライバ回路は、1本の上記走査線が選択される時間である水平期間を2分割し（分割した1期間をサブ水平期間とする）、上記複数の出力端子を2個のグループに分け、上記アンプ回路の出力先をサブ水平期間毎に切り換え、2期間あるサブ水平期間毎に各グループの出力端子から上記アンプ回路でデータ線に液晶階調電圧を出力することを特徴とする液晶表示装置。

【請求項3】 請求項1の液晶表示装置において、上記データドライバ回路は、1本の上記走査線が選択される時間である水平期間を3分割し（分割した1期間をサブ水平期間とする）、上記複数の出力端子を3個のグループに分け、上記アンプ回路の出力先をサブ水平期間毎に切り換え、3期間あるサブ水平期間毎に各グループの出力端子から上記アンプ回路でデータ線に液晶階調電圧を出力することを特徴とする液晶表示装置。

【請求項4】 請求項3の液晶表示装置において、上記液晶パネルはレッド、グリーン、ブルーの画素が縦方向に整列した縦ストライプ構造であり、上記データドライバ回路は、1本の上記走査線が選択される時間である水平期間を3分割し（分割した1期間をサブ水平期間とする）、上記複数の出力端子をレッド、グリーン、ブルーの画素に対応した3個のグループに分け、上記アンプ回路の出力先をサブ水平期間毎に切り換え、3期間あるサブ水平期間毎にレッド画素グループ、グリーン画素グループ、ブルー画素グループの3グループの出力端子から上記アンプ回路でデータ線に液晶階調電圧を出力することを特徴とする液晶表示装置。

【請求項5】 複数の走査線と複数のデータ線がマトリックス状に配列した画素部を有する液晶パネルと、先頭ライン信号を走査ライン信号により取り込んで順次、該走査線に走査指示信号を与え、液晶階調電圧を印加する該走査線を選択する走査ドライバ回路と液晶表示データを保持する表示メモリを内蔵し、走査線が選択される水平期間に同期して該表示メモリから読み出した1ラインの液晶表示データをラッチ回路に保持し、液晶表示データ対応した複数の液晶階調電圧を、複数の出力端子から、複数のアンプ回路で、該データ線に出力するデータドライバ回路を具備する液晶表示装置において、上記データドライバ回路は、1本の上記走査線が選択される時間である水平期間をN分割し（Nは自然数であり、分割した1期間をサブ水平期間とする）、上記複数の出力端子をN個のグループに分け、上記アンプ回路の出力先をサブ水平期間毎に切り換え、N期間あるサブ水平期間毎に各グループの出力端子から上記アンプ回路でデータ線に液晶階調電圧を出力することを特徴とする液晶表示装置。

【請求項6】 請求項5の液晶表示装置において、上記データドライバ回路は、1本の上記走査線が選択される時間である水平期間を2分割し（分割した1期間をサブ水平期間とする）、上記複数の出力端子を2個のグループに分け、上記アンプ回路の出力先をサブ水平期間毎に切り換え、2期間あるサブ水平期間毎に各グループの出力端子から上記アンプ回路でデータ線に液晶階調電圧を出力することを特徴とする液晶表示装置。

【請求項7】 請求項5の液晶表示装置において、上記データドライバ回路は、1本の上記走査線が選択される時間である水平期間を3分割し（分割した1期間をサブ水平期間とする）、上記複数の出力端子を3個のグループに分け、上記アンプ回路の出力先をサブ水平期間毎に切り換え、3期間あるサブ水平期間毎に各グループの出力端子から上記アンプ回路でデータ線に液晶階調電圧を出力することを特徴とする液晶表示装置。

【請求項8】 請求項7の液晶表示装置において、上記液晶パネルはレッド、グリーン、ブルーの画素が縦方向に整列した縦ストライプ構造であり、上記データドライバ回路は、1本の上記走査線が選択される時間である水平期間を3分割し（分割した1期間をサブ水平期間とする）、上記複数の出力端子をレッド、グリーン、ブルーの画素に対応した3個のグループに分け、上記アンプ回路の出力先をサブ水平期間毎に切り換え、3期間あるサブ水平期間毎にレッド画素グループ、グリーン画素グループ、ブルー画素グループの3グループの出力端子から上記アンプ回路でデータ線に液晶階調電圧を出力することを特徴とする液晶表示装置。

【請求項9】 複数の走査線と複数のデータ線がマトリックス状に配列した画素部を有する液晶パネルと、それぞれの画素の液晶表示データをラッチ回路に保持

し、液晶表示データに対応した複数の液晶階調電圧を、複数の出力端子から、複数のアンプ回路で、該データ線に出力するデータドライバ回路と、

先頭ライン信号を走査ライン信号により取り込んで順次、該走査線に走査指示信号を与え、液晶階調電圧を印加する該走査線を選択する走査ドライバ回路とシステム装置から供給される表示制御信号及び表示データを該データドライバ回路と該走査ドライバ回路を駆動するための液晶制御信号及び液晶表示データに変換する液晶制御回路を具備する液晶表示装置において、

上記データドライバ回路は、1本の上記走査線が選択される時間である水平期間を2分割し(分割した1期間をサブ水平期間とする)、上記複数の出力端子を隣接する4端子である(4n-3)番目端子と(4n-2)番目端子と(4n-1)番目端子と(4n)番目端子(n=1、2、3、...)を(4n-2)番目端子と(4n-1)番目端子のグループと(4n-1)番目端子と(4n)番目端子のグループの2つのグループに分け、上記アンプ回路は前期隣接する4端子で2つの構成とし、前記アンプ回路の出力先をサブ水平期間毎に切り換え、2

期間あるサブ水平期間毎に各グループの出力端子から前記アンプ回路でデータ線に液晶階調電圧を出力することを特徴とする液晶表示装置。
【請求項10】 複数の画素に対応した液晶表示データを受け取り、水平期間信号の指示により複数の出力端子から液晶階調電圧を出力して、複数の走査線と複数のデータ線がマトリクス状に配列した画素部を有する液晶パネルを駆動するデータドライバLSIにおいて、出力端子数に対応した液晶表示データ保持回路、液晶表示データ保持回路の出力データを選択するデータ選択回路、階調電圧を生成する階調電圧生成回路、液晶表示データに対応した階調電圧を選択する階調電圧選択回路、階調電圧をバッファ増幅する出力アンプ回路、出力アンプ回路の出力端子への接続を切り換える切り換え回路を有し、

水平期間をN分割し(Nは自然数であり、分割した1期間をサブ水平期間とする)、上記複数の出力端子をNつのグループに分け、液晶表示データ保持回路の出力データをデータ選択回路によりサブ水平期間毎に切り換えて選択し、階調電圧選択回路に入力し、階調電圧選択回路で選択した階調電圧を出力アンプ回路で増幅し、切り換え回路でサブ水平期間毎に接続先を切り換えて複数の端子から液晶階調電圧を出力することを特徴とするデータドライバLSI。

【請求項11】 請求項10のデータドライバLSIにおいて、

上記液晶パネルはレッド、グリーン、ブルーの画素が縦方向に整列した縦ストライプ構造であり、

水平期間を3分割し(分割した1期間をサブ水平期間とする)、上記複数の出力端子をレッド、グリーン、ブル

ーの画素に対応した3つのグループに分け、液晶表示データ保持回路の出力データをデータ選択回路によりサブ水平期間毎に切り換えて選択し、階調電圧選択回路に入力し、階調電圧選択回路で選択した階調電圧を出力アンプ回路で増幅し、切り換え回路で、3期間あるサブ水平期間毎にレッド画素グループ、グリーン画素グループ、ブルー画素グループの3グループの出力端子に接続先を切り換えて複数の端子から液晶階調電圧を出力することを特徴とするデータドライバLSI。

10 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶ディスプレイを表示する液晶駆動方式、液晶駆動回路に係り、特に液晶パネルに駆動電圧を印加する液晶ドライバ回路に関する。

【0002】

【従来の技術】従来の液晶表示装置では、1996年SID DIGEST(p247-250)「An 8-bit Digital Data Driver for Color TFT-LCDs」に記載されているように、データドライバは、入力される基準電圧からDAC回路で階調電圧を生成し、表示データに対応した液晶印加電圧を選択して出力アンプ回路でバッファして出力していた。つまり、液晶パネルの解像度に対応して出力アンプ回路設けている。しかしながら、アンプ回路は電源電圧に対応した定常電流が流れ、電力を消費することから、駆動回路の内部で消費する消費電力の大部分を占めていた。

【0003】このように従来のデータドライバでは、アンプ回路の定常電流を低減する低消費電力化に関しては考慮されていなかった。

【0004】

【発明が解決しようとする課題】液晶ディスプレイは、薄型軽量の特徴のため、ノートパソコン等の各種OA機器の表示装置として用いられている。さらに、液晶ディスプレイは、携帯電話、電子手帳、PDA(Personal Digital Assistant)、携帯端末といった携帯情報機器へ搭載が拡大している。このような携帯情報機器は、長時間の使用を可能にするため低消費電力化が重要な課題となっている。従って、液晶ディスプレイに対しても、低消費電力化が重要な課題となっている。

【0005】従来のデータドライバは、各端子に出力アンプ回路を設ける構成となっている。アンプ回路に流れる定常電流は、駆動電流変動、負荷容量変動、製造ばらつきに対して安定した動作を確保するために必要な電流を流すことから、ある値以下に削減することができない。各端子に出力アンプ回路があることから、データドライバが駆動する液晶ディスプレイの解像度の数に対応してアンプ回路を持つことになり、低消費電力化が困難である。

【0006】本発明では、上記出力アンプ回路の定常電

流の削減を可能とし、液晶ディスプレイの低消費電力化を実現する。

【0007】

【課題を解決するための手段】上記問題を解決するため、水平期間を水平分割信号によって第1期間と第2期間に分け、データドライバの隣接する奇数番目端子、偶数番目端子に対応した階調電圧を選択回路で選択して、出力アンプ回路に接続し、出力端子切り換え回路によって奇数番目端子または偶数番目端子に切り換えを行うことで、第1期間では奇数番目端子に階調電圧を出力し、偶数番目端子は駆動しないでハイインピーダンス状態とする。逆に、第2期間では、偶数番目端子に階調電圧を出力し、奇数番目端子は駆動しないでハイインピーダンス状態とする。出力アンプ回路1個で水平期間の間に奇数番目端子と偶数番目端子に階調電圧を印加することができる。

【0008】

【発明の実施の形態】次に、本発明の第1の実施例について図1から図6を用いて説明する。図1は本発明を適用した液晶パネル駆動回路の構成図であり、160×RGB×160の液晶パネルをRGB各64階調、262144色表示を行う場合の液晶ディスプレイの構成を示す。101は表示データに対応した階調電圧を液晶パネルに印加するデータドライバ、102は液晶パネルを順次走査する走査ドライバ、103は水平解像度160×RGB、垂直解像度160ラインの液晶パネル、104はデータドライバ101、走査ドライバ102の制御信号、表示データの制御を行うコントローラ、105は階調基準電圧を生成する電源回路、106はシステム装置から転送されてきた表示信号群、118は表示メモリ回路、119はメモリ制御バスである。107は交流の極性を示す交流極性信号(M)、108はコントローラ104からデータドライバ101へ表示データ110を転送するデータ同期クロック(CL2)、109は表示データ110の有効期間の先頭を示すデータ有効信号(EIO)、110はRGB各6ビット合計18ビットの表示データ、111はデータドライバ101の水平期間を示すデータ水平同期信号(CL1)、112は水平期間を2つの期間に分割するタイミングを示す水平分割信号(CL1B)、113は電源回路105で生成した階調電圧の基準となる階調基準電圧、114は走査ドライバ102を制御するフレーム同期信号(FLM)、走査水平信号(CL3)をまとめて示す走査同期信号、115は液晶パネル103の共通電極の電圧を与える共通電極電源(VCOM)、116はデータドライバ101からの出力される480本の液晶印加電極、117は走査ドライバ102で駆動する160本の走査電極、120は表示データ110をデータ同期クロック108に同期して順次ラッチするラッチ信号を生成するシフトレジスタ、121はシフトレジスタ120で生成した各画素に

対応したラッチ信号、122は各画素6ビット、480画素分のラッチ回路、123はラッチ回路122に保持された表示データ、124はデータ水平同期信号111で表示データ123を全画素同時にラッチするラッチ回路、125はラッチ回路124に保持された表示データ、126は選択回路128、切り換え回路136を切り換える制御信号127を生成する制御回路、128はラッチ回路124の奇数番目画素と偶数番目画素の表示データを選択する選択回路、129は選択回路128で選択した表示データ、130は階調基準電圧113から64階調の電圧を生成する階調電圧生成回路、131は64電圧レベルの階調電圧、132は階調電圧131から表示データ129に対応した階調電圧を選択する選択回路、133は選択回路132で選択した階調電圧、134は階調電圧133をバッファして液晶パネル103を駆動する出力アンプ回路、135は出力アンプ回路の出力電圧、136は出力電圧135を奇数番目端子と偶数番目端子で切り換える切り換え回路である。図2はライン反転交流駆動を示す図、図3はVCOM(共通電極)交流駆動を示す図、図4は液晶ディスプレイの駆動タイミングを示す図、図5は液晶印加電圧のタイミングを示す図、図6はデータドライバの出力端子と交流極性信号、液晶印加電圧の関係を示す図である。

【0009】本実施例では、図2に示すようにライン毎に交流極性(正極性を+、負極性を-で図示)を反転させ、同一ラインの極性は同じであるライン反転交流動作を行う。また、図3に示すように液晶パネルの電圧を保持するVCOM電極(共通電極)を階調電圧に同期して交流化するVCOM交流駆動を行うものとする。

【0010】次にこれらの表示動作について説明する。図1において、コントローラ104は図示しないシステム装置(CPU等)から表示信号群106を受け取り、液晶パネル103に表示する表示データをメモリ制御バス119を介して表示メモリ118に書き込む。そして、表示メモリ118に書き込まれた表示データは、表示フレーム周期に同期して読み出され、液晶を駆動するデータドライバ101、走査ドライバ102のタイミング信号と共に出力される。コントローラ104では、RGB64階調表示を行うため、RGB各6ビット合計18ビットの表示データ110、データ同期クロック108、データ有効信号109を用いて表示データをデータドライバ101に転送し、データドライバ101では、データ同期クロック108で順次RGB1画素づつ表示データを取り込む。このデータ取り込みのタイミングを図1、図4を用いて説明する。データ同期クロック108に同期して転送される表示データ110は、表示データが有効となるタイミングでコントローラ104がデータ有効信号109を出力し、データドライバ101が表示データの取り込みを開始する。データドライバ101はRGB1画素づつ表示データを取り込み、160クロ

ックで480出力分の表示データの取り込みを完了する。これにより、1ラインの表示データをラッチ回路122に取り込む。次に、データラッチ回路122の1ラインの表示データを全て同時にデータ水平同期信号111でデータラッチ回路124にラッチする。このデータ取り込み動作を水平期間毎に行うことで、順次各ラインの表示データを取り込むことができる。ラッチ回路124に保持した表示データ125は、隣接する奇数番目端子、偶数番目端子に対応した表示データの間で選択回路128によって選択される。階調電圧生成回路130で生成した64階調に対応した64レベルの階調電圧131から選択された表示データ129に対応した1レベルの階調電圧を選択回路132で選択する。選択した階調電圧133は、出力アンプ回路134でバッファされ出力するが、切り換え回路136によって奇数番目端子または偶数番目端子に切り換えを行う。この動作を、図5、図6を用いて説明する。図5に示すように、水平期間を水平分割信号112によって第1期間と第2期間に分け、第1期間では奇数番目端子に階調電圧を出力し、偶数番目端子は駆動しないでハイインピーダンス状態とする。逆に、第2期間では、偶数番目端子に階調電圧を出力し、奇数番目端子は駆動しないでハイインピーダンス状態とする。つまり、選択回路128と切り換え回路136を切り換え信号127で奇数番目端子または偶数番目端子に切り換えることで、出力アンプ回路134がそれぞれ1個で水平期間の間に奇数番目端子と偶数番目端子に階調電圧を印加することができる。この関係をまとめると図6に示す関係になり、制御回路126で切り換え信号127を制御することで実現できる。尚、階調電圧の交流極性は電源回路105で交流極性信号107によって階調基準電圧113を切り換えることで実現する。

【0011】このとき、走査ドライバ102は、コントローラ104で生成されたフレーム同期信号FLMのタイミングで走査水平同期信号CL3に同期して1ライン目のゲート線を選択し、走査水平同期信号CL3に同期して、順次2ライン目、3ライン目のゲート線を選択する。走査水平同期信号CL3の160クロックで順次160ラインを選択し、次のフレーム同期信号FLMが有効になると、1ライン目のゲート線を選択する。このようにフレーム周期で160ラインを選択する動作を繰り返すことで線順次選択動作を行い、データドライバ101によって液晶パネル103のデータ線に階調駆動電圧116が出力され、表示データに対応した表示を実現する。

【0012】以上のように、本実施例では、データドライバの出力アンプ回路を2出力端子に1個の構成で実現可能であり、アンプ回路数を1/2に削減できる。このため、液晶ディスプレイのアンプ回路の定常電流を削減することが可能となり、低消費電力化を実現できる。

【0013】尚、本実施例では、データドライバの出力端子数を480端子で説明したが、これに限らず、液晶パネルの解像度に合わせて、出力端子数設定しても同様の効果が得られる。例えば、水平解像度240×RGB、垂直解像度320の液晶パネルを出力端子数240のデータドライバ3個で駆動する場合も同様にアンプ回路数を1/2に削減し、低消費電力化が実現できる。

【0014】次に、本発明の第2の実施例について図2から図4、図7から図9を用いて説明する。第2の実施例は、第1の実施例と同様に図2、図3に示すライン反転交流駆動、VCOM（共通電極）交流駆動を行うものとし、水平期間を3つの期間に分割する点が異なる。

【0015】図7は本発明を適用した液晶パネル駆動回路の構成図であり、160×RGB×160の液晶パネルをRGB各64階調、262144色表示を行う場合の液晶ディスプレイの構成を示す。701は表示データに対応した階調電圧を液晶パネルに印加するデータドライバ、702は液晶パネルを順次走査する走査ドライバ、703は水平解像度160×RGB、垂直解像度160ラインの液晶パネル、704はデータドライバ701、走査ドライバ702の制御信号、表示データの制御を行うコントローラ、705は階調基準電圧を生成する電源回路、706はシステム装置から転送されてきた表示信号群、718は表示メモリ回路、719はメモリ制御バスである。707は交流の極性を示す交流極性信号(M)、708はコントローラ704からデータドライバ701へ表示データ710を転送するデータ同期クロック(CL2)、709は表示データ710の有効期間の先頭を示すデータ有効信号(EIO)、710はRGB各6ビット合計18ビットの表示データ、711はデータドライバ701の水平期間を示すデータ水平同期信号(CL1)、712は水平期間を3つの期間に分割するタイミングを示す水平分割信号(CL1B)、713は電源回路705で生成した階調電圧の基準となる階調基準電圧、714は走査ドライバ702を制御するフレーム同期信号(FLM)、走査水平信号(CL3)をまとめて示す走査同期信号、715は液晶パネル703の共通電極の電圧を与える共通電極電源(VCOM)、716はデータドライバ701からの出力される480本の液晶印加電極、717は走査ドライバ702で駆動する160本の走査電極、720は表示データ710をデータ同期クロック708に同期して順次ラッチするラッチ信号を生成するシフトレジスタ、721はシフトレジスタ720で生成した各画素に対応したラッチ信号、722は各画素6ビット、480画素分のラッチ回路、723はラッチ回路722に保持された表示データ、724はデータ水平同期信号711で表示データ723を全画素同時にラッチするラッチ回路、725はラッチ回路724に保持された表示データ、726は選択回路728、切り換え回路736を切り換える制御信号727を

生成する制御回路、728はラッチ回路724の3画素毎の(3n-2)番目端子と(3n-1)番目端子と(3n)番目端子(n=1、2、3、...)の表示データを選択する選択回路、729は選択回路728で選択した表示データ、730は階調基準電圧713から64階調の電圧を生成する階調電圧生成回路、731は64電圧レベルの階調電圧、732は階調電圧731から表示データ729に対応した階調電圧を選択する選択回路、733は選択回路732で選択した階調電圧、734は階調電圧733をバッファして液晶パネル703を駆動する出力アンプ回路、735は出力アンプ回路の出力電圧、736は出力電圧735を3端子毎の(3n-2)番目端子と(3n-1)番目端子と(3n)番目端子(n=1、2、3、...)で切り換える切り換え回路である。

【0016】図8は液晶印加電圧のタイミングを示す図、図9はデータドライバの出力端子と交流極性信号、液晶印加電圧の関係を示す図である。

【0017】本実施例では、図2に示すようにライン毎に交流極性(正極性を+、負極性を-で図示)を反転させ、同一ラインの極性は同じであるライン反転交流動作を行う。また、図3に示すように液晶パネルの電圧を保持するVCOM電極(共通電極)を階調電圧に同期して交流化するVCOM交流駆動を行うものとする。

【0018】次にこれらの表示動作について説明する。図7において、コントローラ704は図示しないシステム装置(CPU等)から表示信号群706を受け取り、液晶パネル703に表示する表示データをメモリ制御バス719を介して表示メモリ718に書き込む。そして、表示メモリ718に書き込まれた表示データは、表示フレーム周期に同期して読み出され、液晶を駆動するデータドライバ701、走査ドライバ702のタイミング信号と共に出力される。コントローラ704では、RGB64階調表示を行うため、RGB各6ビット合計18ビットの表示データ710、データ同期クロック708、データ有効信号709を用いて表示データをデータドライバ701に転送し、データドライバ701では、データ同期クロック708で順次RGB1画素ずつ表示データを取り込む。第2の実施例のデータ取り込み動作は第1の実施例と同様であり、このデータ取り込みのタイミングを図7、図4を用いて説明する。データ同期クロック708に同期して転送される表示データ710は、表示データが有効となるタイミングでコントローラ704がデータ有効信号709を出力し、データドライバ701が表示データの取り込みを開始する。データドライバ701はRGB1画素ずつ表示データを取り込み、160クロックで480出力分の表示データの取り込みを完了する。これにより、1ラインの表示データをラッチ回路722に取り込む。次に、データラッチ回路722の1ラインの表示データを全て同時にデータ水平

同期信号711でデータラッチ回路724にラッチする。このデータ取り込み動作を水平期間毎に行うことで、順次各ラインの表示データを取り込むことができる。ラッチ回路724に保持した表示データ725は、隣接する3端子に対応した表示データの間で選択回路728によって選択される。階調電圧生成回路730で生成した64階調に対応した64レベルの階調電圧731から選択された表示データ729に対応した1レベルの階調電圧を選択回路732で選択する。選択した階調電圧733は、出力アンプ回路734でバッファされ出力するが、切り換え回路736によって(3n-2)番目端子と(3n-1)番目端子と(3n)番目端子(n=1、2、3、...)に切り換えを行う。この動作を、図8、図9を用いて説明する。図8に示すように、水平期間を水平分割信号712によって第1期間と第2期間と第3期間に分け、第1期間では(3n-2)番目端子に階調電圧を出力し、(3n-1)番目端子と(3n)番目端子は駆動しないでハイインピーダンス状態とする。第2期間では、(3n-1)番目端子に階調電圧を出力し、(3n-2)番目端子と(3n)番目端子は駆動しないでハイインピーダンス状態とする。第3期間では、(3n)番目端子に階調電圧を出力し、(3n-2)番目端子と(3n-1)番目端子は駆動しないでハイインピーダンス状態とする。つまり、選択回路728と切り換え回路736を切り換え信号727で隣接する3画素である(3n-2)番目端子と(3n-1)番目端子と(3n)番目端子に切り換えることで、出力アンプ回路734がそれぞれ1個で水平期間の間に(3n-2)番目端子と(3n-1)番目端子と(3n)番目端子に階調電圧を印加することができる。この関係をまとめると図9に示す関係になり、制御回路726で切り換え信号727を制御することで実現する。尚、階調電圧の交流極性は電源回路705で交流極性信号707によって階調基準電圧713を切り換えることで実現する。また、液晶パネルの構成が図20に示すレッド画素、ブルー画素、グリーン画素が縦に並んでいるRGB縦ストライプ構造の場合、(3n-2)番目端子はレッド画素、(3n-1)番目端子はブルー画素、(3n)番目端子はグリーン画素に対応することになる。

【0019】このとき、走査ドライバ702は、コントローラ704で生成されたフレーム同期信号FLMのタイミングで走査水平同期信号CL3に同期して1ライン目のゲート線を選択し、走査水平同期信号CL3に同期して、順次2ライン目、3ライン目のゲート線を選択する。走査水平同期信号CL3の160クロックで順次160ラインを選択し、次のフレーム同期信号FLMが有効になると、1ライン目のゲート線を選択する。このようにフレーム周期で160ラインを選択する動作を繰り返すことで線順次選択動作を行い、データドライバ701によって液晶パネル703のデータ線に階調駆動電圧

716が出力され、表示データに対応した表示を実現する。

【0020】以上のように、本実施例では、データドライバの出力アンプ回路を3出力端子毎に1個の構成で実現可能であり、アンプ回路数を1/3に削減できる。このため、液晶ディスプレイのアンプ回路の定常電流を削減することが可能となり、低消費電力化を実現できる。

【0021】尚、本実施例では、データドライバの出力端子数を480端子で説明したが、これに限らず、液晶パネルの解像度に合わせて、出力端子数設定しても同様の効果が得られる。例えば、水平解像度240×RGB、垂直解像度320の液晶パネルを出力端子数240のデータドライバ3個で駆動する場合も同様にアンプ回路数を1/3に削減し、低消費電力化が実現できる。

【0022】次に、本発明の第3の実施例について図10から図15を用いて説明する。図10、図11はドット反転交流駆動を示す図である。

【0023】図12は本発明を適用した液晶パネル駆動回路の構成図であり、160×RGB×160の液晶パネルをRGB各64階調、262144色表示を行う場合の液晶ディスプレイの構成を示す。801は表示データに対応した階調電圧を液晶パネルに印加するデータドライバ、802は液晶パネルを順次走査する走査ドライバ、803は水平解像度160×RGB、垂直解像度160ラインの液晶パネル、804はデータドライバ801、走査ドライバ802の制御信号、表示データの制御を行うコントローラ、805は階調基準電圧を生成する電源回路、806はシステム装置から転送されてきた表示信号群、818は表示メモリ回路、819はメモリ制御バスである。807は交流の極性を示す交流極性信号(M)、808はコントローラ804からデータドライバ801へ表示データ810を転送するデータ同期クロック(CL2)、809は表示データ810の有効期間の先頭を示すデータ有効信号(EIO)、810はRGB各6ビット合計18ビットの表示データ、811はデータドライバ801の水平期間を示すデータ水平同期信号(CL1)、812は水平期間を2つの期間に分割するタイミングを示す水平分割信号(CL1B)、813Aは電源回路805で生成した正極性階調電圧の基準となる正極性階調基準電圧、813Bは電源回路805で生成した負極性階調電圧の基準となる負極性階調基準電圧、814は走査ドライバ802を制御するフレーム同期信号(FLM)、走査水平信号(CL3)をまとめて示す走査同期信号、815は液晶パネル803の共通電極の電圧を与える共通電極電源(VCOM)、816はデータドライバ801からの出力される480本の液晶印加電極、817は走査ドライバ802で駆動する160本の走査電極、820は表示データ810をデータ同期クロック808に同期して順次ラッチするラッチ信号を生成するシフトレジスタ、821はシフトレジスタ

20で生成した各画素に対応したラッチ信号、822は各画素6ビット、480画素分のラッチ回路、823はラッチ回路822に保持された表示データ、824はデータ水平同期信号811で表示データ823を全画素同時にラッチするラッチ回路、825はラッチ回路824に保持された表示データ、826は選択回路828、切り換え回路836を切り換える制御信号827A、827B、840A、840B、840C、840Dを生成する制御回路、828はラッチ回路824の(4n-3)番目画素と(4n-2)番目画素と(4n-1)番目画素と(4n)番目画素(n=1、2、3、...)の表示データを選択する選択回路、829は選択回路828で選択した表示データ、830Aは正極性階調基準電圧813Aから64階調の電圧を生成する正極性階調電圧生成回路、830Bは負極性階調基準電圧813Bから64階調の電圧を生成する負極性階調電圧生成回路、831Aは64電圧レベルの正極性階調電圧、831Bは64電圧レベルの負極性階調電圧、832Aは正極性階調電圧831Aから表示データ829に対応した階調電圧を選択する選択回路、832Bは負極性階調電圧831Bから表示データ829に対応した階調電圧を選択する選択回路、833は選択回路832A、832Bで選択した階調電圧、834は階調電圧833をバッファして液晶パネル803を駆動する出力アンプ回路でHAM Pは正極性階調電圧を駆動し、LAMPは負極性階調電圧を駆動するアンプ回路の構成となっている。835は出力アンプ回路の出力電圧、836は出力電圧835を(4n-3)番目端子と(4n-2)番目端子と(4n-1)番目端子と(4n)番目端子(n=1、2、3、...)で切り換える切り換え回路である。

【0024】図13は液晶ディスプレイの駆動タイミングを示す図、図14は液晶印加電圧のタイミングを示す図、図15はデータドライバの出力端子と交流極性信号、液晶印加電圧の関係を示す図である。

【0025】本実施例では、図10に示すように隣接端子毎、隣接ライン毎に交流極性(正極性を+、負極性を-で図示)を反転させ、隣接画素の極性が反転するドット反転交流動作を行う。また、図11に示すように液晶パネルの電圧を保持するVCOM電極(共通電極)の電圧を一定とし、階調電圧を正極性、負極性の交流極性でVCOM電極電圧に対して高電位、低電位の電圧を与え交流駆動を行うものとする。

【0026】次にこれらの表示動作について説明する。図12において、コントローラ804は図示しないシステム装置(CPU等)から表示信号群806を受け取り、液晶パネル803に表示する表示データをメモリ制御バス819を介して表示メモリ818に書き込む。そして、表示メモリ818に書き込まれた表示データは、表示フレーム周期に同期して読み出され、液晶を駆動するデータドライバ801、走査ドライバ802のタイミ

ング信号と共に出力される。コントローラ804では、RGB64階調表示を行うため、RGB各6ビット合計18ビットの表示データ810、データ同期クロック808、データ有効信号809を用いて表示データをデータドライバ801に転送し、データドライバ801では、データ同期クロック808で順次RGB1画素づつ表示データを取り込む。このデータ取り込みのタイミングを図12、図13を用いて説明する。データ同期クロック808に同期して転送される表示データ810は、表示データが有効となるタイミングでコントローラ804がデータ有効信号809を出力し、データドライバ801が表示データの取り込みを開始する。データドライバ801はRGB1画素づつ表示データを取り込み、160クロックで480出力分の表示データの取り込みを完了する。これにより、1ラインの表示データをラッチ回路822に取り込む。次に、データラッチ回路822の1ラインの表示データを全て同時にデータ水平同期信号811でデータラッチ回路824にラッチする。このデータ取り込み動作を水平期間毎に行うことで、順次各ラインの表示データを取り込むことができる。ラッチ回路824に保持した表示データ825は、隣接する4端子である(4n-3)番目端子と(4n-2)番目端子と(4n-1)番目端子と(4n)番目端子(n=1、2、3、...)に対応した表示データの間で選択回路828によって選択される。階調電圧生成回路830Aで生成した64階調に対応した64レベルの正極性階調電圧831Aから選択された表示データ829に対応した1レベルの階調電圧を選択回路832Aでを選択し、階調電圧生成回路830Bで生成した64階調に対応した64レベルの正極性階調電圧831Bから選択された表示データ829に対応した1レベルの階調電圧を選択回路832Bでを選択する。選択した階調電圧833は、出力アンプ回路834でバッファされ出力するが、切り換え回路836によって隣接する4端子である(4n-3)番目端子と(4n-2)番目端子と(4n-1)番目端子と(4n)番目端子に切り換えを行う。この動作を、図14、図15を用いて説明する。図14に示すように、水平期間を水平分割信号812によって第1期間と第2期間に分け、第1期間では(4n-3)番目端子と(4n-2)番目端子に交流極性の反転した正極性階調電圧と負極性階調電圧を出力し、(4n-1)番目端子と(4n)番目端子は駆動しないでハイインピーダンス状態とする。逆に、第2期間では、(4n-1)番目端子と(4n)番目端子に交流極性の反転した正極性階調電圧と負極性階調電圧を出力し、(4n-3)番目端子と(4n-2)番目端子は駆動しないでハイインピーダンス状態とする。つまり、選択回路828を切り換え信号827A、827Bで隣接する4画素である(4n-3)番目画素と(4n-2)番目画素と(4n-1)番目画素と(4n)番目画素の表示データを切り換え、

これに同期して、切り換え回路836を切り換え信号840A、840B、840C、840Dで隣接する4端子である(4n-3)番目端子と(4n-2)番目端子と(4n-1)番目端子と(4n)番目端子に切り換えることで、出力アンプ回路834のHVAMPとLVAMPの2個のアンプ回路で4出力端子それぞれをに階調電圧を印加することができる。この関係をまとめると図15に示す関係になり、制御回路826で切り換え信号827A、827Bと切り換え信号840A、840B、840C、840Dを制御することで実現する。

【0027】このとき、走査ドライバ802は、コントローラ804で生成されたフレーム同期信号FLMのタイミングで走査水平同期信号CL3に同期して1ライン目のゲート線を選択し、走査水平同期信号CL3に同期して、順次2ライン目、3ライン目のゲート線を選択する。走査水平同期信号CL3の160クロックで順次160ラインを選択し、次のフレーム同期信号FLMが有効になると、1ライン目のゲート線を選択する。このようにフレーム周期で160ラインを選択する動作を繰り返すことで線順次選択動作を行い、データドライバ801によって液晶パネル803のデータ線に階調駆動電圧816が出力され、表示データに対応した表示を実現する。

【0028】以上のように、本実施例では、データドライバの出力アンプ回路を4出力端子に2個の構成で実現可能であり、アンプ回路数を1/2に削減できる。このため、液晶ディスプレイのアンプ回路の定常電流を削減することが可能となり、低消費電力化を実現できる。

【0029】尚、本実施例では、データドライバの出力端子数を480端子で説明したが、これに限らず、液晶パネルの解像度に合わせて、出力端子数設定しても同様の効果が得られる。例えば、水平解像度240×RGB、垂直解像度320の液晶パネルを出力端子数240のデータドライバ3個で駆動する場合も同様にアンプ回路数を1/2に削減し、低消費電力化が実現できる。

【0030】次に、本発明の第4の実施例について図2、図3、図5、図6、図16から図18を用いて説明する。第4の実施例は、コモン反転駆動を行い、表示メモリを内蔵した64階調のデータドライバを用いて階調表示実現するところが、第1の実施例と異なる。図16は本発明を適用した液晶パネル駆動回路の構成図であり、160×RGB×160の液晶パネルをRGB各64階調、262144色表示を行う場合の液晶ディスプレイの構成を示す。201はシステム装置のCPU、202はシステムメモリ、203は制御信号、データを含んだシステムバス、204はCPUバス、205はメモリバスである。901は表示メモリを内蔵したデータドライバで、160×RGB=480出力を有し、160ライン分の表示メモリを内蔵する。206、207はそれぞれデータドライバ901とのデータバス、制御信号

群、208はシステムバス203とのインタフェースを制御するコマンド制御回路、209は制御信号群、210はデータバス、211はデータドライバ901に内蔵する表示メモリ214を制御するメモリ制御回路、212は表示メモリ回路214のデータアドレス、219はワードアドレス、213はデータバスである。215は表示タイミングの基準となるクロックを生成する発振回路、216は表示基準クロック、217は表示タイミングを制御する表示制御回路、218はCPU201から表示メモリ214へのアクセスを示すCPUアクセス信号、220は表示ラインのワードアドレスを生成する走査カウンタ、221はCPU201と表示ラインのワードアドレス切り換えるワードアドレスセレクタ、222はワードアドレス選択信号、223はワード線を選択するワード線デコーダである。902は液晶パネルを順次走査する走査ドライバ、903は水平解像度160×RGB、垂直解像度160ラインの液晶パネル、905は階調基準電圧を生成する電源回路、907は交流の極性を示す交流極性信号(M)、911はデータドライバ901の水平期間を示すデータ水平同期信号(CL1)、913は電源回路905で生成した階調電圧の基準となる階調基準電圧、914は走査ドライバ902を制御するフレーム同期信号(FLM)、走査水平信号(CL3)をまとめて示す走査同期信号、915は液晶パネル903の共通電極の電圧を与える共通電極電源(VCOM)、916はデータドライバ901からの出力される480本の液晶印加電極、917は走査ドライバ102で駆動する160本の走査電極、923は表示メモリ214からの6ビット×480画素である1ラインの表示データバス、924はデータ水平同期信号911で表示データ923を全画素同時にラッチするラッチ回路、925はラッチ回路924に保持された表示データ、928はラッチ回路924の奇数番目画素と偶数番目画素の表示データを選択する選択回路、929は選択回路928で選択した表示データ、930は階調基準電圧913から64階調の電圧を生成する階調電圧生成回路、931は64電圧レベルの階調電圧、932は階調電圧931から表示データ929に対応した階調電圧を選択する選択回路、933は選択回路932で選択した階調電圧、934は階調電圧933をバッファして液晶パネル903を駆動する出力アンプ回路、935は出力アンプ回路の出力電圧、936は出力電圧935を奇数番目端子と偶数番目端子で切り換える切り換え回路である。

【0031】図17、図18は、CPUのデータドライバのライトアクセス、リードアクセスのタイミングを示す図である。

【0032】第1の実施例と同様に本実施例では、図2に示すようにライン毎に交流極性(正極性を+、負極性を-で図示)を反転させ、同一ラインの極性は同じであるライン反転交流動作を行う。また、図3に示すように

液晶パネルの電圧を保持するVCOM電極(共通電極)を階調電圧に同期して交流化するVCOM交流駆動を行うものとする。次に、これらの表示動作について説明する。図16において、CPU201は表示データをデータドライバ901に内蔵する表示メモリ214に書き込みを行う。CPU201はシステムバス203を介してデータ206、制御信号群207をデータドライバ901に転送し、図17、図18に示すように、チップセレクト信号CS、ライト信号WR、リード信号RD、16ビットのデータD15からD0によって、データドライバ901にコマンドを転送して、表示メモリのライト制御、リード制御を行う。例えば、表示メモリ214に表示データをライトする場合、CPU201はデータドライバ901に表示メモリアドレスの書き込みコマンドを転送してアドレスを転送し、次に表示データの書き込みコマンドを転送して、表示データを転送する。データドライバ901では、表示メモリアドレスの書き込みコマンドに対応してコマンド制御回路208がメモリ制御回路211に制御信号群209、データバス210を介して表示メモリのアドレスを転送し、表示データの書き込みコマンドに対応してメモリ制御回路211が表示メモリ214の書き込みデータアドレス212、ワードアドレス219を制御して、表示データの書き込みを行う。この動作を表示メモリの各アドレスに行うことで、1画面のデータを表示メモリ214に書き込むことができる。表示メモリ214の表示データは、発振回路215で生成する表示基準クロック216から表示制御回路217で生成するデータ水平同期信号911によって、走査カウンタ220は表示ラインの表示ワードアドレスを生成し、ワードアドレス選択回路221は表示期間では表示ワードアドレスを選択し、ワード線デコーダ223によって、表示するラインのワード線が選択される。そして、表示メモリ214の表示データ923をデータ水平同期信号911で1ライン480出力分同時にデータラッチ回路924にラッチする。このデータ取り込み動作を水平期間毎に行うことで、表示メモリ回路214から順次各ラインの表示データを取り込むことができる。ラッチ回路924に保持した表示データ925は、隣接する奇数番目端子、偶数番目端子に対応した表示データの間で選択回路928によって選択される。階調電圧生成回路930で生成した64階調に対応した64レベルの階調電圧931から選択された表示データ929に対応した1レベルの階調電圧を選択回路932でを選択する。選択した階調電圧933は、出力アンプ回路934でバッファされ出力するが、切り換え回路936によって奇数番目端子または偶数番目端子に切り換えを行う。この動作は第1の実施例と同様であり、図5、図6を用いて説明する。図5に示すように、水平期間を水平分割し、第1期間と第2期間に分け、第1期間では奇数番目端子に階調電圧を出力し、偶数番目端子は駆動しないで

ハイインピーダンス状態とする。逆に、第2期間では、偶数番目端子に階調電圧を出力し、奇数番目端子は駆動しないでハイインピーダンス状態とする。つまり、選択回路928と切り換え回路936を切り換え信号927で奇数番目端子または偶数番目端子に切り換えることで、出力アンプ回路934がそれぞれ1個で水平期間の間に奇数番目端子と偶数番目端子に階調電圧を印加することができる。この関係をまとめると図6に示す関係になり、表示制御回路217で切り換え信号927を制御することで実現する。尚、階調電圧の交流極性は電源回路905で交流極性信号907によって階調基準電圧913を切り換えることで実現する。

【0033】このとき、走査ドライバ902は、表示制御回路217で生成されたフレーム同期信号FLMのタイミングで走査水平同期信号CL3に同期して1ライン目のゲート線を選択し、走査水平同期信号CL3に同期して、順次2ライン目、3ライン目のゲート線を選択する。走査水平同期信号CL3の160クロックで順次160ラインを選択し、次のフレーム同期信号FLMが有効になると、1ライン目のゲート線を選択する。このよ

うにフレーム周期で160ラインを選択する動作を繰り返すことで線順次選択動作を行い、データドライバ901によって液晶パネル903のデータ線に階調駆動電圧916が出力され、表示データに対応した表示を実現する。

【0034】以上のように、本実施例では、データドライバの出力アンプ回路を2出力端子に1個の構成で実現可能であり、アンプ回路数を1/2に削減できる。このため、液晶ディスプレイのアンプ回路の定常電流を削減することが可能となり、低消費電力化を実現できる。さら

に、データドライバに表示メモリを内蔵することで表示データの転送による消費電力を低減することができる。

【0035】尚、本実施例では、データドライバの出力端子数を480端子で説明したが、これに限らず、液晶パネルの解像度に合わせて、出力端子数設定しても同様の効果が得られる。例えば、水平解像度240×RGB、垂直解像度320の液晶パネルを出力端子数240のデータドライバ3個で駆動する場合も同様にアンプ回路数を1/2に削減し、低消費電力化が実現できる。

【0036】また、表示メモリをデータドライバに内蔵する本実施例では、隣接する奇数端子と偶数端子で接続を切り換える構成としたが、第2の実施例で示した隣接する3端子で接続を切り換える構成や第3の実施例で示したドット反転駆動に対応した隣接する4端子で接続を切り換える構成にすることも容易に可能であり、同様な効果が得られる。

【0037】また、図19に示したように表示メモリ、データ駆動回路、走査駆動回路、電源回路を1チップのLSIに内蔵した構成にすることも容易に可能であり、

同様な効果が得られる。

【0038】

【発明の効果】本発明によれば、データドライバの出力アンプ回路を削減することができるため、アンプ回路の定常電流を削減し、液晶ディスプレイの低消費電力化が実現できる。また、データドライバのアンプ回路の削減によりチップサイズを小さくすることができ、低コスト化が実現できる。

【図面の簡単な説明】

【図1】本発明を適用した液晶表示装置の一実施例のブロック図。

【図2】ライン反転駆動を示す図。

【図3】ライン反転駆動のタイミング図。

【図4】液晶ディスプレイの駆動タイミングを示す図。

【図5】液晶階調電圧の出力タイミングを示す図。

【図6】出力端子と液晶階調電圧の関係を示す図。

【図7】本発明を適用した液晶表示装置の一実施例のブロック図。

【図8】液晶階調電圧の出力タイミングを示す図。

【図9】出力端子と液晶階調電圧の関係を示す図。

【図10】ドット反転駆動を示す図。

【図11】ドット反転駆動のタイミング図。

【図12】本発明を適用した液晶表示装置の一実施例のブロック図。

【図13】液晶ディスプレイの駆動タイミングを示す図。

【図14】液晶階調電圧の出力タイミングを示す図。

【図15】出力端子と液晶階調電圧の関係を示す図。

【図16】本発明を適用した液晶表示装置の一実施例のブロック図。

【図17】CPUライトアクセスのタイミングを示す図。

【図18】CPUリードアクセスのタイミングを示す図。

【図19】1チップドライバLSIを用いた液晶表示装置のブロック図。

【図20】液晶パネル縦ストライブ画素の構成図。

【符号の説明】

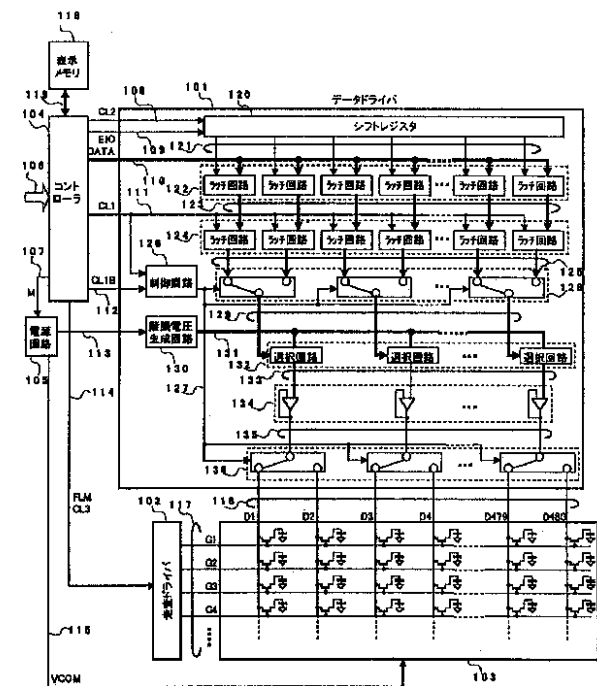
101...データドライバ、102...走査ドライバ、103...水平解像度160×RGB、垂直解像度160ラインの液晶パネル、104...コントローラ、105...階調基準電圧を生成する電源回路、106...システム装置から転送されてきた表示信号群、107...表示メモリ回路、108...メモリ制御バス、109...交流の極性を示す交流極性信号(M)、110...コントローラ104からデータドライバ101へ表示データ110を転送するデータ同期クロック(CL2)、111...表示データ110の有効期間の先頭を示すデータ有効信号(EIO)、112...表示データ、113...データ水平同期信号(CL1)、114...水平期間を2つの期間に分割す

るタイミングを示す水平分割信号 (CL1B)、113...電源回路105で生成した階調電圧の基準となる階調基準電圧、114...走査同期信号、115...共通電極電源 (VCOM)、116...液晶印加電極、117...走査電極、120...シフトレジスタ、121...ラッチ信号、*

*122...ラッチ回路、124...ラッチ回路、126...制御回路、128...選択回路、129...表示データ、130...階調電圧生成回路、131...64電圧レベルの階調電圧、132...選択回路、133...階調電圧、134...出力アンプ回路、136...切り換え回路。

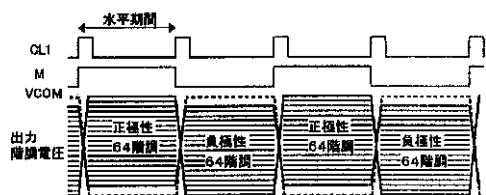
【図1】

図 1



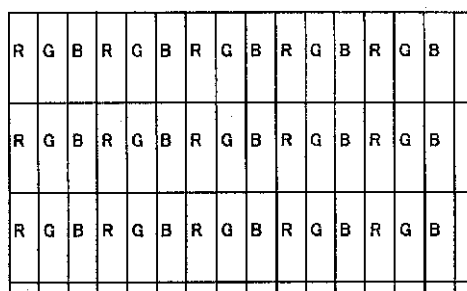
【図3】

図 3



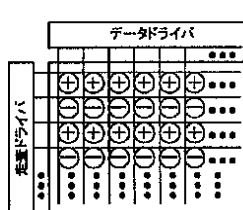
【図20】

図 20



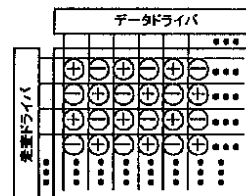
【図2】

図 2



【図10】

図 10



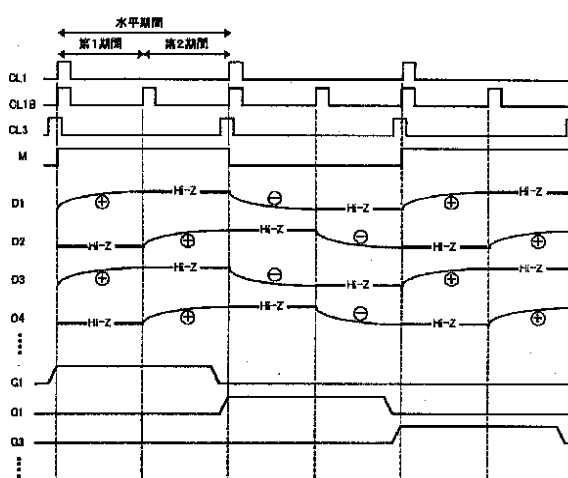
【図6】

図 6

	M="H"		M="L"	
	第1期間	第2期間	第1期間	第2期間
奇数端子 D1, D3, ...	正極性	Hi-Z	負極性	Hi-Z
偶数端子 D2, D4, ...	Hi-Z	正極性	Hi-Z	負極性

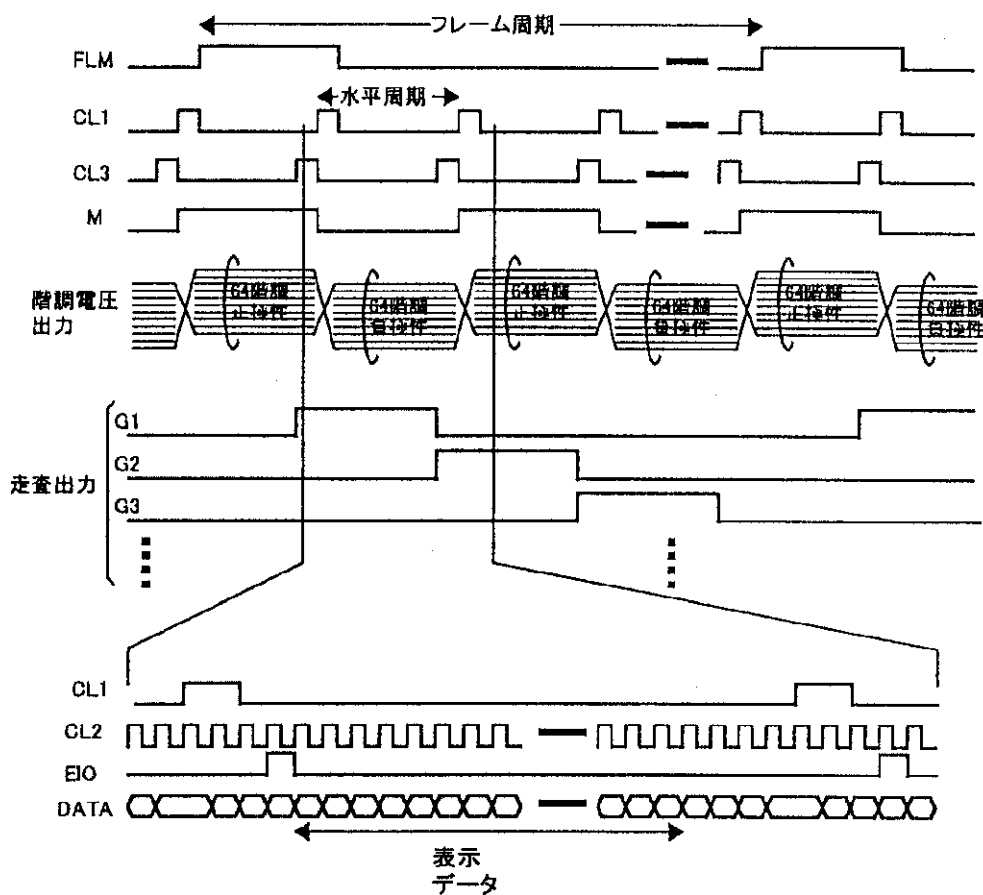
【図5】

図 5



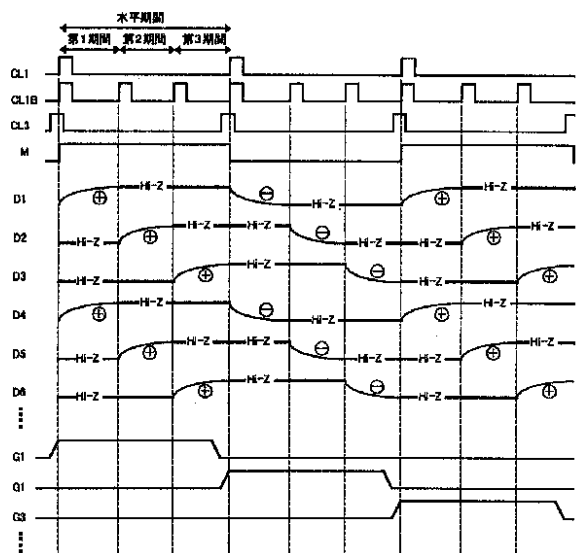
【図4】

図 4



【図8】

図 8



【図9】

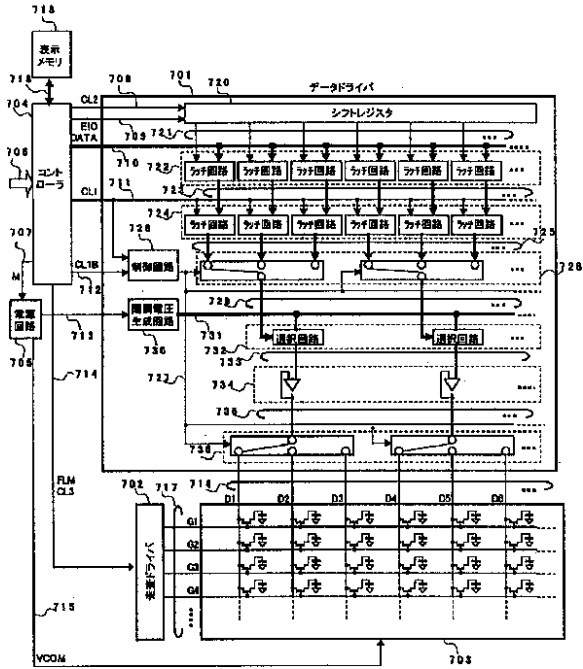
図 9

	M="H"			M="L"		
	第1期間	第2期間	第3期間	第1期間	第2期間	第3期間
(3n-2)端子 D1, D4, ...	正極性	Hi-Z	Hi-Z	負極性	Hi-Z	Hi-Z
(3n-1)端子 D2, D5, ...	Hi-Z	正極性	Hi-Z	Hi-Z	負極性	Hi-Z
(3n)端子 D3, D6, ...	Hi-Z	Hi-Z	正極性	Hi-Z	Hi-Z	負極性

n=1, 2, 3, ...

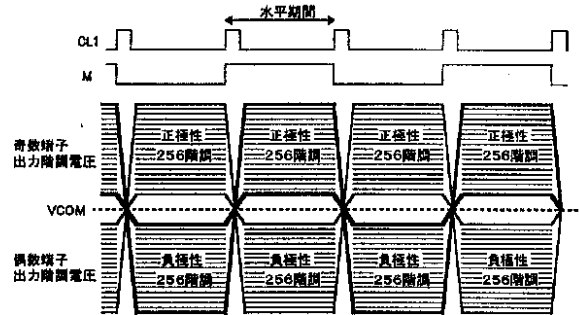
【図7】

図7



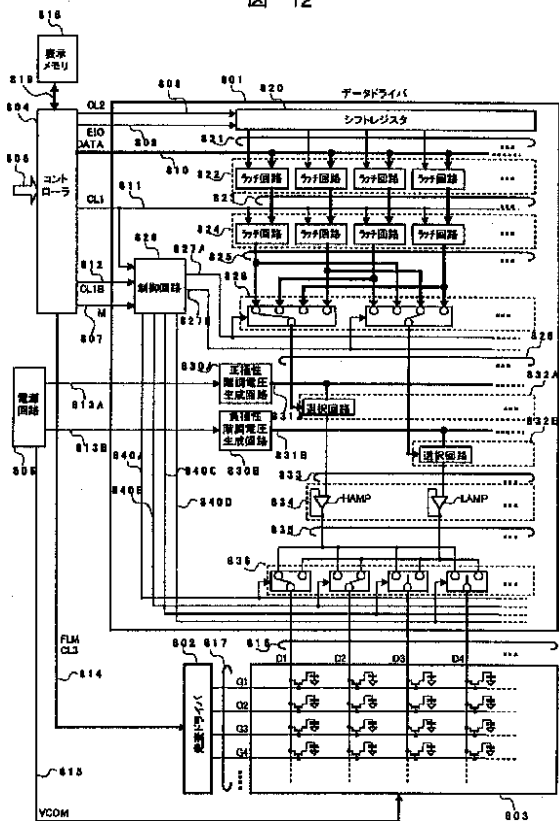
【図11】

図11



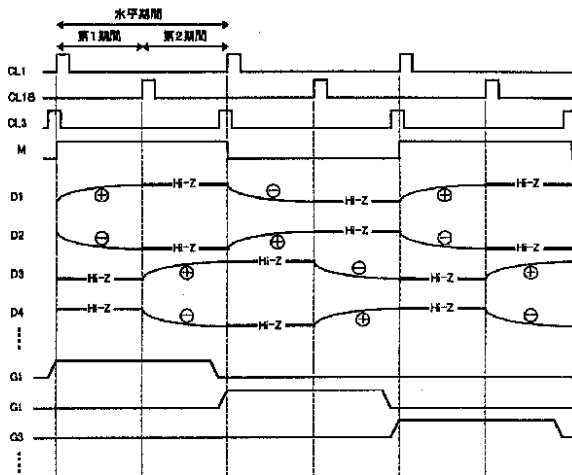
【図12】

図12



【図14】

図14



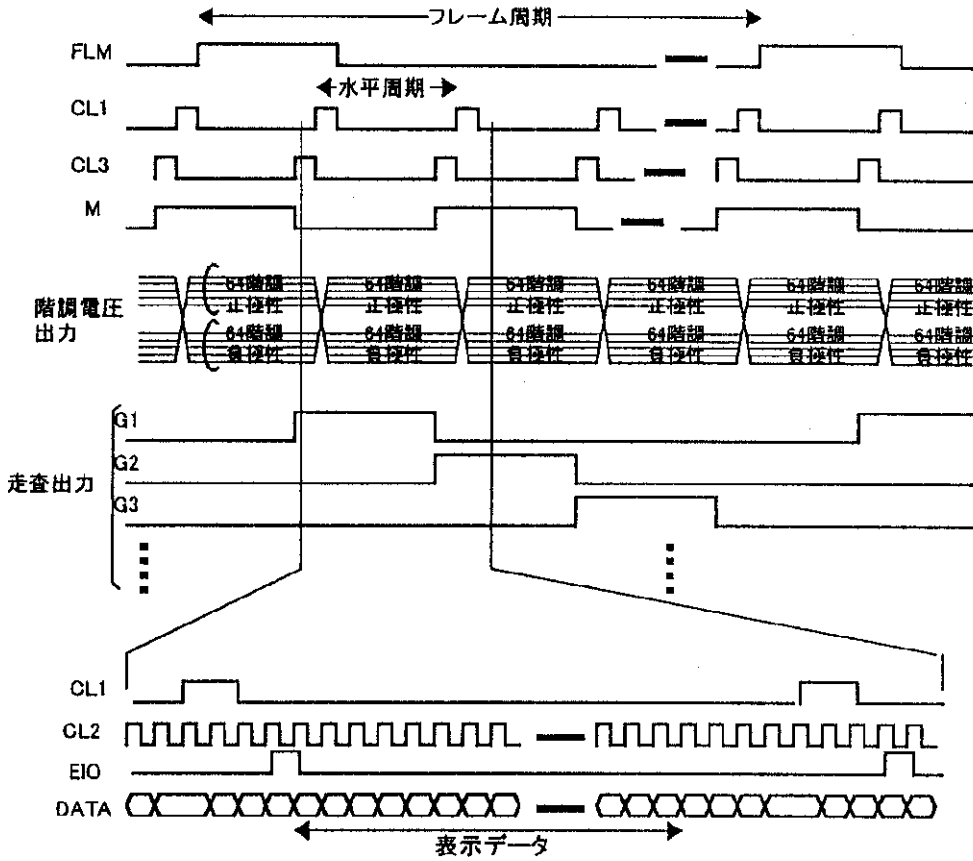
【図17】

図17



【図13】

図 13



【図15】

図 15

	M="H"		M="L"	
	第1期間	第2期間	第1期間	第2期間
(4n-3)端子 D1, D5, ...	正極性	Hi-Z	負極性	Hi-Z
(4n-2)端子 D2, D6, ...	負極性	Hi-Z	正極性	Hi-Z
(4n-1)端子 D3, D7, ...	Hi-Z	正極性	Hi-Z	負極性
(4n)端子 D4, D8, ...	Hi-Z	負極性	Hi-Z	正極性

n=1, 2, 3, ...

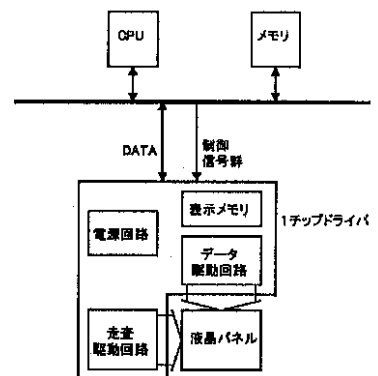
【図18】

図 18



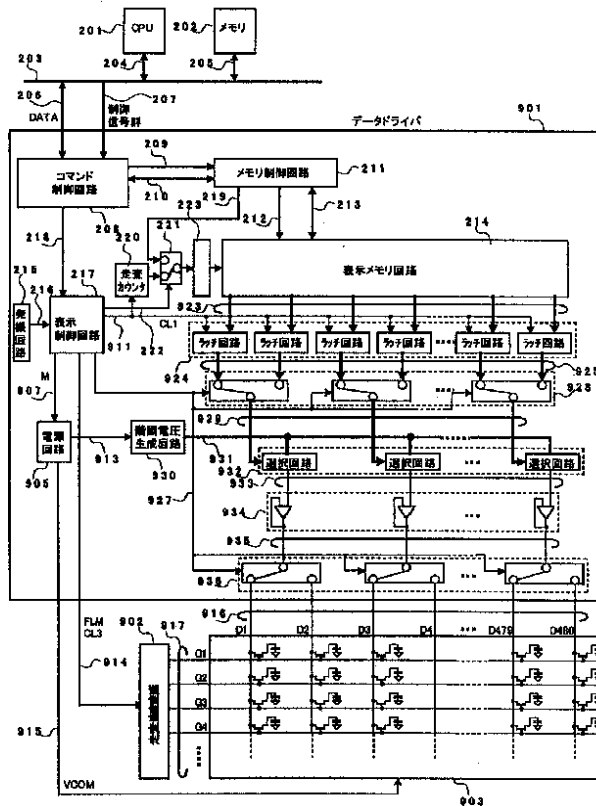
【図19】

図 19



【図16】

図 16



フロントページの続き

(51)Int.Cl. ⁷	識別記号	F I	テ-マ-コ-ド [*] (参考)
G 0 9 G 3/20	6 2 3	G 0 9 G 3/20	6 2 3 B 6 2 3 F 6 2 3 G 6 2 3 V 6 4 1 C
	6 4 1		
(72)発明者 大石 純久 神奈川県川崎市麻生区王禅寺1099番地 株式会社日立製作所システム開発研究所内		F タ-ム(参考)	2H092 GA23 JA24 NA25 NA26 NA27 NA29 PA06 2H093 NA31 NA43 NC01 NC16 NC22 NC26 NC34 NC50 ND06 ND39 ND42 ND49 ND54 5C006 AA22 AC24 AC26 AC27 AF42 AF43 AF44 AF71 AF83 BB16 BC03 BC12 BF02 BF03 BF04 BF15 BF24 BF25 BF43 FA01 FA43 FA47 FA51 5C080 AA10 BB05 CC03 DD22 DD26 DD27 EE29 EE30 FF11 JJ02 JJ04
(72)発明者 木村 誠 東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内			
(72)発明者 奥 博文 千葉県茂原市早野3300番地 株式会社日立製作所ディスプレイグループ内			

专利名称(译)	液晶驱动电路和液晶显示装置		
公开(公告)号	JP2002318566A	公开(公告)日	2002-10-31
申请号	JP2001123844	申请日	2001-04-23
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	株式会社日立制作所		
[标]发明人	新田博幸 古橋勉 大石純久 木村誠 輿博文		
发明人	新田 博幸 古橋 勉 大石 純久 木村 誠 輿 博文		
IPC分类号	G02F1/1368 G02F1/133 G09G3/20 G09G3/36		
FI分类号	G09G3/36 G02F1/133.550 G02F1/133.575 G02F1/1368 G09G3/20.611.A G09G3/20.623.B G09G3/20.623.F G09G3/20.623.G G09G3/20.623.V G09G3/20.641.C		
F-TERM分类号	2H092/GA23 2H092/JA24 2H092/NA25 2H092/NA26 2H092/NA27 2H092/NA29 2H092/PA06 2H093/NA31 2H093/NA43 2H093/NC01 2H093/NC16 2H093/NC22 2H093/NC26 2H093/NC34 2H093/NC50 2H093/ND06 2H093/ND39 2H093/ND42 2H093/ND49 2H093/ND54 5C006/AA22 5C006/AC24 5C006/AC26 5C006/AC27 5C006/AF42 5C006/AF43 5C006/AF44 5C006/AF71 5C006/AF83 5C006/BB16 5C006/BC03 5C006/BC12 5C006/BF02 5C006/BF03 5C006/BF04 5C006/BF15 5C006/BF24 5C006/BF25 5C006/BF43 5C006/FA01 5C006/FA43 5C006/FA47 5C006/FA51 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD22 5C080/DD26 5C080/DD27 5C080/EE29 5C080/EE30 5C080/FF11 5C080/JJ02 5C080/JJ04 2H192/AA24 2H192/FB41 2H192/GD61 2H193/ZA04 2H193/ZF01		
外部链接	Espacenet		

摘要(译)

要解决的问题：为了降低输出放大器的稳态电流，实现液晶显示器的低功耗。解决方案：通过将水平周期划分为第一周期和第二周期，通过水平划分信号，可以在水平周期期间通过单个输出放大器电路将灰度电压施加到奇数端子和偶数端子，通过选择电路选择与数据驱动器相邻的奇数号端子和偶数号端子相对应的灰度电压，并将该电压连接到输出放大器，并且将电压切换到奇数号端子或通过输出端子切换电路输出偶数端子。

