

(51)Int.Cl ⁷	識別記号	F I	テマコード [*] （参考）
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	550	G 0 2 F 1/133	5 C 0 0 6
G 0 9 G 3/20	612	G 0 9 G 3/20	5 C 0 5 8
	623		5 C 0 8 0
		623 L	
審査請求 未請求 請求項の数 7 O L（全 9 数） 最終頁に続く			

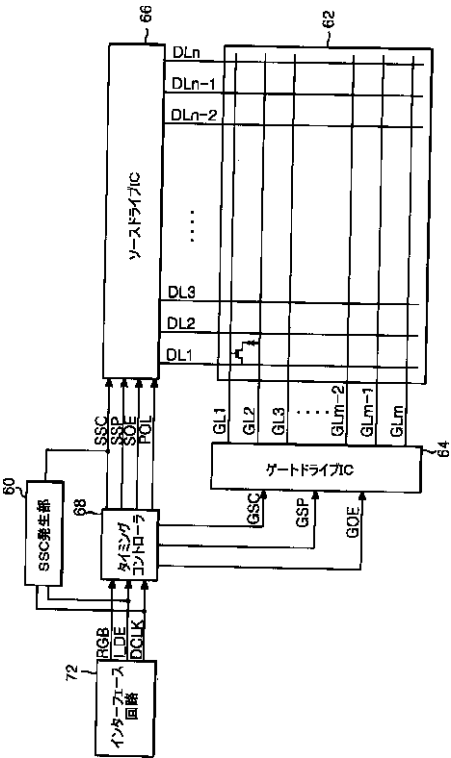
(21)出願番号	特願2001－387959(P2001－387959)	(71)出願人	501426046 エルジー・フィリップス エルシーデー カンパニー，リミテッド 大韓民国 ソウル，ヨンドンポーク，ヨイ ドードン 20
(22)出願日	平成13年12月20日(2001.12.20)	(72)発明者	アーン ソン クック 大韓民国 キョンサンブクード，クミーシ ，ピサンードン，ジョンウォン リヴィング フィル，ナンバー1309
(31)優先権主張番号	2000－079375	(74)代理人	100064447 弁理士 岡部 正夫（外10名）
(32)優先日	平成12年12月20日(2000.12.20)		
(33)優先権主張国	韓国(KR)		
		最終頁に続く	

(54)【発明の名称】 液晶表示装置の駆動方法及び装置

(57)【要約】

【課題】 本発明は液晶表示装置の解像図モード切り換えの際に画質を鮮明に維持するようにした液晶表示装置の駆動方法及び装置に関するものである。

【解決手段】 本発明による液晶表示装置の駆動方法及び装置はデータ・インエーブル信号のインエーブル開示時点でリセット信号を発生して、そのリセット信号にตอบสนองしてビデオデータをサンプリングするためのソース・シフト・クラックをリセットさせるようになる。



【特許請求の範囲】

【請求項1】 ビデオデータが存在する期間を指示するデータ・イネーブル信号を入力として受ける段階と、前記データ・イネーブル信号のイネーブル開示時点を検出する段階と、前記データ・イネーブル信号のイネーブル開示時点でリセット信号を発生する段階と、前記リセット信号に応答して前記ビデオデータをサンプリングするためのソース・シフト・クラックをリセットさせる段階を含むことを特徴とする液晶表示装置の駆動方法。

【請求項2】 前記ソース・シフト・クラックにより前記ビデオデータをサンプリングした後にラッチする段階と、前記ラッチされたビデオデータを液晶パネルのデータラインなどに供給する段階と、前記液晶パネルのゲートラインなどにスキャンパルスを順次的に供給する段階を更に含むことを特徴とする請求項1記載の液晶表示装置の駆動方法。

【請求項3】 ビデオデータが存在する期間を指示するデータ・イネーブル信号のイネーブル開示時点を検出してリセット信号を発生するリセット信号発生部と、前記イネーブル開示時点で前記ビデオデータをサンプリングするためのソース・シフト・クラックをリセットさせるリセット部とを具備することを特徴とする液晶表示装置の駆動装置。

【請求項4】 データラインなどとゲートラインなどが直交し前記データラインとゲートラインの間の画素領域に液晶セルが形成されると共に前記データラインとゲートラインの交差部に形成されて前記液晶セルを駆動するための薄膜トランジスタを有する液晶パネルと、前記ソース・シフト・クラックにより前記ビデオデータをサンプリングした後にラッチし、ラッチされたビデオデータを前記液晶パネルのデータラインなどに供給するためのソース駆動部と、前記液晶パネルのゲートラインなどにスキャンパルスを順次的に供給してスキャンラインを選択するためのゲート駆動部と、前記ソース駆動部とゲート駆動部を制御するためのタイミング・コントローラとを更に具備することを特徴とする請求項3記載の液晶表示装置の駆動装置。

【請求項5】 前記リセット信号発生部と前記リセット部は前記タイミングコントローラ内に内蔵されることを特徴とする請求項4記載の液晶表示装置の駆動装置。

【請求項6】 前記リセット信号発生部は入力ラインを経由して前記データ・イネーブル信号とドットクラックを入力受けて前記ドットクラックにより前記データ・イネーブル信号を遅延させるためのDフリップ・フロップと、前記遅延されたデータ・イネーブル信号を反転させるためのインバーターと、前記遅延及び反転されたイネーブル信号と前記入力ラインからのデータ・イネーブル信号を論理かけ演算して前記データ・イネーブル信号のイネーブル開示時点を指示するリセット信号を発生するためのANDゲートを更に具備することを特徴とする請

求項3記載の液晶表示装置の駆動装置。

【請求項7】 前記リセット部は前記ドットクラックをトグルングすることで前記ソース・シフト・クラックを発生すると共に前記リセット信号に応答して前記ソース・シフト・クラックをリセットさせることを特徴とする請求項6記載の液晶表示装置の駆動装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は液晶表示装置に関するもので、特に液晶表示装置の解像度モード切り換えの際に画質を鮮明に維持するようにした液晶表示装置の駆動方法及び装置に関するものである。

【0002】

【従来の技術】 アクティブ・マトリックス (Active Matrix) 駆動方式の液晶表示装置はスイッチング素子として薄膜トランジスタ (Thin Film Transistor: 以下 "TFT" という) を利用して自然に動画像を表示している。このような液晶表示装置はブラウン管に比べて小型化が可能で、コンピュータのモニタは勿論であり、コピー機などの事務自動化機器、ケータイ電話機かポケットベル (登録商標) などの携帯機器まで広範囲に利用されている。

【0003】 このような液晶表示装置は高解像度・大画面化されている。最近ではワーク・ステーションのような高級機種で要求される解像度までもパーソナルコンピュータの液晶モニタで支援している。このような液晶表示装置を概略的に表すと図1のようである。

【0004】 図1を参照すると、液晶表示装置はゲートライン (GL1乃至GLm) とデータライン (DL1乃至DLn) の間にTFTと液晶セルが形成される液晶表示パネル (2) と、データライン (DL1乃至DLn) にデータを供給するためのソース・ドライブ集積回路 (Integrated Circuit: 以下、"IC" という)

(6) と、ゲートライン (GL1乃至GLm) に順次的にスキャンパルスを供給するためのゲート・ドライブIC (4) と、ソース・ドライブIC (6) とゲート・ドライブIC (4) に必要なタイミング制御信号などを供給するためのタイミング・コントローラ (8) と、グラフィック・カードから供給されたデータをタイミング・コントローラ (8) に供給するためのインターフェース回路 (12) とを具備する。

【0005】 ソース・ドライブIC (6) はタイミング・コントローラ (8) からのソース・シフト・クラック (Source Shift Clock: 以下、"SSC" という) によりRGBそれぞれのデータをサンプリング及びラッチして点順次方式 (Dot at a time scanning) のタイミング体系を線順次方式 (Line at a time scanning) に変換するようになる。このように線順次方式に変換されたデータはスキャンパルスに同期されてn個のデータラインなど (DL1乃至DLn) に同時に供給され

る。

【0006】タイミング・コントローラ(8)からソース・ドライブIC(6)に供給されるタイミング制御信号にはSSC以下の1水平同期期間の中にデータのサンプリングまたはラッチの初めを指示するソース・スタート・パルス(Source StartPulse:以下、"SSP"という)、ソース・ドライブIC(6)の出力を制御するソース出力イネーブル(Source Output Enable:SOE)、フレーム/ライン/コラム・インバージョン駆動時にデータの極性を反転させるための制御信号(Polarity:POL)などがある。

【0007】ソース・ドライブIC(6)はシフト・レジスタとレベル・シフトなどを含めてタイミング・コントローラ(8)からのゲート・スタート・パルス(Gate Start Pulse:以下、"GSP"という)に応答してゲート・ハイ電圧のスキャンパルスをゲートラインなど(GL1乃至GLm)に順次的に供給して液晶セルなどにデータが充電されるようにする。

【0008】タイミング・コントローラ(8)からゲート・ドライブIC(4)に供給されるタイミング制御信号にはGSP以外のTFTのゲートがONまたはOFFされる時間を決定するゲート・シフト・クラック(GSC)、ゲート・ドライブIC(4)の出力を制御するゲート出力イネーブル(GOE)などがある。

【0009】タイミング・コントローラ(8)はインターフェース回路(12)を経由して入力されるRGB信号をソース・ドライブIC(6)に分配すると共にソース・ドライブIC(6)とゲート・ドライブIC(4)を制御する。このタイミング・コントローラ(8)は図示しない基準クラック発生部から供給されるSSCを利用してソース・ドライブIC(6)とゲート・ドライブIC(4)に必要なタイミング制御信号などを生成する。

【0010】インターフェース回路(12)は図示しないグラフィック・カードから供給されるRGBデータ、データ・イネーブル信号(Data Enable:以下、"IDE"という)及びドット・クラック(Dot Clock:以下、"Dclk"という)をタイミング・コントローラ(8)に供給する。

【0011】タイミング・コントローラ(8)とインターフェース回路(12)はデータ供給ライン数を減らし電磁気的干渉を減らせるようにLVDS回路を含める。

【0012】VESA (Video Electronics Standard Association) 標準規格にはUXGA、SXGA、XGA、SVGA、VGAの解像度モードでグラフィック・カードからタイミング・コントローラ(8)に入力されるIDEのブラッキング区間(ロー論理区間)でDclk(65Mhz)の個数が偶数で規定されている。しかし解像度モードがUXGA、SXGA、XGAでSVGAま

たはVGAに転換される時Dclkの個数が奇数に変化するようになる。このように解像度モードが切り換わる時画面上に水平にノイズが表れるようになる。

【0013】タイミング・コントローラ(8)は図2で分かるように、グラフィック・カードの解像度変化に関係なくインターフェース回路(12)からのドット・クラック(Dclk)をトグルングしてSSCを発生する。これを詳細にすると、従来のタイミング・コントローラ(8)は解像度に関係なくIDEがハイレベルに変化する時点から3番目発生するドット・クラック(Dclk)でリセット回路が動作してSSCをリセットさせる。ここで、図3のように解像度モードがUXGA、SXGA、XGAである場合のIDEのブラッキング区間でドット・クラック(Dclk:XGAモードで65Mhz)の個数が偶数(n)である。この場合にはSSCが正常の波形と周波数で発生される。これに反して、図4のように解像度モードがSVGAまたはVGAである場合にデータ・イネーブル信号(DE)のブラッキング区間でドット・クラック(Dclk)の個数が偶数に変化するようになる。この結果、解像度モードUXGA、SXGA、XGAでSVGAまたはVGAに転換される時図5のようにソース・ドライブIC(6)に入力されるSSPとSSCがセットアップ時間とホールド時間を規定するタイミングスペック(TimingSpec.)を外れるようになり画面上に水平に水平方向ノイズが表れるようになる。

【0014】図3乃至図5において、データ・イネーブル信号(DE)はタイミング・コントローラ(8)の内部回路により生成され、タイミング・コントローラ(8)により入力データから分割された奇数データと偶数データのサンプリング開示時点を示す。

【0015】これはソコブ画面をキャップチャした図9A乃至図11Bで更に分かりやすくなる。図9A乃至図11Bの波形図において、縦軸は時間(25.0ns単位)で、横軸は電圧(2.0V)である。

【0016】XGAの解像度でセットアップ時間とホールド時間のSSPとSSC波形を表す図9Aと図9Bで分かるように、XGAの解像度でドット・クラック(Dclk)の個数が偶数であるためにSSPとSSCの波形は正常的に表れる。これに比べて、XGAでVGAに解像度が変化するセットアップ時間とホールド時間のSSPよSSC波形を表す図10Aと図10Bで分かるように、ドットクラック(Dclk)の個数が偶数で奇数に変化するためにSSCの周期が変化するようになりSSC波形は解像度が変化する時点で歪曲される。

【0017】

【発明が解決しようとする課題】従って、本発明の目的は液晶表示装置の解像度モード切り換えの際に画質を鮮明に維持するようにした液晶表示装置の駆動方法及び装置を提供するのにある。

【0018】

【課題を解決するための手段】前記目的を達成するために、本発明による液晶表示装置の駆動方法はビデオデータが存在する期間を指示するデータ・イネーブル信号を入力として受ける段階と、データ・イネーブル信号のイネーブル開示時点を検出する段階と、データ・イネーブル信号のイネーブル開示時点でリセット信号を発生する段階と、リセット信号にตอบสนองして前記ビデオデータをサンプリングするためのソース・シフト・クラックをリセットさせる段階を含む。

【0019】本発明による液晶表示装置の駆動方法はソース・シフト・クラックにより前記ビデオデータをサンプリングした後にラッチする段階と、ラッチされたビデオデータを液晶パネルのデータラインなどに供給する段階と、液晶パネルのゲートラインなどにスキャンパルスを順次的に供給する段階を更に含む。

【0020】本発明による液晶表示装置の駆動装置はビデオデータが存在する期間を指示するデータ・イネーブル信号のイネーブル開示時点を検出してリセット信号を発生するリセット信号発生部と、イネーブル開示時点で前記ビデオデータをサンプリングするためのソース・シフト・クラックをリセットさせるリセット部とを具備する。

【0021】本発明による液晶表示装置の駆動装置はデータラインなどとゲートラインなどが直交し前記データラインとゲートラインの間の画素領域に液晶セルが形成されると共に前記データラインとゲートラインの交差部に形成されて前記液晶セルを駆動するための薄膜トランジスタを有する液晶パネルと、ソース・シフト・クラックにより前記ビデオデータをサンプリングした後にラッチしてラッチされたビデオデータを前記液晶パネルのデータラインなどに供給するためのソース駆動部と、液晶パネルのゲートラインなどにスキャンパルスを順次的に供給してスキャンラインを選択するためのゲート駆動部と、ソース駆動部とゲート駆動部を制御するためのタイミングコントローラとを更に具備する。

【0022】前記リセット信号発生部と前記リセット部は前記タイミングコントローラ内に内蔵されることを特徴とする。

【0023】前記リセット信号発生部は入力ラインを経由して前記データ・イネーブル信号とドットクラックを入力受けて前記ドットクラックにより前記データ・イネーブル信号を遅延させるためのDフリップ・フロップと、前記遅延されたデータ・イネーブル信号を反転させるためのインバーターと、前記遅延及び反転されたイネーブル信号と前記入力ラインからのデータ・イネーブル信号を論理かけ演算して前記データ・イネーブル信号のイネーブル開示時点を指示するリセット信号を発生するためのANDゲートとを更に具備することを特徴とする。

【0024】前記リセット部は前記ドットクラックをトリグリングすることで前記ソース・シフト・クラックを発生

生すると共に前記リセット信号にตอบสนองして前記ソース・シフト・クラックをリセットさせることを特徴とする。

【0025】

【作用】本発明による液晶表示装置の駆動方法及び装置は解像度変化により発生されるドット・クラック(Dclk)の偶数/奇数変化に関係なくタイミングコントローラに入力されるデータ・イネーブル(I_{DE})信号のイネーブル区間の開示時点を検出してソース・シフト・クラック(SSC)をリセットさせるようになる。

【0026】

【発明の実施態様】以下、図6乃至図8を参照して本発明の好ましい実施例に対して説明する。

【0027】図6を参照すると、液晶表示装置はゲートライン(GL1乃至GLm)とデータライン(DL1乃至DLn)の間にTFTと液晶セルが形成される液晶表示パネル(62)と、データライン(DL1乃至DLn)にデータを供給するためのソース・ドライブIC(66)と、ゲートライン(GL1乃至GLm)に順次的にスキャンパルスを供給するためのゲート・ドライブIC(64)と、ソース・ドライブIC(66)とゲート・ドライブIC(64)に必要なタイミング制御信号などを供給するためのタイミング・コントローラ(68)と、DclkとI_{DE}信号を入力受けてSSCを発生するSSC発生部(60)と、グラフィック・カードから供給されたデータをタイミング・コントローラ(68)に供給するためのインターフェース回路(72)とを具備する。

【0028】ソース・ドライブIC(66)はSSC発生部(60)からのSSCによりRGBそれぞれのデータをサンプリング及びラッチした後に、スキャンパルスに同期されてデータをn個のデータラインなど(DL1乃至DLn)に同時に供給される。

【0029】ソース・ドライブIC(66)はシフト・レジスタとレベル・シフトなどを含めてタイミング・コントローラ(68)からのGSPにตอบสนองしてゲート・ハイ電圧のスキャンパルスをゲートライン(GL1乃至GLm)に順次に供給するようになる。

【0030】タイミング・コントローラ(68)はインターフェース回路(72)を経由して入力されるRGB信号をソース・ドライブIC(66)に分配すると共にタイミング制御信号などを生成してソース・ドライブIC(66)とゲート・ドライブIC(64)を制御する。

【0031】インターフェース回路(72)は図示しないグラフィック・カードから供給されるRGBデータ、I_{DE}及びDclkをタイミング・コントローラ(68)に供給する。

【0032】SSC発生部(60)は解像度モードの切り換えの際にDclkの個数に無関係にI_{DE}がハイレベルに変化する時点を感知してリセット信号を発生するよ

うになる。また、SSC発生部(60)はリセット信号に
 応答してDclkをトグルング(Toggling)することでS
 SCを発生してそのSSCをソース・ドライブIC(6
 6)に供給するようになる。このSSC発生部(60)
 はタイミング・コントローラ(68)に内蔵されること
 ができる。

【0033】SSC発生部(60)は図7のようにイン
 ターフエース回路(72)からI_{DE}とDclkが入力さ
 れるDフリップ・フロップ(21)と、Dフリップ・フ
 ロップ(21)の出力端子に接続されたインバータ(2
 3)と、I_{DE}入力ライン(26)を経由してI_{DE}
 Eが入力されるバッファ(22)とインバータ(23)
 の出力端子に共通に接続されたANDゲート(24)
 と、Dclk入力ライン(27)とANDゲート(24)の
 出力端子の間に接続されたトグル・クラック&リセット
 部(25)とを具備する。

【0034】Dフリップ・フロップ(21)はI_{DE}
 を毎Dclkが入力される時毎に出力してI_{DE}をDclk
 の一周期ほど遅延させるようになる。ここで、Dclkの周
 波数は65MHzと仮定する。

【0035】バッファ(22)はI_{DE}入力ライン
 (26)を経由して入力されるI_{DE}をANDゲート
 (24)の第1入力端子に供給して、インバータ(2
 3)はDフリップ・フロップ(21)により遅延された
 I_{DE}を反転させANDゲート(24)の第2入力端
 子に供給する。

【0036】ANDゲート(24)はバッファ(22)
 から入力されるI_{DE}とインバータ(23)から入力
 される遅延及びI_{DE}を論理かけ演算することでI_{DE}
 Eがロー論理でハイ論理に変化する時点を指示する信
 号を発生するようになる。

【0037】トグル・クラック&リセット部(25)は
 ANDゲート(24)から入力されるハイ論理信号に応
 答してSSCをリセットさせるためのリセット信号を
 発生すると共にリセット信号に
 応答してDclkをトグルング
 することでSSC 32.5MHzを発生するようになる。

【0038】図8を参照すると、65MHzのDclkはA
 NDゲート(24)から出力される信号とトグル・クラ
 ック&リセット部(25)から出力される信号が同期さ
 れるようにDフリップ・フロップ(21)とリセット部
 (25)に共通に入力される。I_{DE}がブラッキング
 区間(ロー論理)であるとき、ANDゲート(24)の
 出力信号はバッファ(22)の出力信号がロー論理を維
 持するのでロー論理を維持する。I_{DE}がロー論理で
 ハイ論理に変化する時点で、バッファ(22)とインバ
 ータ(23)の出力信号が同時にハイ論理を有するよう
 になるのでANDゲート(24)はハイ論理のパルス信
 号を発生する。即ち、ANDゲート(24)は解像度モ
 ードの切り換えの際に例えば、UXGA、SXGA、X*50

*GAでSVGAまたはVGAに切り換えるときのドット
 ・クラック数の変化に関係なくI_{DE}の論理値がロー
 論理でハイ論理に変化する時点を検出する。このよう
 にANDゲート(24)から発生されたパルス信号即ち、
 リセット信号はトグル・クラック&リセット部(25)
 のリセット端子に供給される。このようにリセット信
 号は入力される時、トグル・クラック&リセット部(2
 5)はソース・ドライブIC(66)に供給される3
 2.5MHzのSSCは解像度モード切り換えに関係な
 くI_{DE}のイネーブル期間にいつも正常的なパルス幅
 と周波数を有するようになる。

【0039】SSPはタイミング・コントローラ(6
 8)により奇数・偶数データとリセット信号の間でSS
 Cの二倍パルス幅で発生される。

【0040】

【発明の効果】上述したところのように、本発明による
 液晶表示装置の駆動方法及び装置は解像度変化により発
 生されるドット・クラック(Dclk)の偶数/奇数変化に
 関係なくタイミングコントローラに入力されるデータ・
 イネーブル(I_{DE})信号のイネーブル区間の開示時
 点を検出してソース・シフト・クラック(SSC)をリ
 セットさせるようになる。その結果、本発明による液晶
 表示装置の駆動方法及び装置は解像度モードの切り換え
 の際に例えば、UXGA、SXGA、XGAでSVGA
 またはVGAに解像度モードが変化するときドットクラ
 ック(Dclk)の偶数/奇数変化に関係なくソース・ドラ
 イブICに入力されるSSCとSSPがVESA標準規
 格のタイミングスペックを満足するようになるので解像
 度モードの切り換えの際に水平方向ノイズの発生を防ぐ
 ことができる。更に、本発明による液晶表示装置の駆動
 方法及び装置はソース・ドライブICに入力されるSS
 CとSSPのタイミング・マージンを確保することがで
 きるので低温または高温環境で鮮明な画質を維持するこ
 とができる。

【0041】以上説明した内容を通して当業者であれば
 本発明の技術思想を一脱しない範囲で多様な変更及び修
 正の可能であることが分かる。従って、本発明の技術的
 な範囲は明細書の詳細な説明に記載された内容に限らず
 特許請求の範囲によって定めなければならない。

【図面の簡単な説明】

【図1】液晶表示装置の駆動装置を概略的に表すブロッ
 ク図である。

【図2】図1に図示されたタイミング・コントローラの
 出力波形図である。

【図3】UXGA、SXGA及びXGAの解像度モード
 で図1に図示されたタイミング・コントローラの入/出
 力波形図である。

【図4】VGAとSVGAの解像度モードで図1に図示
 されたタイミング・コントローラの入/出力波形図であ
 る。

【図5】VGAとSVGAの解像度モードで図1に図示されたタイミング・コントローラの入/出力波形図である。

【図6】本発明の実施例による液晶表示装置の駆動装置を表すブロック図である。

【図7】図6に図示されたSSC発生部を詳細に表す回路図である。

【図8】本発明の実施例による液晶表示装置の駆動装置の入/出力波形図である。

【図9A】XGAの解像度のセットアップ時間で表れるソース・スタート・パルスとソース・シフト・クラックを表す波形図である。

【図9B】XGAの解像度のホールド時間で表れるソース・スタート・パルスとソース・シフト・クラックを表す波形図である。

【図10A】XGAの解像度のセットアップ時間で表れるソース・スタート・パルスとソース・シフト・クラックを表す波形図である。

【図10B】XGAの解像度のホールド時間で表れるソース・スタート・パルスとソース・シフト・クラックを表す波形図である。

*す波形図である。

【図11A】図9Aと図10Aの波形図を重畳させ表す波形図である。

【図11B】図9Bと図10Bの波形図を重畳させ表す波形図である。

【符号の説明】

2 液晶表示パネル

4、64 ゲート・ドライバIC

6、66 ソース・ドライバ集積回路

8、68 タイミング・コントローラ

DL1乃至DLn データライン

GL1乃至GLm ゲートライン

12、72 インターフェース回路

21 Dフリップ・フロップ

22 バッファ

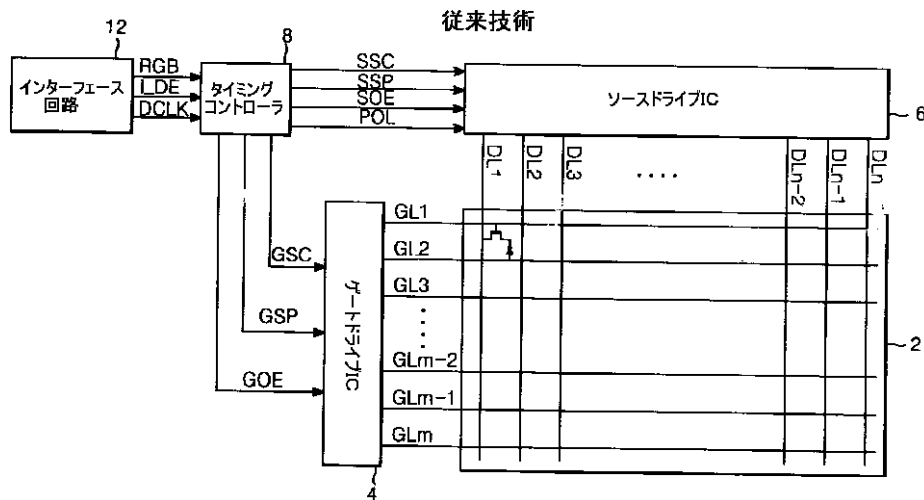
23 インバータ

24 ANDゲート

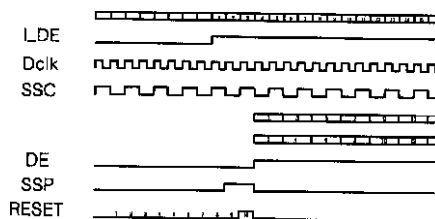
25 トグル・クラック&リセット部

60 SSC発生部

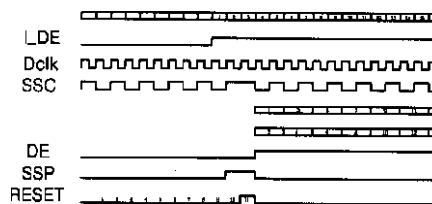
【図1】



【図3】

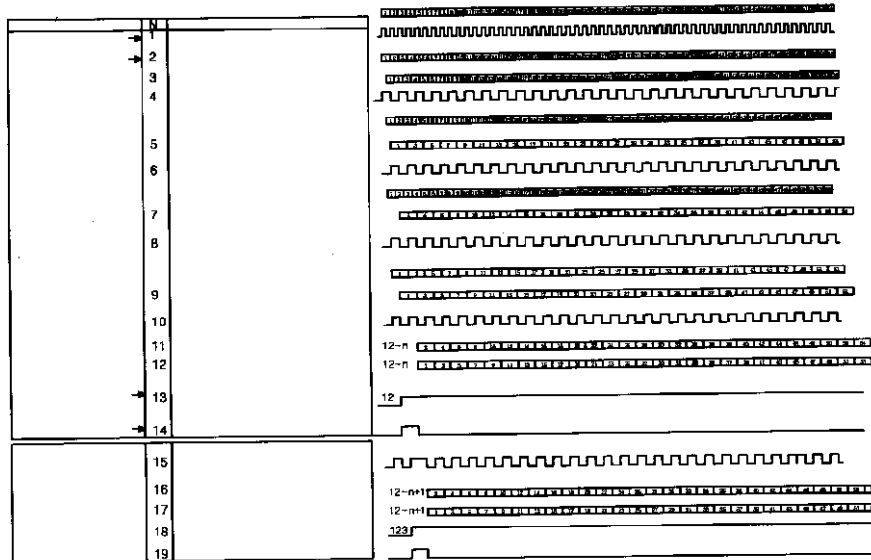


【図4】

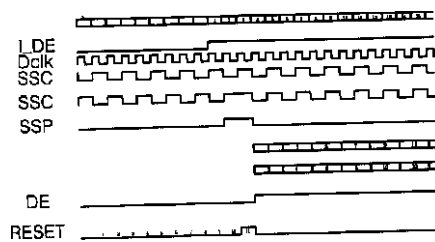


【図2】

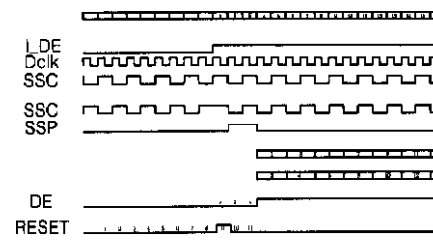
従来技術



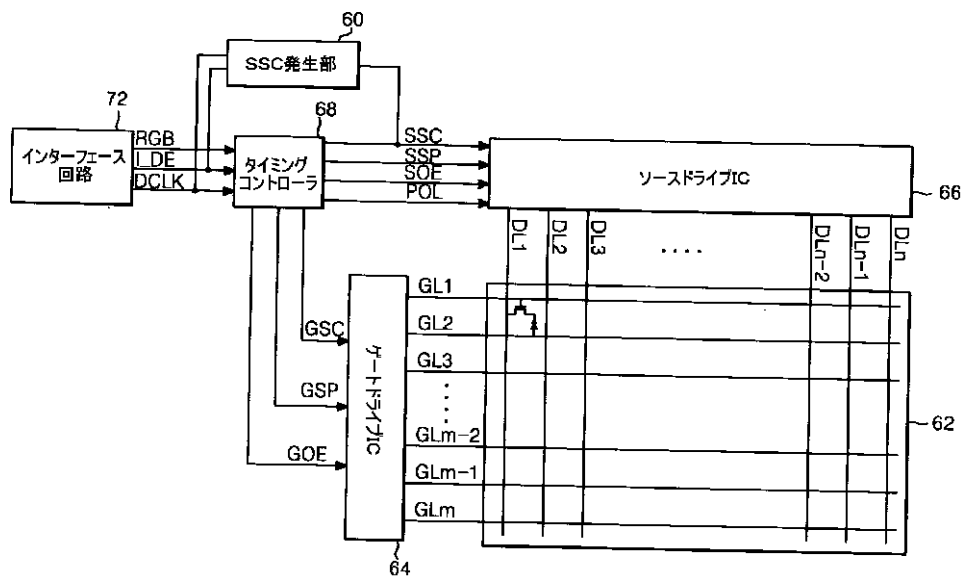
【図5】



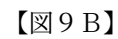
【図8】



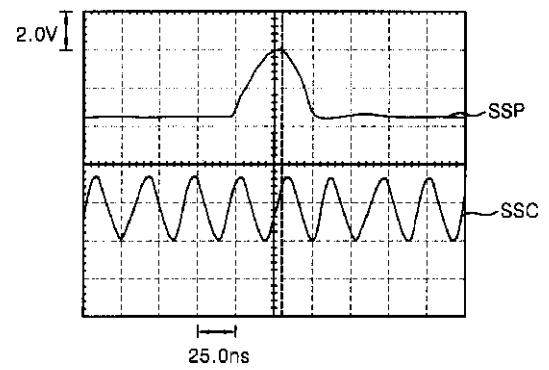
【図6】



60

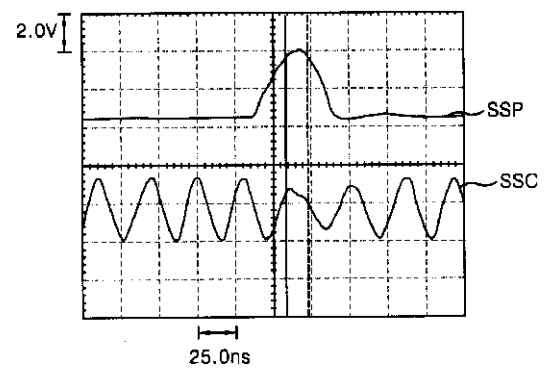


XGAホールドタイム

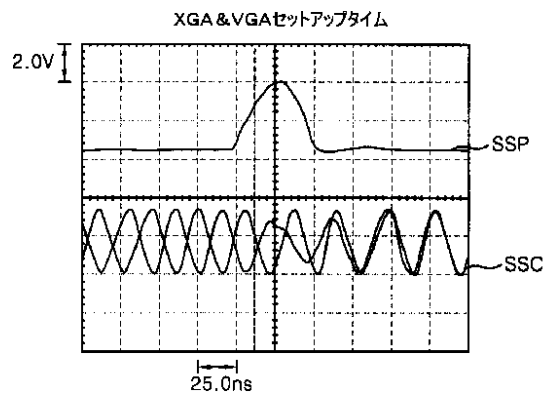


【図 10 B】

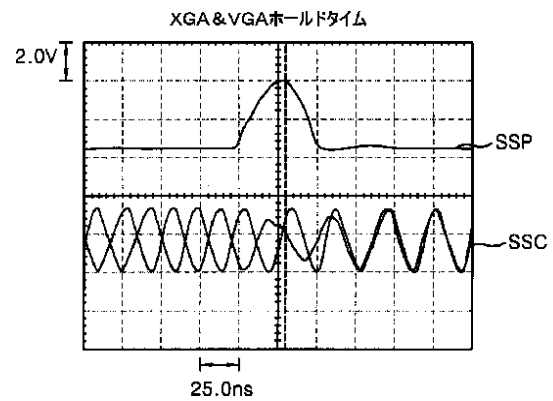
VGAホールドタイム



【図11A】



【図11B】



フロントページの続き

(51)Int.Cl. ⁷		識別記号	F I		テーマコード [*] (参考)
G 0 9 G	3/20	6 4 2	G 0 9 G	3/20	6 4 2 A
		6 5 0			6 5 0 B
H 0 4 N	5/66	1 0 2	H 0 4 N	5/66	1 0 2 B

F ターム(参考) 2H093 NA16 NC06 NC10 NC13 NC22
 NC23 NC26 NC34 NC59 NC65
 NC90 ND10 ND33 ND34 ND40
 ND43 ND52 ND55
 5C006 AA01 AA22 AF46 AF71 BC03
 BC06 BC11 BC16 BF04 BF06
 BF07 BF11 BF16 BF26 FA04
 FA08 FA22
 5C058 AA06 BA01 BA25 BB25
 5C080 AA10 BB05 CC03 DD05 EE28
 FF11 JJ02 JJ03 JJ04

专利名称(译)	用于驱动液晶显示装置的方法和设备		
公开(公告)号	JP2002304163A	公开(公告)日	2002-10-18
申请号	JP2001387959	申请日	2001-12-20
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji.菲利普斯杜天公司，有限公司		
[标]发明人	アーンソンクック		
发明人	アーン ソン クック		
IPC分类号	G02F1/133 G09G3/20 G09G3/36 H04N5/66		
CPC分类号	G09G5/006 G09G3/2096 G09G3/3611 G09G2310/08		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.612.J G09G3/20.623.G G09G3/20.623.L G09G3/20.642.A G09G3/20.650.B H04N5/66.102.B		
F-TERM分类号	2H093/NA16 2H093/NC06 2H093/NC10 2H093/NC13 2H093/NC22 2H093/NC23 2H093/NC26 2H093/NC34 2H093/NC59 2H093/NC65 2H093/NC90 2H093/ND10 2H093/ND33 2H093/ND34 2H093/ND40 2H093/ND43 2H093/ND52 2H093/ND55 5C006/AA01 5C006/AA22 5C006/AF46 5C006/AF71 5C006/BC03 5C006/BC06 5C006/BC11 5C006/BC16 5C006/BF04 5C006/BF06 5C006/BF07 5C006/BF11 5C006/BF16 5C006/BF26 5C006/FA04 5C006/FA08 5C006/FA22 5C058/AA06 5C058/BA01 5C058/BA25 5C058/BB25 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD05 5C080/EE28 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 2H193/ZA04 2H193/ZF22 2H193/ZH40 5C058/BA35		
优先权	1020000079375 2000-12-20 KR		
外部链接	Espacenet		

摘要(译)

驱动液晶显示装置的方法和装置技术领域本发明涉及一种用于驱动液晶显示装置的方法和装置,该方法和装置在切换液晶显示装置的分辨率模式时保持清晰的图像质量。根据本发明的用于驱动液晶显示装置的方法和装置在数据使能信号公开时产生复位信号,并且响应于该复位信号而产生用于对视频数据进行采样的源信号。它将重置移位裂纹。

