

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A) (11)特許出願公開番号

特開2002 - 277889

(P2002 - 277889A)

(43)公開日 平成14年9月25日(2002.9.25)

(51)Int.Cl.⁷

識別記号

F I

テ-マコ-ト* (参考)

G 0 2 F 1/1345

G 0 2 F 1/1345

2 H 0 9 2

1/1368

1/1368

5 F 0 3 3

H 0 1 L 21/3205

H 0 1 L 21/88

A

5 F 1 1 0

29/786

29/78

612 C

審査請求 未請求 請求項の数 11 O L (全 15数)

(21)出願番号 特願2001 - 73880(P2001 - 73880)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(22)出願日 平成13年3月15日(2001.3.15)

(72)発明者 松本 公一

東京都港区芝五丁目7番1号 日本電気株式

会社内

(74)代理人 100081433

弁理士 鈴木 章夫

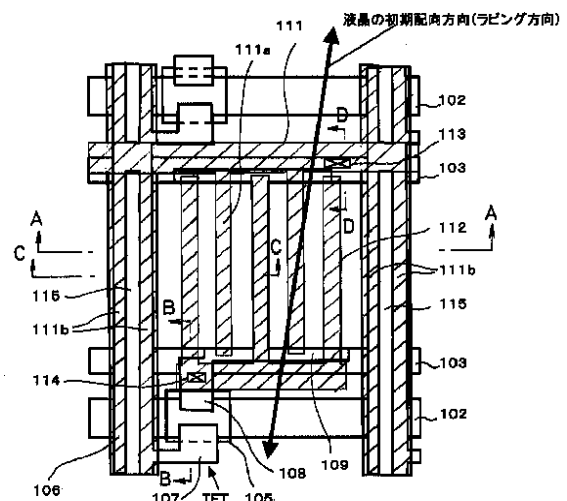
最終頁に続く

(54)【発明の名称】 アクティブマトリクス型液晶表示装置

(57)【要約】 (修正有)

【課題】 T F T基板に設けられたデータ線での信号遅延を解消する一方で、単位画素での開口率を向上し、かつ表示欠陥を防止する。

【解決手段】 T F T (薄膜トランジスタ)、T F Tのゲートにつながれた走査線、T F Tのソース・ドレインの一方につながれたデータ線 1 0 6、T F Tのソース・ドレインの他方につながれた画素電極 1 1 2、共通電極 1 1 1、及び共通電極配線 1 0 3を備える T F T基板と、単位画素をマトリクス状に区画するブラックマトリクスを備える対向基板とを対向配置し、両基板間に液晶を封入してなるアクティブマトリクス型液晶表示装置において、T F T基板の共通電極 1 1 1はデータ線の上層に延在される共通電極部分 1 1 1 bを備え、この共通電極部分にはデータ線の幅方向の中央領域に対向する領域を開口したスリット 1 1 5を有し、対向基板には当該スリットを覆う第1の導電膜を有し、この第1の導電膜は共通電極の電位に保持される。



- 102 : 走査線
- 103 : 共通電極配線
- 105 : 半導体アイランド
- 106 : データ配線
- 107 : ドレイン電極
- 108 : ソース電極
- 109 : 第1の画素電極
- 111 (111a, 111b) : 共通電極
- 112 : 第2の画素電極
- 113 : 共通電極用コンタクトホール
- 114 : 画素電極用コンタクトホール
- 115 : スリット

【特許請求の範囲】

【請求項 1】 TFT（薄膜トランジスタ）、前記 TFT のゲートにつながれた走査線、前記 TFT のソース・ドレインの一方につながれたデータ線、前記 TFT のソース・ドレインの他方につながれた画素電極、前記画素電極に近接配置される共通電極、及び前記共通電極につながれた共通電極配線を備える TFT 基板と、単位画素をマトリクス状に区画するブラックマトリクスを備える対向基板とを対向配置し、両基板間に液晶を封入してなるアクティブマトリクス型液晶表示装置において、前記 TFT 基板の前記共通電極は、絶縁膜を介して前記データ線の上層に延在される共通電極部分を備え、前記共通電極部分には前記データ線の幅方向の中央領域に対向する領域を開口したスリットを有し、前記対向基板には前記スリットを覆う第 1 の導電膜を有し、前記第 1 の導電膜は前記共通電極の電位に保持されていることを特徴とするアクティブマトリクス型液晶表示装置。

【請求項 2】 前記データ線の上層に延在される前記共通電極部分は、前記データ線の両側縁を覆うように前記データ線の幅寸法よりも大きい幅寸法を有していることを特徴とする請求項 1 に記載のアクティブマトリクス型液晶表示装置。

【請求項 3】 前記スリットは、前記共通電極部分の幅方向の中央領域に前記データ線の幅寸法よりも小さい開口幅を有していることを特徴とする請求項 1 又は 2 に記載のアクティブマトリクス型液晶表示装置。

【請求項 4】 前記対向基板の前記第 1 の導電膜は、前記スリットの開口幅よりも大きい幅寸法を有していることを特徴とする請求項 3 に記載のアクティブマトリクス型液晶表示装置。

【請求項 5】 前記 TFT 基板と前記対向基板とにおいて、それぞれ前記共通電極配線と前記第 1 の導電膜とを基板接続用コンタクトホールを介して相互に電気的に接続する導電体を有することを特徴とする請求項 1 ないし 4 のいずれかに記載のアクティブマトリクス型液晶表示装置。

【請求項 6】 前記 TFT 基板の前記基板接続用コンタクトホールは、前記共通電極配線と前記導電体との接合面に低抵抗な第 2 の導電膜が介在されていることを特徴とする請求項 5 に記載のアクティブマトリクス型液晶表示装置。

【請求項 7】 前記第 2 の導電膜は前記共通電極と前記画素電極と同一層であることを特徴とする請求項 6 に記載のアクティブマトリクス型液晶表示装置。

【請求項 8】 前記画素電極及び前記共通電極は絶縁膜を介して互いに異なる層で形成されることを特徴とする請求項 1 ないし 7 のいずれかに記載のアクティブマトリクス型液晶表示装置。

【請求項 9】 前記対向基板の前記第 1 の導電膜は、前記ブラックマトリクスであることを特徴とする請求項 1

ないし 8 のいずれかに記載のアクティブマトリクス型液晶表示装置。

【請求項 10】 前記対向基板の第 1 の導電膜は、前記ブラックマトリクスと同一パターンに形成されて当該ブラックマトリクスの上層に形成された導電膜からなることを特徴とする請求項 1 ないし 8 のいずれかに記載のアクティブマトリクス型液晶表示装置。

【請求項 11】 前記第 1 の導電膜、前記第 2 の導電膜、または前記透明導電膜は ITO 膜であることを特徴とする請求項 1 ないし 10 のいずれかに記載のアクティブマトリクス型液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はアクティブマトリクス型液晶表示装置に関し、特に IPS（インプレーンスイッチングモード）型の液晶表示装置に関するものである。

【0002】

【従来の技術】従来、アクティブマトリクス型液晶表示装置では、TFT（薄膜トランジスタ）を搭載している TFT 基板に形成するデータ線からの漏れ電界が、液晶に影響を与えて表示画像を劣化させる要因になっている。例えば、IPS 方式のアクティブマトリクス型液晶表示装置は、図 15 及び図 16 にそれぞれ平面レイアウト図とその PP 線断面図に示すように、TFT 基板 100 は、第 1 の透明基板 101 の内面上にゲート電極として機能する走査線 102 及び共通電極配線 103 につながる共通電極 111 を有し、その上に層間絶縁膜 104a を介してデータ線 106 及び画素電極 112 を有し、その上にパッシベーション膜 104b 及び配向膜 116 が形成されている。なお、前記走査線 102 の一部の上層には半導体アイランド 105 が形成され、前記データ線 106 と一体のドレイン電極 107 及び前記画素電極 112 と一体のソース電極 108 が形成され、TFT が形成される。また、前記第 1 の透明基板 101 の外面上には偏光板 119 を有している。一方、対向基板 200 は、第 2 の透明基板 201 の内面上にブラックマトリクス 202 を有し、このブラックマトリクス 202 の開口された領域にカラー用の色層 203 を有し、その上に平坦化膜 204 が形成され、さらに配向膜 205 が形成されている。また、前記第 2 の透明基板 201 の外面上には導電層 207、偏光板 208 を有している。そして、TFT 基板 100 と対向基板 200 の各内面を微細間隔で対向配置するとともに、画素領域を図外のスペーサで封止して密封する際の間隙を形成し、この間隙内に液晶 300 を充填したものである。

【0003】このアクティブマトリクス型液晶表示装置では、平行に配置されているデータ線 106 と画素電極 112 との間には電界（電気力線）が発生するが、この電界の一部がデータ線 106 を挟んだ両側の単位画素の

液晶300中に漏れ込み、これが漏れ電界となって表示画像を劣化させている。そのため、この液晶表示装置では、データ線106の両脇に沿った位置にも共通電極111の一部を配設しておき、この共通電極111の一部において図16に矢印で示すようにデータ線106からの漏れ電界を終端することで液晶300中への電界の漏れ込みを防止している。しかしながら、この漏れ防止効果、すなわち、シールド効果を高めるためには当該共通電極111の一部の線幅を大きくする必要があり、また、走査線102と同一層で形成される共通電極111はCr等のような低抵抗材料、すなわち金属等のような通常は光を透過しない不透明な材料で形成されているため、このデータ線106の両側に配置された共通電極111の当該一部によって液晶表示装置の単位画素における表示面積の割合、すなわち開口率が低下してしまうという問題がある。

【0004】そのため、特開平11-119237号公報に記載の技術のように、データ線の上層に共通電極を配設してデータ線からの漏れ電界のシールドを図った構成が提案されている。図17及び図18はこのようにデータ線の上層に共通電極を配設した構成例の平面レイアウト図とQQ線断面図であり、図15、16と等価な部分に同一符号を付してある。この液晶表示装置は、第1の透明基板101上の第1の層間絶縁膜104上にデータ線106と同層に第1の画素電極109を形成するとともに、その上の第2の層間絶縁膜110上に共通電極111と第2の画素電極112が形成されており、それぞれ共通電極用コンタクトホール113、画素電極用コンタクトホール114を介して下層の共通電極配線103と第1の画素電極109に電気接続されたものである。そして、これら共通電極111と第2の画素電極112がITO(Indium Tin Oxide)等の透明材料膜で形成されるとともに、共通電極111の一部111bがデータ線106の直上においてデータ線106の全面を覆うように、当該データ線106よりも幅寸法が大きいパターンとして形成されている。したがって、この液晶表示装置では、図18に矢印線で示すように、データ線106からの漏れ電界を上層の共通電極の一部111bによって終端させ、単位画素の液晶300への漏れ込みを防止し、表示画像の劣化を防止することが可能である。

【0005】しかしながら、この液晶表示装置では、共通電極の一部111bがデータ線106の全面を覆った構成であるため、データ線106と共通電極の一部111bとの間の静電容量が増大し、データ線106における信号遅延が懸念される。このようなデータ線106における静電容量の増大を抑制するためには、両者間に形成されている第2の層間絶縁膜110を厚く形成すればよいが、これでは第2の層間絶縁膜を成膜するための製造タクトが長くなり、ひいてはTFT基板の製造コストが高くなる。また、第2の層間絶縁膜を厚く形成した場

合にコンタクトホールを形成するには製造プロセスが複雑となり、ひいては歩留りを低下させ、結果的にTFT基板の製造コストが高くなる。また、当該第2の層間絶縁膜110を挟んでデータ線106と共通電極の一部111bとが対向する面積が大きくなっているため、ある確率で第2の層間絶縁膜110に生じるピンホール等の欠陥によりデータ線106と共通電極の一部111bとの間で電氣的な短絡(層間ショート)が生じ、液晶表示装置における表示に際しての線欠陥が発生する確率が高くなる。なお、前記公報には、共通電極の一部をデータ線の単位画素側の縁部を覆うように形成する形態も記載されているが、このようにデータ線の一方のみに共通電極の一部を形成したのでは、電界はデータ線の反対側の単位画素に漏れ込むおそれが生じるとともに、前述したような開口率が低下するという問題を解消することは困難である。

【0006】前述の第2の層間絶縁膜110を無機膜で形成する場合には、無機膜の誘電率が高いため、1~10 μ m程度の厚さに形成する必要がある。一方、同層間絶縁膜を有機膜で形成する場合には、有機膜の誘電率が低いため、0.5~5 μ m程度の厚さで済むが、有機膜からのイオン及び有機膜の密度が低いことによる液晶中イオンがTFTのバックチャネルへ吸着することを防止するために有機膜に限られた材料を用いなければならないという制約が生じる。また、同層間絶縁膜を無機膜と有機膜の積層膜で形成する場合には、無機膜と有機膜との膜厚バランスにより各膜厚が決定されるが、端子及び電極との接続用コンタクトを開口する際に、無機膜と有機膜のそれぞれに開口処理工程が必要であり、工数増加及びコスト高を生じることになる。

【0007】本発明の目的は、データ線の信号遅延を解消する一方で開口率を向上し、かつ表示欠陥を防止したアクティブマトリクス型液晶表示装置を提供するものである。

【0008】

【課題を解決するための手段】本発明のIPS方式のアクティブマトリクス型液晶表示装置は、TFT基板に設けられている共通電極は、絶縁膜を介してデータ線の上層に延在される共通電極部分を備え、前記共通電極部分には前記データ線の幅方向の中央領域に対向する領域を開口したスリットを有し、対向基板には前記スリットを覆う第1の導電膜を有し、前記第1の導電膜は前記共通電極の電位に保持されていることを特徴とするものである。この場合、前記データ線の上層に延在される前記共通電極部分は、前記データ線の両側縁を覆うように前記データ線の幅寸法よりも大きい幅寸法を有する。また、前記スリットは、前記共通電極部分の幅方向の中央領域に前記データ線の幅寸法よりも小さい開口幅を有する。さらに、前記対向基板の前記第1の導電膜は、前記スリットの開口幅よりも大きい幅寸法を有する。

【0009】また、本発明のアクティブマトリクス型液晶表示装置は、次の形態とすることが好ましい。前記 T F T 基板と前記対向基板は、それぞれ前記共通電極配線と前記第 1 の導電膜とを基板接続用コンタクトホールを対して相互に電氣的に接続する導電体を有する。この場合、前記 T F T 基板の前記基板接続用コンタクトホールは、前記共通電極配線と前記導電体との接合面に低抵抗な第 2 の導電膜が介在される。

【0010】また、前記共通電極と前記画素電極は前記第 2 の導電膜と同一層である。あるいは、前記画素電極 10 及び前記共通電極は絶縁膜を介して互いに異なる層で形成される。

【0011】また、前記対向基板の前記第 1 の導電膜は、前記ブラックマトリクスである。あるいは、前記対向基板の第 1 の導電膜は、前記ブラックマトリクスと同一パターンに形成されて当該ブラックマトリクスの上層に形成された導電膜からなる。さらに、前記第 1 の導電膜、前記第 2 の導電膜、または前記透明導電膜は I T O 膜で形成される。

【0012】本発明によれば、データ線の電界のうち、 20 隣接する単位画素に向けられる電界は、データ線の両側縁を覆う共通電極部分によって終端され、両側の単位画素の液晶中に電界が漏れ込むことが防止される。また、データ線の上方に向けられた電界は、直上の共通電極部分によって終端され、スリットを通った電界は対向基板の第 1 の導電膜によって終端され、液晶に漏れ込むことが防止される。このように、データ線を覆うように設けられた共通電極部分によりデータ線の電界が終端されるので、液晶における表示画像の劣化を防止することが可能になる。

【0013】また、本発明によれば、データ線を覆うように設けられた共通電極部分にはデータ線の線幅の中央領域に対向してスリットが開口されているため、このスリットによりデータ線と共通電極との対向面積が縮小され、データ線と共通電極との間の静電容量を低減することが可能になり、データ線での信号遅延が改善される。また、データ線と共通電極との対向面積が縮小され、両者間の層間絶縁膜での層間ショートが発生確率を格段に低減し、表示における線欠陥を未然に防止することが可能になる。

【0014】さらに、本発明によれば、対向基板の第 1 の導電膜をブラックマトリクスで構成した場合でも、当該第 1 の導電膜の幅寸法をデータ線の幅寸法よりも縮小することが可能であり、単位画素における開口率を向上することが可能になる。

【0015】

【発明の実施の形態】次に、本発明の実施形態を図面を参照して説明する。図 3 は本発明にかかる I P S 方式のアクティブマトリクス型液晶表示装置の全体図であり、矩形をしたマトリクス基板 1 を備えている。前記マトリ 50

クス基板 1 は、後述するように T F T 基板と対向基板との間に液晶を封入した構成であり、その周辺部 1 2 を除く中央の領域が画素領域 1 1 として構成されている。前記画素領域 1 1 には、後述するようにマトリクス配置された多数の T F T (薄膜トランジスタ) と単位画素を構成するための各種の電極や層膜が形成されている。また、併せて図 4 に一部の拡大図を示すように、前記マトリクス基板 1 には、一側辺に沿ってデータ線端子部 2 が配列されており、このデータ線端子部 2 に印加されるデータ線電位は後述するデータ線 1 0 6 に供給され、当該データ線から各 T F T のドレインに供給される。また、前記マトリクス基板 1 の両端辺に沿って走査線端子部 3 が配列されており、この走査線端子部 3 に印加される走査線電位は後述する走査線 1 0 2 に供給され、当該走査線から各 T F T のゲートに供給される。また、前記マトリクス基板 1 の周辺に沿って後述する共通電極配線に接続される共通電極配線端子部 4 が延設されており、この共通電極配線端子部 4 に印加される共通電圧は後述する共通電極に供給される。

【0016】図 1 及び図 2 は本発明の第 1 の実施形態にかかる前記マトリクス基板 1 の画素領域 1 1 に形成される単位画素における T F T 基板 1 0 0 の平面レイアウト図と、その A A 線に沿う断面図である。なお、以降の説明における X 方向、Y 方向は図 1 を基準とするものである。また、図 2 の断面図には前記周辺部 1 2 の一部の構造を併せて記載している。前述したように、マトリクス基板 1 は、T F T 基板 1 0 0 と対向基板 2 0 0 とが所要の間隙で対向配置されており、前記画素領域 1 1 の周囲において図外の封止部材により前記間隙内を封止し、その上で前記間隙内に液晶 3 0 0 が充填されている。また、周辺部 1 2 には、前記 T F T 基板 1 0 0 と対向基板 2 0 0 とを電氣的に接続するための電極構造が形成されるとともに、図 3 に示したデータ線端子部 2、走査線端子部 3、及び共通電極配線端子部 4 が形成されている。なお、図 2 にはこれらの端子部 2、3、4 は図示されていない。

【0017】前記 T F T 基板 1 0 0 は、図 5 (a) を参照すると、透明ガラス等からなる第 1 の透明基板 1 0 1 の内面上に、第 1 の金属膜、例えば C r、A l 又は M o、もしくはこれらの積層膜により走査線 1 0 2 及び共通電極配線 1 0 3 がそれぞれ Y 方向に所要の間隔をおいて X 方向に延長されている。その上に S i O₂ や S i N x 等からなる第 1 の層間絶縁膜 1 0 4 が形成され、さらにこの第 1 の層間絶縁膜 1 0 4 上には、後述するように a - S i 膜 (アモルファスシリコン膜) 及び n⁺ - S i 膜が積層され、かつ単位画素のそれぞれに対応して所定のパターンに形成された半導体アイランド 1 0 5 が形成されている。また、前記第 1 の層間絶縁膜 1 0 4 上には、第 2 の金属膜、例えば C r、A l 又は M o、もしくはこれらの積層膜により X 方向に所要の間隔をおいて Y

方向に延長されたデータ線106が形成されている。また、この第2のCr膜の他の一部は前記半導体アイランド105上においてY方向に微小間隔おいて対向するように形成されており、それぞれドレイン電極107、ソース電極108として形成されている。これにより、前記走査線102をゲートとするTFTが形成される。前記ドレイン電極107は前記データ線106に接続されている。また、各単位画素の領域において、前記第2のCr膜のさらに他の一部がY方向及びX方向に延長されて平面パターンが「エ」字状をした第1の画素電極109が形成され、前記ソース電極108に接続されている。

【0018】さらに、前記第2の金属膜で形成されたデータ線106、ドレイン電極107、ソース電極108、第1の画素電極109上には、第2の層間絶縁膜110が形成され、その表面が平坦化されている。そして、前記第2の層間絶縁膜110上には、図5(b)に示す、所要のパターンにITO膜が形成されており、このITO膜の位置不によりY方向及びX方向にそれぞれ延長された格子状をした共通電極111が形成されている。前記共通電極111は、各単位画素の領域では、前記共通電極111のX方向に延長されたX方向延長部分111cからY方向に突出された複数本、ここでは2本の枝状共通電極部111aを有している。また、前記ITO膜の他の一部により、前記枝状共通電極部111aのX方向の間においてY方向に延長される3本の枝状画素電極部112aを有する平面パターンが「ヨ」字状をした第2の画素電極112を有している。また、前記共通電極111はデータ線106上においては第2の層間絶縁膜110を挟んでデータ線106を覆うように形成される。そして、前記共通電極111は、前記第2の層間絶縁膜110及び第1の層間絶縁膜104を通して開口された共通電極用コンタクトホール113を介して前記共通電極配線103に電気接続されている。また、前記第2の画素電極112は前記第2の層間絶縁膜110に開口された画素電極用コンタクトホール114を介して前記第1の画素電極109、あるいはソース電極108に電気接続されている。

【0019】ここで、前記共通電極111のうち、Y方向に延長されているY方向延長部分111bは、前記データ線106よりもX方向に太い幅寸法に形成されて前記データ線106の上方を覆うように前記データ線106上に沿って延長されている。また、その一方で、前記Y方向延長部分111bはX方向の中央領域がY方向に沿って除去されたスリット115が開口されている。なお、このスリット115は前記共通電極111のうち、X方向に延長されているX方向延長部分111cと交差する箇所には設けられておらず、X方向の連続性が保たれている。ここで、例えば、データ線106の線幅を10 μ mとしたとき、前記共通電極111のY方向延長部

分111bの線幅を18 μ mとし、その中央に5 μ m幅のスリット115を開口する。これにより、前記Y方向延長部分111bはデータ線106の幅方向両側に4 μ mの幅に広がった状態でデータ線106の両側縁の上方を対称に覆う一方で、データ線106の中央領域はスリット115により開口されることになる。なお、前記Y方向延長部分111bは、データ線106の幅方向両側に少なくとも1.5 μ m以上広がった状態で形成されることが好ましい。ただし、前記各線幅の寸法は、第2の層間絶縁膜110の膜厚によって多少変更される。

【0020】その上で、前記共通電極111及び第2の画素電極112を覆うように配向膜116が形成され、表面が配向処理されている。また、周辺部12においては、前記第2の層間絶縁膜110及び第1の層間絶縁膜104に基板接続用コンタクトホール117が開口され、前記した対向基板200との間で電氣的に接続を行う導電材料118が形成されている。さらに、前記第1の透明基板101の外面上には偏光板119が貼り付けられている。

【0021】一方、前記対向基板200は、第2の透明基板201の内面上にCr膜等の光を透過しない不透明な材料で形成され、前記単位画素の表示領域以外の領域を遮光するためのカーボンブラック等からなるブラックマトリクス202が形成される。前記ブラックマトリクス202は周辺部12及び画素領域11にわたって連続したパターン形状に形成されており、その上でブラックマトリクス202の一部202aは、前記TFT基板100のデータ線106に対向する領域に設けられており、後述するようにTFT基板100と対向基板200とを一体化したときに、少なくとも前記共通電極111のY方向延長部分111bに開口されているスリット115の上方領域を覆うように形成される。すなわち、前述のように前記スリット115は5 μ mの幅に形成されているので、ブラックマトリクス202の対応する部分202aは、少なくとも5 μ m以上の幅寸法に形成される。この実施形態では、前記Y方向延長部分111bの線幅と同じ18 μ mの幅寸法に形成している。なお、この幅寸法はTFT基板100と対向基板200との間の寸法によって適正な寸法に設定される。

【0022】また、各単位画素の領域では、前記ブラックマトリクス202の開口された領域に、例えば、RGB等のカラー用の色層203が形成される。そして、全面を覆う平坦化膜204が形成され、さらにこの平坦化膜204の上に配向膜205が形成され、表面が配向処理されている。さらに、周辺部12においては、前記ブラックマトリクス202の他の一部202b上の平坦化膜204がエッチングされて基板接続用コンタクトホール206が開口されている。また、前記第2の透明基板201の外面上には導電層207が形成され、さらにその上に偏光板208が貼り付けられている。

【0023】以上の構成のTFT基板100と対向基板200は、それぞれの内面を所要の間隔で対向配置されるとともに、画素領域11の周囲に設けられた封止手段としての図外のスペーサにより両基板間に密封間隙を形成し、この密封間隙内に液晶300が充填される。また、周辺部12では、前記対向基板200に設けられた基板接続用コンタクトホール206と、前記TFT基板100に設けられた基板接続用コンタクトホール117との間に、前記導電材料としての銀ペースト118が介在され、この銀ペースト118によって前記TFT基板100の共通電極配線103と前記対向基板100のブラックマトリクス202が相互に電氣的に接続されている。

【0024】このように構成されるマトリクス基板1において、TFTのオン、オフ動作に伴い単位画素における液晶の配向方向を水平面内で回転させるIPSモードでの表示動作を行うことはこれまでと同様であり、この点についての説明は省略する。この表示動作において、データ線106の近傍での電界状態について図6を参照すると、データ線106により発生する電界（電気力線：同図に矢印線で示す）のうち、データ線のX方向の両側方に向けられた電界は、データ線106をX方向に挟む両側の単位画素の領域の液晶に向けて洩れ出しに行くが、データ線106の両側縁を覆うように共通電極のY方向延長部分111bが張り出しているため、電界は当該Y方向延長部分111bによって終端され、両側の単位画素の液晶300中に電界が漏れ込むことは防止される。また、データ線106の上方に向けられた電界は、一部は直上の共通電極のY方向延長部分111bによって終端されるが、他の一部はスリット115を通して対向基板200側にまで漏れ出しに行く。しかし、スリット115の上方には対向基板200のブラックマトリクスの一部202bがスリット115を覆うように設けられており、しかもブラックマトリクス202は基板接続用コンタクトホール117、206及び銀ペースト118によってTFT基板100の共通電極111と同じ電位に保持されているため、スリット115を通過した電界はブラックマトリクスの一部202bによって終端され、液晶300に漏れ込むことは防止される。このように、データ線106を覆うように設けられた共通電極のY方向延長部分111bによりデータ線106の電界が終端され、各単位画素の液晶300中への漏れ込みが防止されるので、液晶における表示画像の劣化を防止することが可能になる。

【0025】一方、共通電極のY方向延長部分111bはデータ線106の全面を覆っているが、当該Y方向延長部分111bにはデータ線106の線幅方向の中央領域に対向してスリット115が開口されているため、このスリット115によりデータ線106とY方向延長部分111b、すなわち、共通電極111との対向面積が

縮小され、第2の層間絶縁膜110の膜厚を厚くしなくともデータ線106と共通電極111との間の静電容量を低減することが可能になり、データ線106での信号遅延が改善される。また、データ線106と共通電極111との対向面積が縮小されることで、第2の層間絶縁膜110の膜厚を薄くした場合でも、当該第2の層間絶縁膜110に生じるピンホールによる層間ショートが発生確率を格段に低減することが可能になり、液晶表示装置での表示における線欠陥を未然に防止することが可能になる。

【0026】また、データ線106上の共通電極のY方向延長部分111bはデータ線106の両側縁から若干幅方向に突出されているが、当該Y方向延長部分111bを含めて共通電極111は透明なITO膜で形成されていること、その上に対向配置されるブラックマトリクス202は不透明なCr膜で形成されているものの、その幅寸法はY方向延長部分111bのスリット115を覆う程度の幅寸法に形成されていることから、単位画素における表示の開口率を向上することが可能になる。

【0027】ここで、前記TFT基板の製造工程を図7～図9を参照して説明する。なお、これらの図は、図1のBB線、CC線、DD線と、図2に示した周辺部12の基板接続用コンタクトホール117と、図4に示したデータ線端子部2及び走査線端子部3の各断面構造を工程順に示す図である。先ず、図7(a)のように、第1の透明基板101の内面上に第1のCr膜131をスパッタ法により形成する。そして、図7(b)のように、図外のフォトリソグراف技術を用いたフォトリソグراف技術により前記第1のCr膜131をパターン形成し、ゲート電極としての走査線102と、共通電極配線103を形成する。次いで、図7(c)のように、全面にCVD法等によりSiO₂膜132を形成し、さらにその上にSiNx膜133、a-Si層134、n⁺-Si層135を順次プラズマCVD法により形成する。これにより、前記SiO₂膜132とSiNx膜133とで前記第1の層間絶縁膜104が形成され、前記a-Si層134とn⁺-Si層135とで半導体層が形成される。そして、図7(d)のように、前記半導体層をフォトリソグراف技術でパターン形成し、前記半導体アイランド105を形成する。

【0028】次いで、図8(a)のように、全面に第2のCr膜136をスパッタ法により形成する。そして、図8(b)のように、前記第2のCr膜136をフォトリソグراف技術によりパターン形成し、データ線106と、これにつながるドレイン電極107と、第1の画素電極109と、これにつながるソース電極108を形成する。さらに、前記ドレイン電極107とソース電極108との間のn⁺-Si層135を選択エッチングすることにより、前記a-Si層134をチャネル層とし、n⁺-Si層135をオーミック層とするTFTが

形成される。しかる上で、図8(c)のように、全面にSiNx膜137をプラズマCVD法により形成し、さらにその上にアクリル系の樹脂(有機膜)138をスピンコートして表面が平坦な第2の層間絶縁膜110を形成する。

【0029】次いで、図9(a)のように、前記第2の層間絶縁膜110を構成するアクリル系樹脂138とSiNx膜137を順次エッチングし、単位画素の領域においては、第1の画素電極109上に画素電極用コンタクトホール114を、共通電極配線103上に共通電極用コンタクトホール113を開口する。また、周辺部12においては共通電極線103上に基板接続用コンタクトホール117を開口する。さらに、周辺部12のデータ線端子部2と走査線端子部3においては、それぞれデータ線用コンタクトホール120と走査線用コンタクトホール121を開口する。次いで、図9(b)のように、全面にITO膜139をスパッタ法により形成した後、図9(c)のように、これをフォトリソグラフィ技術によりパターン形成し、共通電極111と第2の画素電極112を形成する。なお、この際に前記共通電極111の一部のY方向延長部分111bがデータ線106の上方を覆うような格子状にパターン形成され、かつそのY方向延長部分111bではデータ線106の幅方向の中央領域を開口するスリット115が形成されることは前述の通りである。また、前記基板接続用コンタクトホール117を除く他のコンタクトホール113, 114, 120, 121においてはITO膜139が残され、特にデータ線用コンタクトホール120と走査線用コンタクトホール121ではそれぞれ導電性の電極122, 123として形成されることになる。なお、基板接

続用コンタクトホール117では、ホール内底に共通電極配線103が露出された構成となる。しかる後、図2に示したように、周辺部12を除く画素領域11領域において前記ITO膜139を覆うように配向膜116を形成し、表面を配向処理することにより前記TFT基板100が形成される。

【0030】なお、前記対向基板200は、ブラックマトリクス202を前述したようなパターン形状に形成する他は、従来の製造方法をそのまま利用することが可能であるので、ここでは説明は省略する。ただし、周辺部12においては、ブラックマトリクス202の一部202b上の層間絶縁膜204に基板接続用コンタクトホール206を開口する工程は必要である。そして、形成したTFT基板100と対向基板200とを対向して一体化する前に、前記TFT基板100の基板接続用コンタクトホール117内に盛り上がるように銀ペースト118を充填しておき、TFT基板100に対向基板200を一体化したときに、当該銀ペースト118の上部が対向基板200の基板接続用コンタクトホール206内に充填され、銀ペースト118によって共通電極配線10

3とブラックマトリクス202とを電氣的に接続する構成が形成される。

【0031】なお、共通電極111のY方向延長部分111bは単位画素の領域の液晶300内への電界の漏れ込みを防止するものであるため、単位画素の側縁に沿った領域に設けられれば十分であり、当該Y方向延長部分は必ずしも複数の単位画素の領域にわたってY方向に連続形成される必要はない。したがって、共通電極111、特にY方向延長部分111bは、図10に示すように、X方向に連続されるがY方向には単位画素毎に分離された構成としてもよい。

【0032】図11は本発明の第2の実施形態を示す図であり、この第2の実施形態の単位画素の平面レイアウト図は、図1に示した第1の実施形態の平面レイアウト図と同じであるので図示は省略し、図1のAA線に相当する箇所の断面構造を示している。また、第1の実施形態と等価な部分には同一符号を付してある。第2の実施形態では、TFT基板100に形成した基板接続用コンタクトホール117の内面に、共通電極111及び第2の画素電極112を形成するために成膜したITO膜139の一部を残し、当該コンタクトホール117内に露出されている第1のCr膜131からなる共通電極配線103の表面を当該ITO膜139の一部139aで覆うようにしたものである。このような構造は、図9(c)の製造工程において、ITO膜139をパターン形成する際に、当該ITO膜139の一部139aを基板接続用コンタクトホール117内に残すようにパターン形成すればよい。そして、このITO膜の一部139aの表面上に対向基板200のブラックマトリクス202との電気接続を行うための導電材としての銀ペースト118を接合したものである。このように、基板接続用コンタクトホール117内に表面が酸化し難いITO膜139aを形成することで、第1の実施形態のように銀ペースト118をCr膜に直接接合する場合にCr膜の表面酸化膜によって銀ペーストの接合性が低下されるという問題が解消され、銀ペースト118とITO膜139aとの接合性を改善し、ブラックマトリクス202に供給する共通電極電位の電圧降下を抑制し、電界の漏れ防止効果を高めることが可能になる。

【0033】また、第2の実施形態では、対向基板に形成するブラックマトリクスのうち、TFT基板のデータ線及び共通電極の上方に配置される部分の幅寸法を第1の実施形態よりも狭くした例を示している。前述したように、ブラックマトリクス202の一部202aは共通電極のY方向延長部分111bのスリット115を覆う程度の幅寸法に形成すればよいので、ここではブラックマトリクスの一部202aの幅寸法をデータ線106の幅寸法にほぼ等しい寸法にまで縮小している。このようにすることで、単位画素の領域におけるブラックマトリクスの一部202aの幅寸法を低減し、開口率を向上す

る上で有利になる。

【0034】図12は本発明の第3の実施形態を示す図であり、第2の実施形態と同様な断面構造を示している。第3の実施形態では、データ線106の上方を覆う導電膜として、前記各実施形態のブラックマトリクス202に代えて、透明でかつ低抵抗なITO膜209で構成したものである。すなわち、ブラックマトリクス202を覆う平坦化膜204の表面に低抵抗な導電膜としてITO膜209を形成し、このITO膜209の表面を単位画素領域において配向膜205で覆った構成としたものである。前記ITO膜209は、ブラックマトリクス202をパターン形成する際に用いるフォトリソグラフィ技術によりパターン形成しており、ITO膜209のパターンはブラックマトリクス202と同一となっている。したがって、TFT基板100のデータ線106及び共通電極のY方向延長部分111bのスリット115を覆う領域にITO膜209の一部209aが形成されることになる。また、周辺部12においては、TFT基板100との電気接続を行うために前記ITO膜209の他の一部209bが形成され、このITO膜209bに銀ペースト118が接続されており、銀ペースト118との接合性が改善されている。したがって、この例では対向基板200には基板接続用コンタクトホールは形成されない。なお、TFT基板100は第1の実施形態の構成のものが用いられている。

【0035】通常、ブラックマトリクス202は、遮光性を高めるためにカーボンブラックで構成することが多く、このカーボンブラックは銀ペースト等の金属との接合性が低く、接合抵抗が大きい。この第3の実施形態では、ブラックマトリクスよりも低抵抗なITO膜209を、データ線106及び共通電極のスリット115を覆う領域に形成し、かつ周辺部に設けた一部209bにおいて基板接続用の銀ペースト118によって共通電極111と同じ電位となるように電気接続を行っているの
30
で、ITO膜209における共通電位の電圧降下は少なく、単位画素におけるデータ線106の電界の漏れ防止効果を高めることが可能になる。また、ブラックマトリクス202の上層にITO膜209を同一パターンに形成しても、ITO膜209は透明であるため、単位画素
40
の開口率を低下させることもない。これにより、データ線106の上方のブラックマトリクス202の幅寸法をさらに縮小することが可能になり、開口率を向上する上でも有利になる。なお、前記ITO膜に代えて、他の低抵抗な導電膜で構成することも可能である。また、この場合、開口率の面からは当該導電膜が透明であることが好ましいが、特に透明に限ることはない。

【0036】図13は本発明の第4の実施形態を示す図であり、第2の実施形態のTFT基板100と、第3の実施形態の対向基板200とを用いてマトリクス基板を

構成したものである。すなわち、TFT基板100では、基板接続用コンタクトホール117に、共通配線111と第2の画素電極112を形成するためのITO膜139の一部139aを残し、銀ペースト118との接合性を改善している。また、対向基板200では、ブラックマトリクス202とは独立したITO膜209の一部209aでデータ線106及びY方向延長部111b上を覆い、かつ周辺部12においては当該ITO膜の他の一部209bに銀ペースト118を接合してITO膜209を共通電極111の電位に保持したものである。したがって、第4の実施形態では、TFT基板100における基板接続用コンタクトホール117での銀ペースト118と共通電極配線103との接続抵抗を低減するとともに、対向基板200に設けたITO膜209に対する銀ペーストの接続抵抗を低減し、かつITO膜の低抵抗によりITO膜を共通電極の電位に保ち、共通電極のY方向延長部分111bのスリット115を通過したデータ線106の電界の漏れ防止、及び開口率の向上を図る上で有利である。

【0037】図14は本発明の第5の実施形態を示す図である。この第5の実施形態では、TFT基板100においては前記ITO膜239で枝状共通電極部111aを含む共通電極111のみを形成し、形成された共通電極111上にSiO₂やSiNx等の第3の層間絶縁膜124を形成し、その上に第2のITO膜で第2の画素電極112を形成し、さらに、第2の画素電極112上に配向膜116を形成している。また、周辺部12の基板接続用コンタクトホール117内に前記ITO膜139の一部139aを残していることは第2及び第4の実施形態と同じである。一方、対向基板200は、第3及び第4の実施形態の対向基板と同じ構成である。したがって、第5の実施形態では、液晶を駆動する共通電極111と第2の画素電極112が第3の層間絶縁膜124を介して異なる層上に形成されているため、共通電極111と第2の画素電極112のショートによる画素不点灯などの表示不良が発生しにくくなる。また、画素設計上でも同一工程で形成しないため、様々なレイアウトをとることが可能になるため、さらなる表示品位改善を行うことができる。また、第4の実施形態と同様に、TFT基板100における基板接続用コンタクトホール117での銀ペースト118と共通電極配線103との接続抵抗を低減するとともに、対向基板200に設けたITO膜209に対する銀ペースト118の接続抵抗を低減し、かつ当該ITO膜209の低抵抗によりITO膜209を共通電極の電位に保ち、データ線106の電界の漏れ防止、及び開口率の向上を図る上で有利になる。

【0038】ここで、前記各実施形態では、TFT基板100の共通電極配線103と対向基板200のブラックマトリクス202或いはITO膜(導電膜)209を電気接続する基板接続用コンタクトホール117(20

6) 内の導電材として銀ペーストを用いているが、他の導電性材料からなるペースト、或いはロー材を用いてもよい。

【0039】

【発明の効果】以上説明したように本発明のアクティブマトリクス型液晶表示装置は、TFT基板に設けられている共通電極は、データ線の上層に延在される共通電極部分を備え、当該共通電極部分にはデータ線の幅方向の中央領域に対向する領域を開口したスリットを有し、対向基板には前記スリットを覆う第1の導電膜を有し、当該第1の導電膜は共通電極の電位に保持されているので、表示品質を向上するとともに、データ線の信号遅延を解消し、かつ表示欠陥を防止し、さらに開口率を向上することが可能になる。すなわち、本発明によれば、データ線の電界のうち、隣接する単位画素に向けられる電界は、データ線の両側縁を覆う共通電極部分によって終端され、両側の単位画素の液晶中に電界が漏れ込むことが防止される。また、データ線の上方に向けられた電界は、直上の共通電極部分によって終端され、スリットを通った電界は対向基板の第1の導電膜によって終端され、液晶に漏れ込むことが防止される。このように、データ線を覆うように設けられた共通電極部分によりデータ線の電界が終端されるので、液晶における表示画像の劣化を防止することが可能になる。

【0040】また、本発明によれば、データ線を覆うように設けられた共通電極部分にはデータ線の線幅の中央領域に対向してスリットが開口されているため、このスリットによりデータ線と共通電極との対向面積が縮小され、データ線と共通電極との間の静電容量を低減することが可能になり、データ線での信号遅延が改善される。また、データ線と共通電極との対向面積が縮小され、両者間の層間絶縁膜での層間ショートが発生確率を格段に低減し、表示における線欠陥を未然に防止することが可能になる。

【0041】さらに、本発明によれば、対向基板の第1の導電膜をブラックマトリクスで構成した場合でも、当該第1の導電膜の幅寸法をデータ線の幅寸法よりも縮小することが可能であり、単位画素における開口率を向上することが可能になる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態の単位画素におけるTFT基板の平面レイアウト図である。

【図2】図1のAA線に沿う断面図である。

【図3】本発明にかかるアクティブマトリクス型液晶表示装置の全体構成図である。

【図4】図3の一部の拡大図である。

【図5】TFT基板の各層のパターンを示す図である。

【図6】データ線の上方領域における電界の状態を示す

模式的な断面図である。

【図7】第1の実施形態のTFT基板の製造方法を説明するための工程断面図のその1である。

【図8】第1の実施形態のTFT基板の製造方法を説明するための工程断面図のその2である。

【図9】第1の実施形態のTFT基板の製造方法を説明するための工程断面図のその3である。

【図10】第1の実施形態の変形例を示すTFT基板の平面レイアウト図である。

【図11】本発明の第2の実施形態の断面図であり、図1のAA線に相当する箇所の断面図である。

【図12】本発明の第3の実施形態の断面図であり、図1のAA線に相当する箇所の断面図である。

【図13】本発明の第4の実施形態の断面図であり、図1のAA線に相当する箇所の断面図である。

【図14】本発明の第5の実施形態の断面図であり、図1のAA線に相当する箇所の断面図である。

【図15】従来のアクティブマトリクス型液晶表示装置の平面レイアウト図である。

【図16】図15のPP線に沿う断面図である。

【図17】従来の改善されたアクティブマトリクス型液晶表示装置の平面レイアウト図である。

【図18】図17のQQ線に沿う断面図である。

【符号の説明】

1 マトリクス基板

2 データ線端子部

3 走査線端子部

11 画素領域

12 周辺領域

100 TFT基板

101 第1の透明基板

102 走査線

103 共通電極配線

106 データ線

109 第1の画素電極

111 共通電極

111b Y方向延長部分

112 第2の画素電極

115 スリット

117 基板接続用コンタクトホール

118 銀ペースト

200 対向基板

201 第2の透明基板

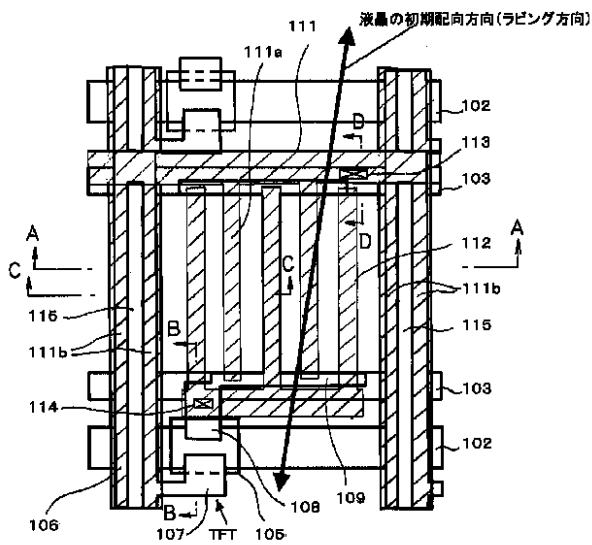
202 ブラックマトリクス

206 基板接続用コンタクトホール

209 ITO膜

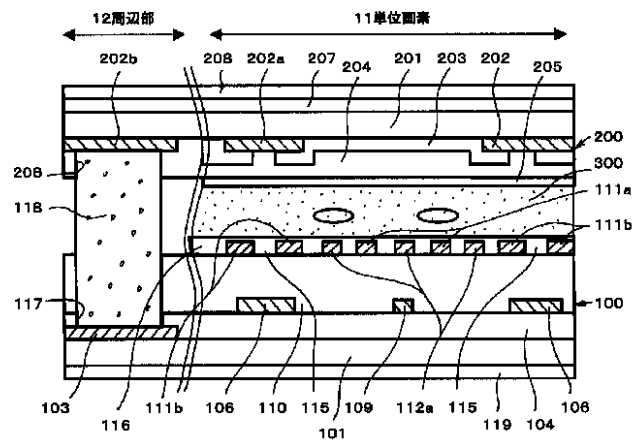
300 液晶

【図1】



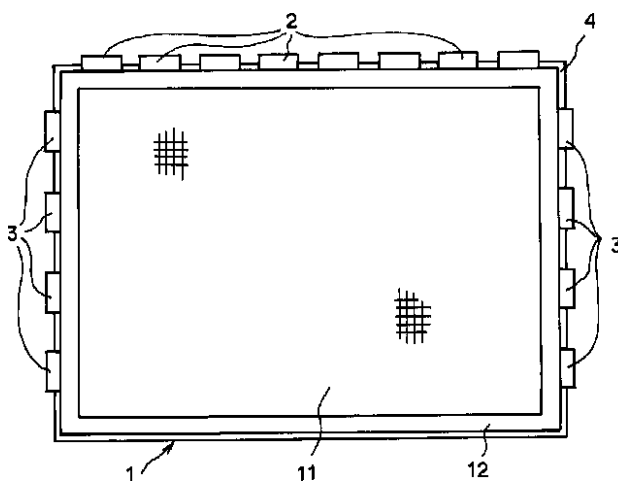
- 102 : 走査線
103 : 共通電極配線
105 : 半導体アイランド
106 : データ配線
107 : ドレイン電極
108 : ソース電極
109 : 第1の画素電極
111(111a, 111b) : 共通電極
112 : 第2の画素電極
113 : 共通電極用コンタクトホール
114 : 画素電極用コンタクトホール
115 : スリット

【図2】



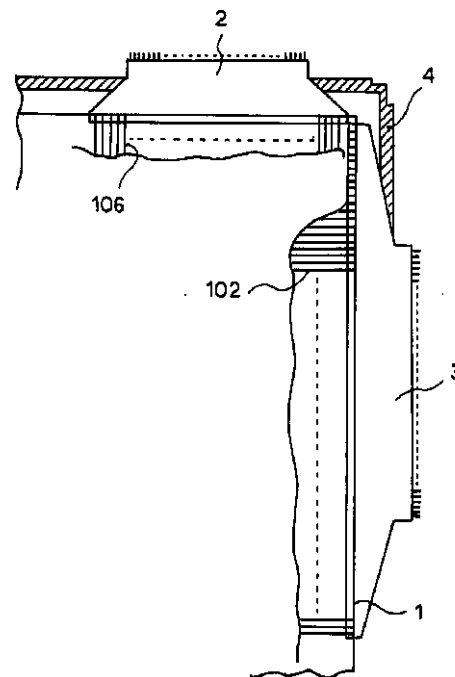
- 100 : TFT基板
101 : 第1の透明基板
103 : 共通電極配線
106 : データ配線
109 : 第1の画素電極
111(111a, 111b) : 共通電極
112 : 第2の画素電極
115 : スリット
117 : 基板接続用コンタクトホール
118 : 銀ペースト
119 : 偏光板
200 : 対向基板
201 : 第2の透明基板
202 : ブラックマトリクス
203 : 色層
206 : 基板接続用コンタクトホール
208 : 偏光板
300 : 液晶

【図3】



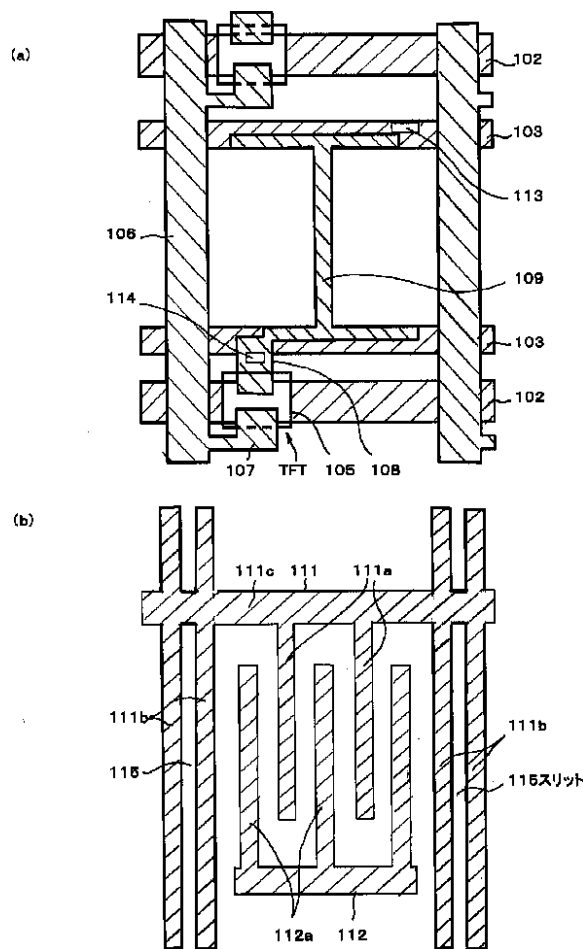
- 1 : マトリクス基板
2 : データ線端子部
3 : 走査線端子部
4 : 共通電極配線端子部
11 : 画素領域 (単位画素)
12 : 周辺部

【図4】

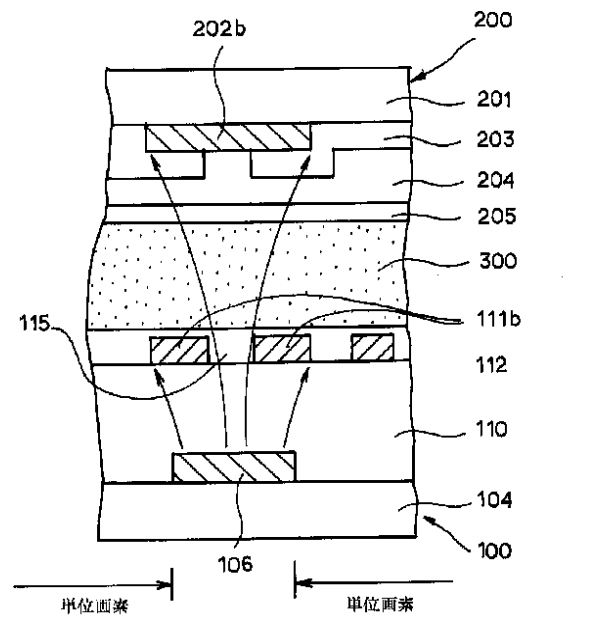


- 1 : マトリクス基板
2 : データ線端子部
3 : 走査線端子部
4 : 共通電極配線端子部
102 : 走査線
106 : データ線

【図5】



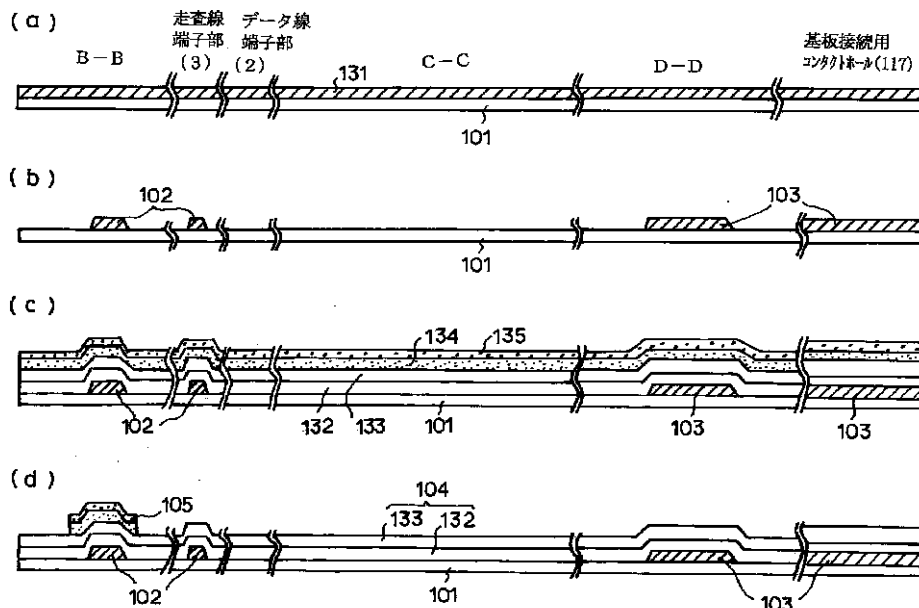
【図6】



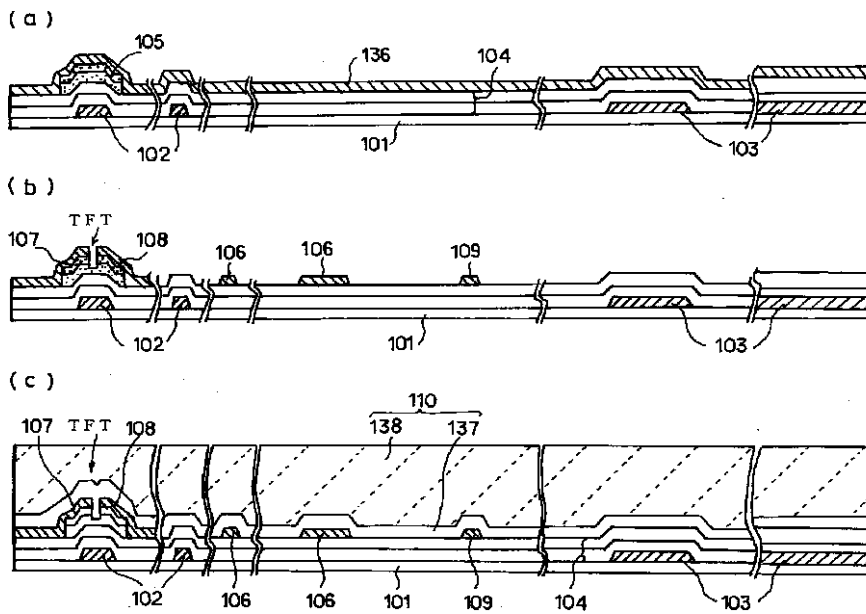
100 : TFT基板
104 : 第1の層間絶縁膜
106 : データ配線
110 : 第2の層間絶縁膜
111b : 共通電極 (Y方向延長部分)
112 : 第2の画素電極
115 : スリット

200 : 対向基板
201 : 第2の透明基板
202(202b) : ブラックマトリクス
203 : 色層
208 : 偏光板
300 : 液晶

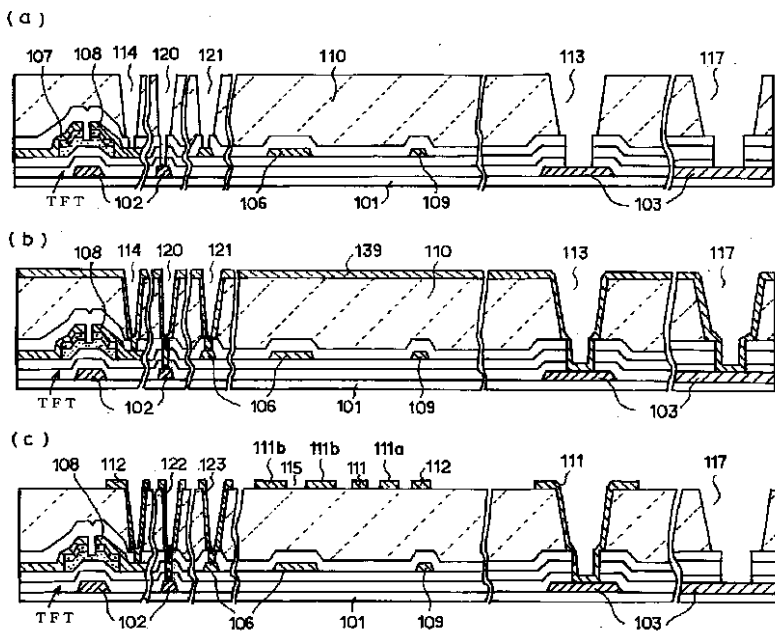
【図7】



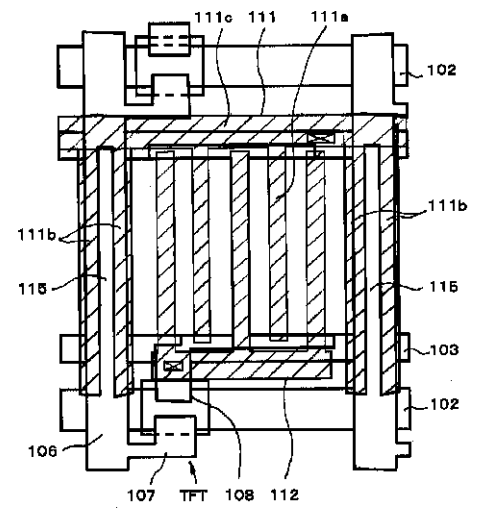
【図8】



【図9】

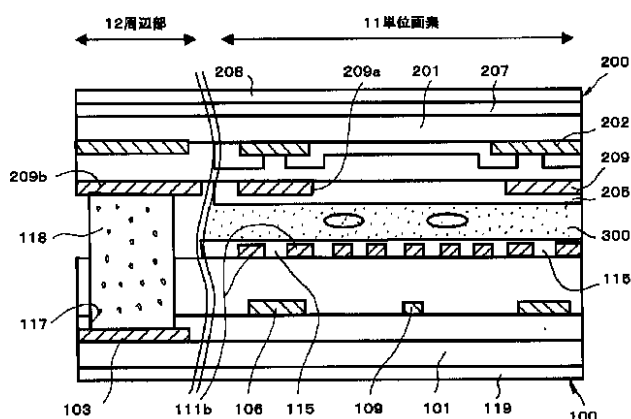


【図10】



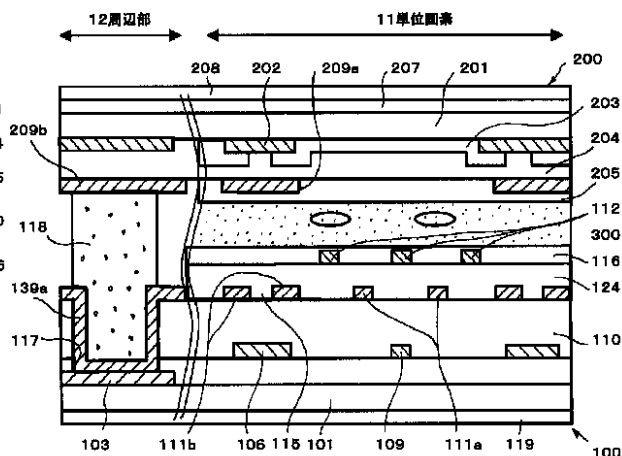
- 102 : 走査線
- 103 : 共通電極配線
- 105 : 半導体アイランド
- 106 : データ配線
- 107 : ドレイン電極
- 108 : ソース電極
- 109 : 第1の画素電極
- 111(111a, 111b) : 共通電極
- 112 : 第2の画素電極
- 115 : スリット

【图 1 2】



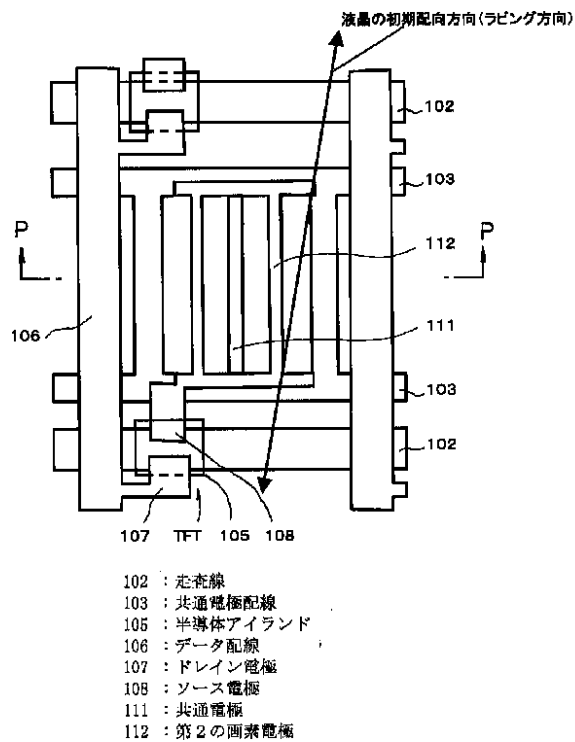
- | | |
|----------------------|----------------------|
| 100 : T F T 基板 | 200 : 対向基板 |
| 101 : 第 1 の透明基板 | 201 : 第 2 の透明基板 |
| 103 : 共通電極配線 | 202 : ブラックマトリクス |
| 106 : データ配線 | 203 : 色層 |
| 109 : 第 1 の画素電極 | 208 : 偏光板 |
| 111b : 共通電極(Y方向延長部分) | 209a, 209b : I T O 膜 |
| 115 : スリット | 300 : 液晶 |
| 117 : 基板接続用コンタクトホール | |
| 118 : 假ベースト | |
| 119 : 偏光板 | |

【图 14】

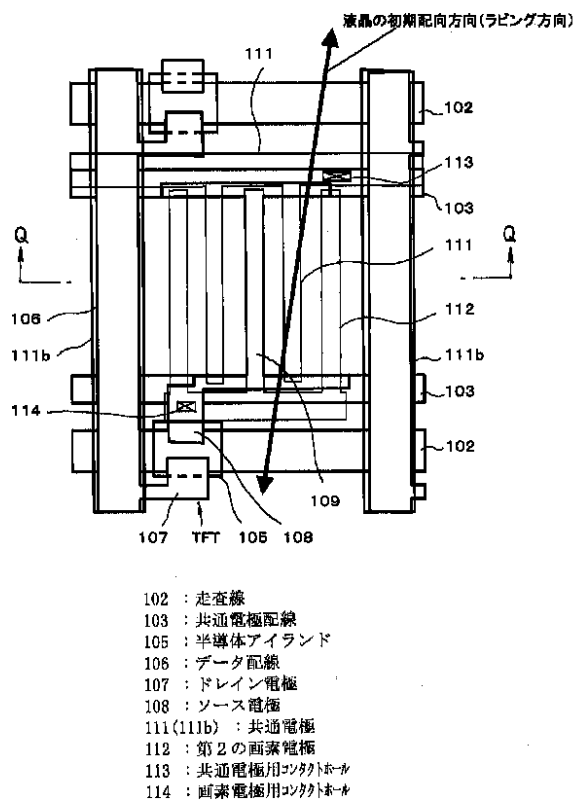


- | | | | |
|-----------------|-----------------|------------|-------------|
| 100 | : TFT基板 | 200 | : 対向基板 |
| 101 | : 第1の透明基板 | 201 | : 第2の透明基板 |
| 103 | : 共通電極配線 | 202 | : ブラックマトリクス |
| 106 | : ゲータ配線 | 203 | : 色層 |
| 109 | : 第1の画素電極 | 208 | : 偏光板 |
| 111(111a, 111b) | : 共通電極 | 209a, 209b | : ITO膜 |
| 112 | : 第2の画素電極 | 300 | : 液晶 |
| 115 | : スリット | | |
| 117 | : 基板接続用コンタクトホール | | |
| 118 | : 銀ペースト | | |
| 119 | : 偏光板 | | |
| 139a | : ITO膜 | | |

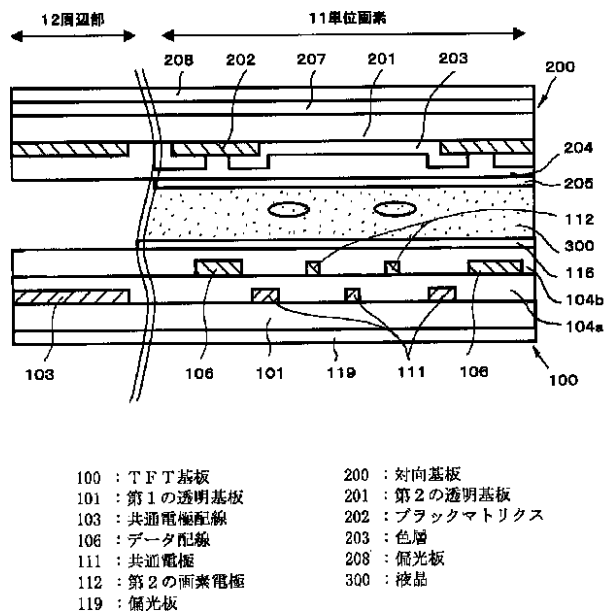
【図15】



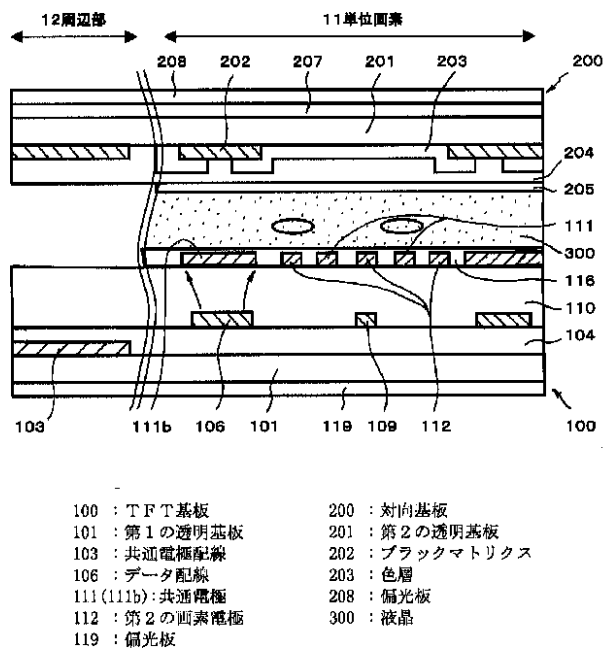
【図17】



【図16】



【図18】



フロントページの続き

F ターム(参考) 2H092 GA14 JA26 JA34 JA37 JA41
JA46 JA47 JB22 JB32 JB33
JB35 JB52 JB53 JB56 JB69
KB05 KB14 MA05 MA07 MA10
MA13 MA18 NA07 NA16 NA23
NA25 PA03 PA09
5F033 GG04 HH38 JJ01 JJ38 KK08
KK17 KK20 MM22 PP15 RR06
RR21 SS15 SS21 VV03 VV15
XX23 XX24 XX27
5F110 AA27 BB01 CC07 DD02 EE03
EE04 EE37 EE44 FF02 FF03
FF09 FF29 FF30 GG02 GG15
GG45 HK03 HK04 HK09 HK21
HK33 HK35 HL07 HL23 HM19
NN03 NN24 NN27 NN35 NN36
NN72 NN73

专利名称(译)	有源矩阵型液晶显示装置		
公开(公告)号	JP2002277889A	公开(公告)日	2002-09-25
申请号	JP2001073880	申请日	2001-03-15
申请(专利权)人(译)	NEC公司		
[标]发明人	松本公一		
发明人	松本 公一		
IPC分类号	G02F1/1343 G02F1/1345 G02F1/1362 G02F1/1368 H01L21/3205 H01L23/52 H01L29/786		
CPC分类号	G02F1/1345 G02F1/134363 G02F2001/136218		
FI分类号	G02F1/1345 G02F1/1368 H01L21/88.A H01L29/78.612.C G02F1/1343		
F-TERM分类号	2H092/GA14 2H092/JA26 2H092/JA34 2H092/JA37 2H092/JA41 2H092/JA46 2H092/JA47 2H092/JB22 2H092/JB32 2H092/JB33 2H092/JB35 2H092/JB52 2H092/JB53 2H092/JB56 2H092/JB69 2H092/KB05 2H092/KB14 2H092/MA05 2H092/MA07 2H092/MA10 2H092/MA13 2H092/MA18 2H092/NA07 2H092/NA16 2H092/NA23 2H092/NA25 2H092/PA03 2H092/PA09 5F033/GG04 5F033/HH38 5F033/JJ01 5F033/JJ38 5F033/KK08 5F033/KK17 5F033/KK20 5F033/MM22 5F033/PP15 5F033/RR06 5F033/RR21 5F033/SS15 5F033/SS21 5F033/VV03 5F033/VV15 5F033/XX23 5F033/XX24 5F033/XX27 5F110/AA27 5F110/BB01 5F110/CC07 5F110/DD02 5F110/EE03 5F110/EE04 5F110/EE37 5F110/EE44 5F110/FF02 5F110/FF03 5F110/FF09 5F110/FF29 5F110/FF30 5F110/GG02 5F110/GG15 5F110/GG45 5F110/HK03 5F110/HK04 5F110/HK09 5F110/HK21 5F110/HK33 5F110/HK35 5F110/HL07 5F110/HL23 5F110/HM19 5F110/NN03 5F110/NN24 5F110/NN27 5F110/NN35 5F110/NN36 5F110/NN72 5F110/NN73 2H192/AA24 2H192/BB02 2H192/BB03 2H192/BB73 2H192/BB83 2H192/BC31 2H192/CB05 2H192/CB83 2H192/CC04 2H192/CC57 2H192/DA72 2H192/EA22 2H192/EA23 2H192/EA32 2H192/EA43 2H192/EA56 2H192/EA67 2H192/GA02 2H192/GA42 2H192/JA33		
代理人(译)	铃木昭雄		
其他公开文献	JP4831716B2		
外部链接	Espacenet		

摘要(译)

(带更正) 解决的问题: 为了消除在TFT基板上提供的数据线中的信号延迟, 提高单位像素中的开口率, 并防止显示缺陷。TFT(薄膜晶体管), 连接至TFT的栅极的扫描线, 连接至TFT的源极和漏极之一的数据线, 连接至TFT的源极和漏极中的另一个的像素电极112, 公共电极111, 在有源矩阵型液晶显示装置中, 其中设置有公共电极布线103的TFT基板和设置有用将单位像素划分为矩阵形状的黑矩阵的对向基板彼此相对并且在两个基板之间密封液晶, 基板的公共电极111设置有延伸至数据线的上层的公共电极部分111b, 并且公共电极部分在与数据线的宽度方向上的中央区域相对的区域内具有开口的狭缝115, 基板具有覆盖缝隙的第一导电膜, 并且第一导电膜被保持在公共电极的电位。

