

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2002 - 244157

(P2002 - 244157A)

(43)公開日 平成14年8月28日(2002.8.28)

(51) Int.Cl. ⁷	識別記号	F I	テ-マコード [*] (参考)
G 0 2 F 1/1368		G 0 2 F 1/1368	2 H 0 9 2
	1/1343		5 C 0 9 4
G 0 9 F 9/30	338	G 0 9 F 9/30	5 F 1 1 0
	9/35		
H 0 1 L 29/78		H 0 1 L 29/78	612 C

審査請求 有 請求項の数 16 O L (全 19数) 最終頁に続く

(21)出願番号 特願2001 - 328325(P2001 - 328325)

(22)出願日 平成13年10月25日(2001.10.25)

(31)優先権主張番号 特願2000 - 380517(P2000 - 380517)

(32)優先日 平成12年12月14日(2000.12.14)

(33)優先権主張国 日本(JP)

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72)発明者 藤田 伸

長野県諏訪市大和3丁目3番5号 セイコーエ

プソン株式会社内

(74)代理人 100095728

弁理士 上柳 雅誉 (外 2 名)

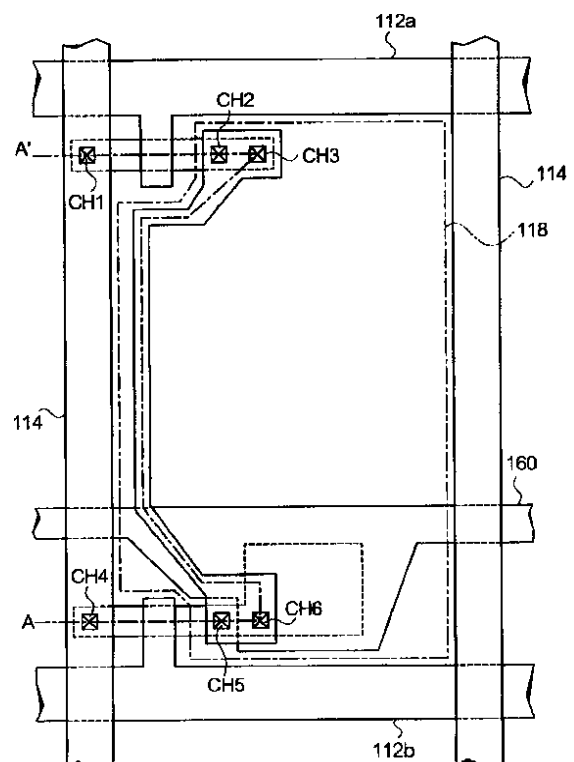
最終頁に続く

(54)【発明の名称】 電気光学パネルおよび電子機器

(57)【要約】

【課題】 1画素当たり、2つのトランジスタ素子を用いた構成の特徴を有効に発揮できる電気光学パネル、これを用いた電子機器を提供すること。

【解決手段】 ある画素は、走査線112aにゲート電極が接続されるPチャンネルTFT116pと、走査線112bにゲート電極が接続されるNチャンネルTFT116nを備えている。PチャンネルTFT116pおよびNチャンネルTFT116nは、オン状態になるとデータ線114に供給される画像信号の電圧を保持容量HCと液晶容量LCに書き込む。保持容量HCはNチャンネルTFT116nのドレイン電極に接続されている。また、保持容量HCはPチャンネルTFT116pのドレイン電極と配線Lで接続されている。配線Lは低い抵抗の材料で構成されているから、PチャンネルTFT116pを介して保持容量HCに書き込む際の時定数を小さくすることができる。



【特許請求の範囲】

【請求項 1】 素子基板と、対向基板と、前記素子基板と前記対向基板とに挟持される電気光学物質とを有する電気光学パネルであって、

前記素子基板は、

複数の対となる走査線と、

複数のデータ線と、

前記走査線と前記データ線との交差に対応してマトリックス状に配置され、対となる一方の前記走査線と他方の前記走査線との間に各々配置された画素電極と、

対となる前記走査線の一方とゲート電極が接続され、前記データ線とソース電極が接続され、前記画素電極とド

レイン電極が接続される第 1 トランジスタ素子と、

対となる前記走査線の他方とゲート電極が接続され、前記データ線とソース電極が接続され、前記画素電極とド

レイン電極が接続される第 2 トランジスタ素子と、

前記第 2 トランジスタ素子のドレイン電極と接続される容量素子と、

前記第 1 トランジスタ素子のドレイン電極と前記第 2 トランジスタ素子のドレイン電極とを接続する配線とを備

えることを特徴とする電気光学パネル。

【請求項 2】 前記配線の抵抗値は、前記第 1 トランジスタ素子のドレイン電極と前記第 2 トランジスタ素子のドレイン電極とを接続する前記画素電極の等価抵抗値より小さいことを特徴とする請求項 1 に記載の電気光学パネル。

【請求項 3】 前記対向基板には、共通電極と、格子状のブラックマトリックスとが形成され、前記配線は、前記ブラックマトリックスと重なるように配置されることを特徴とする請求項 1 に記載の電気光学パネル。

【請求項 4】 素子基板と、対向基板と、前記素子基板と前記対向基板とに挟持される電気光学物質とを有する電気光学パネルであって、

前記素子基板は、

複数の対となる走査線と、

複数のデータ線と、

前記走査線と前記データ線との交差に対応してマトリックス状に配置され、対となる一方の前記走査線と他方の前記走査線との間に各々配置された画素電極と、

対となる前記走査線の一方とゲート電極が接続され、前記データ線とソース電極が接続される第 1 トランジスタ素子と、

対となる前記走査線の他方とゲート電極が接続され、前記データ線とソース電極が接続される第 2 トランジスタ素子と、

前記第 1 トランジスタ素子のドレイン電極と前記第 2 トランジスタ素子のドレイン電極とを接続する配線とを備

え、

前記第 1 トランジスタ素子のドレイン電極と前記第 2 トランジスタ素子のドレイン電極とのうちいずれか一方と

10 前記ドレイン電極は、前記ゲート絶縁膜に形成された第 1 コンタクトホールを介して前記ドレイン領域と接続され、

前記画素電極と前記ドレイン電極とは第 2 コンタクトホールを介して接続され、

前記配線の抵抗値は、前記第 1 コンタクトホールの等価抵抗値または前記第 2 コンタクトホールの等価抵抗値より小さいことを特徴とする請求項 1 または 4 に記載の電気光学パネル。

【請求項 7】 前記第 1 および第 2 トランジスタ素子は、ソース領域、ゲート領域およびドレイン領域からなるポリシリコン層と、前記ポリシリコン層の上に形成されるゲート絶縁膜とを備え、

前記ドレイン電極は、前記ゲート絶縁膜に形成された第 1 コンタクトホールを介して前記ドレイン領域と接続され、

前記画素電極と前記ドレイン電極とは第 2 コンタクトホールを介して接続され、

前記対向基板には、共通電極と、格子状のブラックマトリックスとが形成され、

30 前記第 2 コンタクトホールは、前記ブラックマトリックスと重なるように配置されていることを特徴とする請求項 4 に記載の電気光学パネル。

【請求項 8】 前記第 1 トランジスタ素子は、P 型の薄膜トランジスタ素子で構成され、前記第 2 トランジスタ素子は、N 型の薄膜トランジスタで構成されることを特徴とする請求項 1 または 5 に記載の電気光学パネル。

【請求項 9】 前記第 1 トランジスタ素子は、N 型の薄膜トランジスタ素子で構成され、前記第 2 トランジスタ素子は、P 型の薄膜トランジスタで構成されることを特徴とする請求項 1 または 5 に記載の電気光学パネル。

【請求項 10】 前記容量素子は、前記他方の走査線に近接して形成された容量線と、前記第 2 トランジスタ素子のドレイン領域との間で構成されることを特徴とする請求項 8 または 9 に記載の電気光学パネル。

【請求項 11】 前記画素電極は、透光性導電膜から構成されていることを特徴とする請求項 1 または 4 に記載の電気光学パネル。

【請求項 12】 前記画素電極は、透光性導電膜から構成されているとともに、一方の面側に前記電気光学物質側が位置し、他方の面側には、入射光を反射する反射層

【請求項 13】 前記画素電極は、透光性導電膜から構成されているとともに、一方の面側に前記電気光学物質側が位置し、他方の面側には、入射光を反射する反射層

【請求項 14】 前記画素電極は、透光性導電膜から構成されているとともに、一方の面側に前記電気光学物質側が位置し、他方の面側には、入射光を反射する反射層

【請求項 15】 前記画素電極は、透光性導電膜から構成されているとともに、一方の面側に前記電気光学物質側が位置し、他方の面側には、入射光を反射する反射層

【請求項 16】 前記画素電極は、透光性導電膜から構成されているとともに、一方の面側に前記電気光学物質側が位置し、他方の面側には、入射光を反射する反射層

【請求項 17】 前記画素電極は、透光性導電膜から構成されているとともに、一方の面側に前記電気光学物質側が位置し、他方の面側には、入射光を反射する反射層

【請求項 18】 前記画素電極は、透光性導電膜から構成されているとともに、一方の面側に前記電気光学物質側が位置し、他方の面側には、入射光を反射する反射層

【請求項 19】 前記画素電極は、透光性導電膜から構成されているとともに、一方の面側に前記電気光学物質側が位置し、他方の面側には、入射光を反射する反射層

【請求項 20】 前記画素電極は、透光性導電膜から構成されているとともに、一方の面側に前記電気光学物質側が位置し、他方の面側には、入射光を反射する反射層

を備え、
前記配線は、前記反射層に対して前記画素電極とは反対側に形成されていることを特徴とする請求項 1 または 4 に記載の電気光学パネル。

【請求項 13】 前記反射層の一部に光を透過する開口部を設け、
前記配線を前記開口部と重ならないように配置したことを特徴とする請求項 12 に記載の電気光学パネル。

【請求項 14】 前記画素電極は、光反射性導電膜から構成されていることを特徴とする請求項 1 または 4 に記載の電気光学パネル。

【請求項 15】 前記素子基板に、対となる前記走査線を順次選択する走査線駆動回路と、前記各データ線に画像信号を供給するデータ線駆動回路とを形成したことを特徴とする請求項 1 乃至 14 のうちいずれか 1 項に記載の電気光学パネル。

【請求項 16】 請求項 15 に記載した電気光学パネルを備えたことを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、一画素当たり 2 個のトランジスタ素子を有する電気光学パネルおよびこれを用いた電子機器に関するものである。

【0002】

【従来の技術】従来の液晶表示パネルは、素子基板、対向基板、これらの基板間に挟持される液晶から構成されている。そして、素子基板の画像表示領域には、複数のデータ線、複数の走査線が形成されており、それらの交差に対応してマトリクス状に配列した画素の各々に薄膜トランジスタ (Thin Film Transistor: 以下、TFT と称する) が設けられている。

【0003】画素の回路構成については各種のものが提案されているが、そのうちのひとつとして、PチャネルTFTとNチャネルTFTとを組み合わせるものがある。図26は、従来の液晶装置に用いられる素子基板の一画素に相当する回路を示す回路図である。この図において、データ線6にはPチャネルTFT1およびNチャネルTFT2のソース電極が接続される一方、走査線5aにはPチャネルTFT1のゲート電極が接続され、走査線5bにはNチャネルTFT2のゲート電極が接続されている。

【0004】また、PチャネルTFT1およびNチャネルTFT2の各ドレイン電極は画素電極3に接続され、さらにNチャネルTFT2のドレイン電極は保持容量4に接続されている。ここで、画素電極3、対向基板に形成される共通電極、および液晶によって液晶容量が形成される。

【0005】このような画素構成において、データ線6に供給される画像信号は、PチャネルTFT1およびNチャネルTFT2がオン状態になると、液晶容量7と保

持容量4とに書き込まれる。そして、PチャネルTFT1およびNチャネルTFT2がオフ状態になると、液晶容量7と保持容量4とに書き込まれた電圧が保持される。液晶は印加電圧に応じて透過率が変化するので、階調表示が可能となる。

【0006】ここで、液晶容量7の他に保持容量4を設けたのは、PチャネルTFT1およびNチャネルTFT2のオフリークによる液晶への印加電圧の低下を防止するとともに、縦方向のクロストークを防止するためである。

【0007】

【発明が解決しようとする課題】ところで、上述した画素構成にあっては、保持容量4に対する画像信号の書込経路が、PチャネルTFT1を経由する場合とNチャネルTFT2を経由する場合とで相違する。すなわち、図27および図28に示すように、PチャネルTFT1を経由する場合には画素電極3を経由して画像信号が保持容量4に書き込まれるのに対して、NチャネルTFT2を経由する場合には、画素電極3を経由することなく、直接、保持容量4に画像信号が書き込まれる。

【0008】図27は、NチャネルTFT2を経由して画像信号を保持容量4に書き込む場合の等価回路を示す回路図であり、図28は、PチャネルTFT1を経由して画像信号を保持容量4に書き込む場合の等価回路を示す回路図である。これら図において、 R_{on} はPチャネルTFT1およびNチャネルTFT2のオン抵抗値、 R_{it0} は画素電極3の等価抵抗値、 C_h は保持容量4の容量値を各々示している。

【0009】これらの図から明らかなようにNチャネルTFT2を経由する場合の時定数は「 $R_{on} \cdot C_h$ 」となる一方、PチャネルTFT1を経由する場合の時定数は「 $(R_{on} + R_{it0}) \cdot C_h$ 」となる。ここで、画素電極8の等価抵抗値 R_{it0} は、オン抵抗値 R_{on} と比較して大きい。

【0010】したがって、PチャネルTFT1から画像信号を書き込む場合には、NチャネルTFT2から画像信号を書き込む場合と比較して、時定数が大きくなる。このため、保持容量4の電圧と画像信号の電圧との差が大きい場合には、PチャネルTFT1経由で書き込む場合に十分に画像信号を書き込むことができず、コントラスト比を大きく取ることができないといった問題があった。

【0011】特に、高精細度な画像を表示させる場合には走査線5a、5bやデータ線6の本数が増加するほど、走査線5a、5bやデータ線6の選択期間が短くなるため、時定数の相違による書き込み不足が重要な問題となる。

【0012】本発明は、上述した事情に鑑みてなされたものであり、その目的は、1画素当たり、2つのトラン

ジスタ素子を用いた構成の特徴を有効に発揮できる電気光学パネル、これを用いた電子機器を提供することにある。

【0013】

【課題を解決するための手段】上記目的を達成するために、本発明の電気光学パネルは、素子基板と、対向基板と、前記素子基板と前記対向基板とに挟持される電気光学物質とを有するものであって、前記素子基板は、複数の対となる走査線と、複数のデータ線と、前記走査線と前記データ線との交差に対応してマトリクス状に配置され、対となる一方の前記走査線と他方の前記走査線との間に各々配置された画素電極と、対となる前記走査線の一方とゲート電極が接続され、前記データ線とソース電極が接続され、前記画素電極とドレイン電極が接続される第1トランジスタ素子と、対となる前記走査線の他方とゲート電極が接続され、前記データ線とソース電極が接続され、前記画素電極とドレイン電極が接続される第2トランジスタ素子と、前記第2トランジスタ素子のドレイン電極と接続される容量素子と、前記第1トランジスタ素子のドレイン電極と前記第2トランジスタ素子のドレイン電極とを接続する配線とを備えることを特徴とする。

【0014】この発明によれば、第1トランジスタ素子のドレイン電極と第2トランジスタ素子のドレイン電極とを接続する配線を備えるから、画素電極と別の経路で第1トランジスタ素子のドレイン電極と第2トランジスタ素子のドレイン電極とが接続されることになる。したがって、両ドレイン電極間の等価抵抗値は、配線を設けない場合と比較して小さくなるから、第1トランジスタ素子を介して保持容量に信号を書き込む場合の時定数を小さくすることができる。

【0015】ここで、前記配線の抵抗値は、前記前記第1トランジスタ素子のドレイン電極と前記第2トランジスタ素子のドレイン電極とを接続する前記画素電極の等価抵抗値より小さいことが望ましい。さらに、低抵抗の観点から、配線としては、アルミニウムや銀、クロムといった高融点材料を用いることが好ましい。このように配線の抵抗値を小さくすることによって、第1トランジスタ素子を介して保持容量に信号を書き込む場合の時定数をより一層小さくすることができる。走査線やデータ線の選択期間が短い場合には、データ線に供給される画像信号を短時間で保持容量に書き込む必要があるが、上述したようにドレイン電極間を短絡させる配線を設けると、第1トランジスタ素子を介して保持容量に画像信号を書き込む場合の時定数を小さくすることができる。

【0016】この結果、短時間に画像信号を十分保持容量に書き込むことができるので、コントラスト比を高く取ることができ、メリハリのある鮮明な画像を表示させることが可能となる。また、走査線やデータ線の本数を増加させて選択期間が短くなっても、そのような選択期

間中に画像信号を確実に保持容量に書き込むことができるので、高精細な画像を高品質で表示することが可能となる。

【0017】さらに、時定数の差に起因して発生する表示ムラを大幅に低減することが可能となる。保持容量への書き込みが容易になることから、データ線に供給する画像信号の信号振幅を小さくすることができる。また、これに伴って、走査線信号の振幅を小さくすることができる。これにより、駆動回路の電源電圧を低くすることができ、消費電力を低減することが可能となる。

【0018】また、前記対向基板には共通電極と、格子状のブラックマトリクスとが形成され、前記配線は、前記ブラックマトリクスと重なるように配置するようにしてもよい。配線の部分は光が透過しないため、単純に配線を設けると開口率が低下することになるが、この発明のようにブラックマトリクスと重複するように配線を配置すれば、開口率を損なうことなく書込時定数を小さくすることができる。

【0019】次に、本発明の電気光学パネルは、素子基板と、対向基板と、前記素子基板と前記対向基板とに挟持される電気光学物質とを有するものであって、前記素子基板は、複数の対となる走査線と、複数のデータ線と、前記走査線と前記データ線との交差に対応してマトリクス状に配置され、対となる一方の前記走査線と他方の前記走査線との間に各々配置された画素電極と、対となる前記走査線の一方とゲート電極が接続され、前記データ線とソース電極が接続される第1トランジスタ素子と、対となる前記走査線の他方とゲート電極が接続され、前記データ線とソース電極が接続される第2トランジスタ素子と、前記第1トランジスタ素子のドレイン電極と前記第2トランジスタ素子のドレイン電極とを接続する配線とを備え、前記第1トランジスタ素子のドレイン電極と前記第2トランジスタ素子のドレイン電極とのうちいずれか一方と前記画素電極とを接続することを特徴とする。

【0020】この発明によれば、第1トランジスタ素子と第2トランジスタ素子とのいずれか一方のドレイン電極と画素電極とが接続されるが、各ドレイン電極を接続する配線を別途設けているので、画素電極に画像信号に応じた電圧を印加することが可能となる。また、ドレイン電極と画素電極との接続を1箇所済ませることが可能となる。

【0021】ここで、前記第2トランジスタ素子のドレイン電極と接続される容量素子を備えるものであってもよい。この場合には、配線を介して画像信号が容量素子に書き込まれることになる。

【0022】また、上述した電気光学パネルにおいて、前記第1および第2トランジスタ素子は、ソース領域、ゲート領域およびドレイン領域からなるポリシリコン層と、前記ポリシリコン層の上に形成されるゲート絶縁膜

とを備え、前記ドレイン電極は、前記ゲート絶縁膜に形成された第 1 コンタクトホールを介して前記ドレイン領域と接続され、前記画素電極と前記ドレイン電極とは第 2 コンタクトホールを介して接続され、前記配線の抵抗値は、前記第 1 コンタクトホールの等価抵抗値または前記第 2 コンタクトホールの等価抵抗値より小さいことができる。この発明によれば、配線の抵抗値を小さくすることによって、第 1 トランジスタ素子を介して保持容量に信号を書き込む場合の時定数をより一層小さくすることができる。

【0023】また、前記第 1 および第 2 トランジスタ素子は、ソース領域、ゲート領域およびドレイン領域からなるポリシリコン層と、前記ポリシリコン層の上に形成されるゲート絶縁膜とを備え、前記ドレイン電極は、前記ゲート絶縁膜に形成された第 1 コンタクトホールを介して前記ドレイン領域と接続され、前記画素電極と前記ドレイン電極とは第 2 コンタクトホールを介して接続され、前記対向基板には共通電極と、格子状のブラックマトリックスとが形成され、前記第 2 コンタクトホールは、前記ブラックマトリックスと重なるように配置されることが望ましい。第 2 コンタクトホールは、電気光学物質との接触状態が画素電極と異なるため、当該領域は電気光学物質に印加される電界の状態が画素電極と相違する。しかし、この発明によれば、第 2 コンタクトホールはブラックマトリックスで覆われることになるので、明るさが異なる当該領域を人の目から隠すことが可能となる。

【0024】また、前記第 1 トランジスタ素子は、P 型の薄膜トランジスタ素子で構成され、前記第 2 トランジスタ素子は、N 型の薄膜トランジスタで構成されるものであってもよい。逆に、前記第 1 トランジスタ素子は、N 型の薄膜トランジスタ素子で構成され、前記第 2 トランジスタ素子は、P 型の薄膜トランジスタで構成されるものであってもよい。

【0025】さらに、前記容量素子は、前記他方の走査線に近接して形成された容量線と、前記第 2 トランジスタ素子のドレイン領域との間で構成されることが好ましい。

【0026】保持容量を構成するには、対向する 2 つの電極が必要とされるが、この例では一方の電極が第 2 トランジスタ素子のドレイン領域と兼用されているので、一方の電極とその電極とドレイン領域とを接続するためのコンタクトを設ける必要がない。したがって、製造過程を簡略化することができるとともに、保持容量を設けるための面積を縮小して開口率を向上させることが可能となる。

【0027】本発明において、前記画素電極は、例えば、透光性導電膜から構成されている。

【0028】また、本発明において、前記画素電極は、透光性導電膜から構成されているとともに、一方の面側

に前記電気光学物質側が位置し、他方の面側には、入射光を反射する反射層を備える場合があり、この場合、前記配線は、前記反射層に対して前記画素電極とは反対側に形成される。前記反射層の前記画素電極とは反対側のスペースは入射光が透過しないが、このスペースに配線を設けることによって、開口率を低下することなく、画像信号の書込時定数を減少させることができる。

【0029】ここで、前記反射層の一部に光を透過する開口部を設ける場合には、前記配線を前記開口部と重ならないように配置することが好ましい。開口部は光を透過するので、この領域に配線を設けると開口率の低下を招くが、本発明によれば、開口率が低下することがない。

【0030】本発明において、前記画素電極は、光反射性導電膜から構成される場合もある。

【0031】また、本発明の電気光学パネルは、前記素子基板に、対となる前記走査線を順次選択する走査線駆動回路と、前記各データ線に画像信号を供給するデータ線駆動回路とを形成するようにしてもよい。

【0032】次に、本発明に係る電子機器は、上述した電気光学パネルを備えたことを特徴とし、例えば、例えば、ビデオカメラに用いられるビューファインダ、携帯電話機、ノート型コンピュータ、ビデオプロジェクタ等が該当する。

【0033】

【発明の実施の形態】以下、本発明の実施形態について図面を参照して説明する。

【0034】＜1：液晶装置の構成＞

＜1-1：液晶装置の全体構成＞まず、電気光学装置の一例として、透過型の液晶装置を例示して説明する。

【0035】図 1 は、液晶装置の電氣的構成を示すブロック図である。この図に示されるように、液晶装置は、液晶表示パネル 100 と、タイミングジェネレータ 200 と、画像信号処理回路 300 とを備えている。また、液晶装置は、液晶表示パネル 100 の表示面と反対側にバックライト（図示せず）を備えており、バックライトからの光を液晶表示パネル 100 で変調して、表示面から射出するようになっている。

【0036】タイミングジェネレータ 200 は、各部で使用されるタイミング信号（必要に応じて後述する）を出力するものである。また、画像信号処理回路 300 内部における相展開回路 302 は、一系統の画像信号 V I D を入力すると、これを N 相（図においては N = 6）の画像信号に展開して並列に出力するものであって、画像信号を N 個並列の信号に変換する直並列変換回路に相当する。ここで、画像信号を N 相に展開する理由は、後述するサンプリング回路によって、スイッチング素子として機能する T F T のソース電極における画像信号の印加時間を長くして、データ線の配線容量に対する書込時間を十分に確保するためである。

【0037】一方、増幅・反転回路304は、相展開された画像信号のうち、反転が必要となるものを反転させ、この後、適宜、増幅して画像信号VID1～VID6として液晶表示パネル100に並列的に供給するものである。なお、反転するか否かについては、一般には、データ信号の印加方式が走査線単位の極性反転であるか、データ信号線単位の極性反転であるか、画素単位の極性反転であるか、画面単位の極性反転であるかに応じて定められ、その反転周期は、1水平走査期間または1垂直走査期間に設定される。

【0038】また、相展開された画像信号VID1～VID6の液晶表示パネル100への供給タイミングは、図1に示される液晶装置では同時とするが、ドットクロックに同期して順次ずらしてもよく、この場合は後述するサンプリング回路にてN相の画像信号を順次サンプリングすればよい。

【0039】<1-2：液晶表示パネルの構成>次に、液晶表示パネル100の概略構成について図2および図3を参照して説明する。ここで、図2は、液晶表示パネル100の構造を説明するための斜視図であり、図3は、液晶表示パネル100の構造を説明するための一部断面図である。これらの図に示されるように、液晶表示パネル100は、画素電極118等が形成されたガラスや半導体等の素子基板101と、共通電極108等が形成されたガラス等の透明な対向基板102とが、スペーサSが混入されたシール材105によって一定の間隙を保って、互いに電極形成面が対向するように貼り合わせられ、この間隙に液晶106が封入された構造となっている。

【0040】また、素子基板101の対向面であってシール材105の外側には、後述する走査線駆動回路130、サンプリング回路140、およびデータ線駆動回路150等の駆動回路群120が形成されている。また、そこには、外部接続電極（図示省略）が形成されて、タイミングジェネレータ200および画像信号処理回路300からの各種信号を入力するようになっている。なお、対向基板102の共通電極108は、素子基板101との貼合部分における4隅のうち、少なくとも1箇所において設けられた導通材によって、素子基板101の外部接続電極から延在する配線と電氣的に導通が図られている。

【0041】ほかに、対向基板102には、液晶表示パネル100の用途に応じて、例えば、第1に、ストライプ状や、モザイク状、トライアングル状等に配列したカラーフィルタが設けられる。第2に、対向基板102には、例えば、クロムやニッケルなどの金属材料や、カーボンやチタンなどをフォトレジストに分散した樹脂ブラックなどのブラックマトリクスが設けられる。第3に、対向基板102には、液晶表示パネル100に光を照射するバックライトが設けられる。特に色光変調の用途の

場合には、カラーフィルタは形成されずにブラックマトリクスが対向基板102に設けられる。

【0042】くわえて、素子基板101および対向基板102の対向面には、それぞれ所定方向にラビング処理された配向膜などが設けられる一方、その各背面側には貼付け又は間隙をもって配向方向に応じた偏光板103、104がそれぞれ設けられる。ただし、液晶108として、高分子中に微小粒として分散させた高分子分散型液晶を用いれば、前述の配向膜、偏光板等が不要となる結果、光利用効率が高まるので、高輝度化や低消費電力化などの点において有利である。

【0043】さて、説明を再び図1に戻して、液晶表示パネル100の電氣的構成について説明する。液晶表示パネル100の素子基板101にあっては、画像表示領域AAが形成されている。そこには、図においてX方向に沿って平行に一对の走査線が複数配列して形成されている。以下の説明では一对の走査線を区別するために、一方を走査線112a、他方を走査線112bと称することにする。また、走査線112a、112bと直交するY方向に沿って平行に複数本（6n本）のデータ線114が形成されている。

【0044】そして、これらの走査線112a、112bとデータ線114とで囲まれる部分が一画素となる。したがって、各画素は、走査線112a、112bとデータ線114との各交差に対応して、マトリクス状に配列することとなる。

【0045】また、各画素は、PチャネルTFT116p、NチャネルTFT116n、液晶容量LC、保持容量HC、および配線Lを備えている。PチャネルTFT116pのゲート電極は走査線112aに接続され、そのソース電極はデータ線114に接続され、そのドレイン電極は画素電極118に接続されている。一方、NチャネルTFT116nのゲート電極は走査線112bに接続され、そのソース電極はデータ線114に接続され、そのドレイン電極は画素電極118に接続されている。

【0046】さらに、保持容量HCの一端はNチャネルTFT116nのドレイン電極に接続され、保持容量HCの他端には、共通電極108と同じ電位となるように共通電極電圧Vcomが給電されるようになっている。

【0047】くわえて、配線Lは、PチャネルTFT116pのドレイン電極とNチャネルTFT116nのドレイン電極とを接続するものである。

【0048】このような画素構成において、当該画素を選択する期間においては、走査線112aにはLレベルの走査線信号が、走査線112bにはHレベルの走査線信号が、データ線114には画像信号が各々供給される。当該期間にあっては、PチャネルTFT116pとNチャネルTFT116nとがともにオン状態となり、液晶容量LCと保持容量HCに対して画像信号を書き込

むことになる。

【0049】次に、駆動回路群120は、走査線駆動回路130、サンプリング回路140、およびデータ線駆動回路150からなり、上述のように素子基板101上に形成されるものである。これらの回路は、画素のTFTと共通の製造プロセスを用いてTFTで形成されている。これにより、集積化や製造コストの面などにおいて有利となる。なお、この例では、データ線駆動回路150とサンプリング回路140を別体として説明するが、両者を一体としてデータ線114を駆動するデータ線駆動回路と捉えてもよいことは勿論である。

【0050】さて、走査線駆動回路130は、シフトレジスタを有し、タイミングジェネレータ200からのYクロック信号YCKや、その反転Yクロック信号YCKB、Y転送開始パルスDY等に基づいて、走査線信号Y1a、Y1b、Y2a、Y2b、...、Yma、Ymb（選択信号）を各走査線112に対して順次出力するものである。

【0051】一方、サンプリング回路140は、6本のデータ線114を1群とし、これらの群に属するデータ線114に対し、サンプリング信号SR1～SRnにしたがって画像信号VID1～VID6をそれぞれサンプリングして供給するものである。サンプリング回路140には、TFTからなるスイッチ141が各データ線114の一端に設けられるとともに、各スイッチ141のソース電極は、画像信号VID1～VID6のいずれかが供給される信号線に接続され、また、各スイッチ141のドレイン電極は1本のデータ線114に接続されている。さらに、各群に属するデータ線114に接続された各スイッチ141のゲート電極は、その群に対応してサンプリング信号SR1～SRnが供給される信号線のいずれかに接続されている。前述したように画像信号VID1～VID6は同時に供給されるので、サンプリング信号S1により同時にサンプリングされることとなる。

【0052】また、データ線駆動回路150は、タイミングジェネレータ200からのXクロック信号XCKや、その反転Xクロック信号XCKB、X転送開始パルスDX等に基づいて、サンプリング信号SR1～SRn（選択信号）を順次出力するものである。

【0053】＜1-3：画素の構成＞次に画素の構成について説明する。図4は、画素の機械的構成を示す平面図であり、図5は、図4におけるA-A'の断面を示す断面図である。

【0054】走査線112a、112bは凸型をしており（図4参照）、各突出部がPチャネルTFT116pとNチャネルTFT116nとのゲート電極となっている。

【0055】また、PチャネルTFT116pにおいて、高濃度不純物領域20中のソース領域23は、コン

タクトホールCH1に形成されたソース電極25を介してデータ線114と接続されている（図5参照）。一方、PチャネルTFT116pのドレイン領域21はコンタクトホールCH2を介してドレイン電極24と接続され、さらに、ドレイン電極24は第2層間絶縁膜33に形成されたコンタクトホールCH3を介して画素電極118に接続されている。PチャネルTFT116pの高濃度不純物領域20は、ポリシリコン膜の上からAl（アルミニウム）、B（ボロン）などのIII族元素のドーパントをイオン注入等によってドーピングすることによって形成される。

【0056】PチャネルTFT116pと同様に、NチャネルTFT116nにおいて、高濃度不純物領域10中のソース領域11は、コンタクトホールCH4に形成されたソース電極15を介してデータ線114と接続されている。一方、NチャネルTFT116nのドレイン領域13はコンタクトホールCH5を介してドレイン電極16と接続され、さらに、ドレイン電極16はコンタクトホールCH6を介して画素電極118に接続されている。NチャネルTFT116nの高濃度不純物領域10は、ポリシリコン膜の上からSb（アンチモン）、As（砒素）、P（リン）などのV族元素のドーパントをイオン注入等によってドーピングすることによって形成される。

【0057】ここで、PチャネルTFT116pとNチャネルTFT116nとについては、チャネル幅をPチャネルTFT116pで広くする、あるいは、チャネル長をNチャネルTFT116nで長くするなどによって、双方のI-V特性のバランスを調整しておくことが好ましい。

【0058】また、PチャネルTFT116pとNチャネルTFT116nについては、セルフアライン構造、オフセットゲート構造、LDD構造のいずれであってもよい。

【0059】次に、容量線160は、走査線112bに近接して配置されている。NチャネルTFT116nの高濃度不純物領域10においてドレイン領域13に続く一部の領域14は、ゲート絶縁膜31を介して容量線160と対向している。なお、この領域14はドレイン領域13の一部と考えてもよい。保持容量HCはこの重複領域に形成されている。このようにドレイン領域13に続く一部の領域14が保持容量HCとなっているので、NチャネルTFT116nのドレイン電極16は保持容量HCと直接接続されている。容量素子是对向する2つの電極とその間に挟まれる誘電体によって構成されるが、この例にあっては、一方の電極とドレイン領域（一部の領域14）とを兼用しているから、一方の電極を別途設ける必要がなくなり、液晶表示パネル100の構成および製造工程を簡略化することができる。

【0060】次に、配線Lは、アルミニウム、銀等の高

融点金属を材料とするものであって、PチャネルTFT 116pのドレイン電極24とNチャネルTFT 116nのドレイン電極16とを接続している。また、ドレイン電極24および16は、第1層間絶縁膜32にコンタクトホールCH2、CH5を形成し、そこにアルミニウム電極を配線することによって形成される。すなわち、配線Lは、ソース電極15、25、およびドレイン電極16、24と同一層間に同時形成されたものである。なお、配線Lは、下層側からチタン層、アルミニウム合金層、窒化チタン層などをこの順に積層した複層構造を有する場合もある。

【0061】また、配線Lは、液晶表示パネル100を対向基板102側から見たとき、そこに設けられる格子状のブラックマトリックスと一部または全部が重なるように配置されている。ブラックマトリックスは、各画素を黒枠で囲むことによって、画像を鮮明に表示させるために用いられるが、当該部分は光を透過しない。一方、配線Lも光を透過しないが、ブラックマトリックスと一部または全部が重なるように配置することによって、開口率の低下を防止することができる。

【0062】ところで、この例の画素電極118は、ITO (Indium Tin Oxide) などの透明導電膜によって構成されている。配線Lは、高融点金属を材料とするので、ITOに比較して単位面積当たりの抵抗値が極めて小さい。したがって、配線Lによって、PチャネルTFT 116pのドレイン電極24と保持容量HCとの間に発生する等価抵抗の値を極めて小さくすることが可能となる。

【0063】また、ドレイン電極16および24とドレイン領域13および21とを接続するコンタクトホールCH5およびCH2は、ポリシリコン層10および20に最初に接続されるので、一般に、第1コンタクトホールと呼ばれる。また、ドレイン電極16および24と画素電極118とを接続するコンタクトホールCH6およびCH3は、一般に、第2コンタクトホールと呼ばれる。第1および第2コンタクトホールでは、異なる種類の材料が接触して導通が図られるので、接触面で抵抗が大きくなる。

【0064】これに対して、配線Lは、ドレイン電極16および24と同一プロセスで一体として形成され、しかも低抵抗材料が用いられる。したがって、配線Lの等価抵抗値は、第1コンタクトホールまたは第2コンタクトホールの抵抗値と比較して小さくなっている。配線Lを設けない場合には、第2コンタクトホールの等価抵抗値によって、画像信号を保持容量HCに書き込む際の時定数が大きくなるが、配線Lを設けることによって、時定数を小さくすることが可能となる。

【0065】図6は、図4に示す画素構造に対応付けて画素の等価回路を示す回路図である。この図において、接続点Z1～Z6は上述したコンタクトホールCH1～

CH6に各々対応している。

【0066】<2:液晶装置の動作>次に、液晶装置の動作について説明する。図7は、液晶装置の動作を示すタイミングチャートである。この図に示すように、Y転送開始パルスDYは1フィールド期間1Fを1周期とするパルスである。走査線駆動回路130は、Y転送開始パルスDYをYクロック信号YCKおよび反転Yクロック信号YCKBに同期して順次シフトして、走査線信号Y1a、Y1b、Y2a、Y2b、...、Yma、Ymbを生成する。走査線信号Y1a、Y2a、...、Ymaは各走査線112aに供給される一方、走査線信号Y1b、Y2b、...、Ymbは各走査線112bに供給される。

【0067】一方、X転送開始パルスDXは、各走査線信号がアクティブとなる1水平走査期間1Hを1周期とするパルスである。データ線駆動回路150は、X転送開始パルスDXをXクロック信号XCKおよび反転Xクロック信号XCKBに同期して順次シフトして、サンプリング信号SR1、SR2、...、SRnを順次生成する。

【0068】例えば、i番目の走査線112a、112bとj番目のブロックに属するデータ線114との交差に対応した画素に画像信号を書き込む場合を考える。この場合、走査線信号Yia、Yibがアクティブとなり、当該画素のPチャネルTFT 116pとNチャネルTFT 116nがともにオン状態となる。この状態において、j番目のサンプリング信号SRjがアクティブにすると、j番目のブロックに対応するサンプリングスイッチ141がオン状態となり、画像信号VID1～VID6が各データ線114に供給され、当該画素の液晶容量LCと保持容量HCに画像信号が書き込まれることになる。

【0069】仮に、従来の技術で説明したように図5に示す配線Lが設けられていないとすれば、保持容量HCへの画像信号の書き込みは次の通りとなる。まず、NチャネルTFT 116nを経由する場合には、データ線114→ソース電極15(コンタクトホールCH4)→ソース領域11→チャネル領域12→ドレイン領域13→保持容量と経路となる。一方、PチャネルTFT 116pを経由する場合には、データ線114→ソース電極25(コンタクトホールCH1)→ソース領域23→チャネル領域22→ドレイン領域21→ドレイン電極24(コンタクトホールCH2)→コンタクトホールCH3→画素電極118→コンタクトホールCH6→ドレイン電極16(コンタクトホールCH5)→ドレイン領域13→保持容量HCといった経路となる。

【0070】すなわち、PチャネルTFT 116pからの書込経路は、NチャネルTFT 116nからの書込経路に比較して、「ドレイン電極24(コンタクトホールCH2)→コンタクトホールCH3→画素電極118→

コンタクトホールCH6→ドレイン電極16(コンタクトホールCH5)」だけ長くなっている。この書込経路の中で最も抵抗値が大きいのは画素電極118である。

【0071】これに対して、本実施形態のように配線Lを設けると、NチャネルTFT116nを経由する場合には上述した経路と同様であるが、PチャネルTFT116pを経由する場合には、データ線114→ソース電極25(コンタクトホールCH1)→ソース領域23→チャネル領域22→ドレイン領域21→ドレイン電極24(コンタクトホールCH2)→配線L→ドレイン電極16→ドレイン領域13→保持容量HCといった経路となる。

【0072】すなわち、PチャネルTFT116pからの書込経路は、NチャネルTFT116nからの書込経路に比較して、「ドレイン電極24(コンタクトホールCH2)→配線L→ドレイン電極16(コンタクトホールCH5)」だけ長くなっている。

【0073】しかしながら、配線Lにはアルミニウムや銀といった低抵抗材料が用いられている。配線Lの抵抗値は、上述したように画素電極118の抵抗値あるいはコンタクト抵抗値と比較して極めて小さいので、本実施形態によれば、PチャネルTFT116pを介して画像信号を書き込む場合の時定数を大幅に小さくすることができる。

【0074】画像信号はデータ線の選択期間中に保持容量HCに書き込む必要があるが、時定数を大幅に小さくすることができるので、選択期間の長さが短くても画像信号を保持容量HCに十分書き込むことができる。したがって、コントラスト比を大きく取ることができ、メリハリのある鮮明な画像表示が可能となる。また、データ線の本数や走査線の本数を増加させて、選択期間の長さが短くてもコントラスト比が低下することがなく、高精度な画像を高品質で表示させることができる。

【0075】さらに、NチャネルTFT116nを経由して書き込む場合と、PチャネルTFT116pを経由して書き込む場合との時定数の差を小さくすることができるので、時定数の差に起因して発生する表示ムラを大幅に低減することが可能となる。

【0076】くわえて、保持容量HCへの書き込みが容易になることから、データ線114に供給する画像信号の信号振幅を小さくすることができる。また、これに伴って、走査線信号Y1a、Y1b、Y2a、Y2b、...、Yma、Ymbの振幅を小さくするとともに、サンプリング信号SR1、SR2、...、SRnの振幅を小さくすることができる。これにより、増幅・反転回路304、走査線駆動回路130、およびデータ線駆動回路150の電源電圧を低くすることができ、消費電力を低減することが可能となる。

【0077】<3:変形例>次に、本実施形態の変形例について説明する。

【0078】<3-1:他の画素構成>上述した実施形態においては、NチャネルTFT116nに隣接して容量線を設け、NチャネルTFT116nのドレイン領域と隣接する領域と容量線との間で保持容量HCを形成するようにしたが、本発明はこれに限定されるものではなく、PチャネルTFT116pに隣接して容量線を設け、そこに保持容量HCを形成するようにしてもよい。図8は、画素の機械的構成の他の例を示す平面図であり、図9は、図8におけるB-B'の断面を示す断面図である。

【0079】図8に示すように、容量線160は、走査線112aに近接して配置されている。そして、図9に示すようにPチャネルTFT116pの高濃度不純物領域20においてドレイン領域21に続く一部の領域24は、ゲート絶縁膜31を介して容量線160と対向している。領域24にはB(ボロン)などのIII族元素のドーパントがイオン注入によってドーブされている。保持容量HCはこの重複領域に形成されている。PチャネルTFT116pのドレイン電極24は保持容量HCと接続されている。

【0080】次に、配線Lは、上述した実施形態と同様にアルミニウム、銀等の高融点金属を材料とするものであって、PチャネルTFT116pのドレイン電極24とNチャネルTFT116nのドレイン電極16とを接続している。すなわち、ソース電極15、25、ドレイン電極16、24、および配線Lは、同一層間に同時形成されたものである。したがって、NチャネルTFT116nのドレイン電極16と保持容量HCとを低い抵抗で接続することが可能となる。

【0081】この例によれば、保持容量HCへの画像信号の書き込みは次の通りとなる。まず、PチャネルTFT116pを経由する場合には、データ線114→ソース電極25(コンタクトホールCH1)→ソース領域23→チャネル領域22→ドレイン領域21→保持容量HCと経路となる。一方、NチャネルTFT116nを経由する場合には、データ線114→ソース電極15(コンタクトホールCH1)→ソース領域23→チャネル領域22→ドレイン領域21→ドレイン電極24(コンタクトホールCH2)→コンタクトホールCH3→画素電極118→コンタクトホールCH6→ドレイン電極16(コンタクトホールCH5)→ドレイン領域13→保持容量HCといった経路となる。

【0082】すなわち、PチャネルTFT116pからの書込経路では、画像信号が保持容量HCに直接書き込まれるのに対して、NチャネルTFT116nからの書込経路では、配線Lを介して画像信号が保持容量HCに直接書き込まれることになる。

【0083】しかしながら、配線Lには低抵抗材料が用いられているので、その抵抗値は画素電極118の抵抗値と比較して極めて小さい。したがって、上述した実施

形態において P チャネル TFT 116p を介して書き込む場合と同様に、N チャネル TFT 116n を介して画像信号を書き込む場合の時定数を大幅に小さくすることができる。この結果、応用例においても、コントラスト比を大きく取ることができ、メリハリのある鮮明な画像表示が可能となる。また、データ線の本数や走査線の本数を増加させて、選択期間の長さが短くなってもコントラスト比が低下することがなく、高精度な画像を高品質で表示させることができる。

【0084】<3-2: 反射型・半透過反射型の液晶装置> 上述した実施形態では、透過型の液晶装置について説明したが、本発明は、これに限定されるものではなく、反射型の液晶装置や半透過反射型の液晶装置に適用することができる。

【0085】図 10 は反射型の液晶装置における画素の機械的構成の一例を示す平面図であり、図 11 は、半透過反射型の液晶装置における画素の機械的構成の一例を示す平面図であり、図 12 は、図 10 の C-C' の断面および図 11 の D-D' の断面を示す断面図である。

【0086】まず、反射型の液晶装置にあっては、第 2 層間絶縁膜 33 の上にアルミニウムや銀などを材料とする反射層 119 を形成し、さらに、反射層 119 を覆うように ITO 膜（透明導電膜）からなる画素電極 118 を形成する。反射層 119 および画素電極 118 は、図 11 などの平面図では省略してあるが、上述した実施形態のように平板状ではなく、凹凸を持たせてある。これにより、入射光を乱反射させ、一様な表示光を得ることが可能となる。このような凹凸は、下層側において、感光性樹脂層で所定の凹凸パターンを形成した後、その表面を上層側感光性樹脂層で覆うことにより、形成でき

る。

【0087】開口率を高めるためには、反射層 119 の面積をなるべく広くする必要がある。そこで、この例では、反射層 119 の下側に配線 L を形成してある。反射層 119 の下側は、入射光が届かないデッドスペースとなるが、そのようなスペースに配線 L を設けることにより、開口率を損なうことなく、画像信号を保持容量に書き込む際の時定数を下げることが可能となる。

【0088】次に、半透過反射型の液晶装置にあっては、図 11 に示すように反射層 119 の一部に開口部 119' が形成されている。開口部 119' は、バックライトの光を透過させるために設けられている。配線 L は光を透過しないので、仮に、開口部 119' を横切るように配線 L を形成すると、表示光の利用効率が低下してしまう。そこで、この例にあっては、開口部 119' を避けて配線 L を配置してある。これにより、開口率を損なうことなく、画像信号を保持容量に書き込む際の時定数を下げることが可能となる。

【0089】図 13 は、反射型の液晶装置において反射板と画素電極を兼ねた場合の画素の機械的構成の一例を

示す平面図である。図 14 は、図 13 の C1-C1' の断面を示す断面図である。

【0090】全反射型の液晶装置にあっては、図 13 および図 14 に示すように、第 2 層間絶縁膜 33 の上にアルミニウムや銀などの光反射性導電膜で形成した反射層 119 自身を反射性画素電極として用いてもよい。また、反射層 119 に凹凸を付与すれば、入射光を乱反射させ、一様な表示光を得ることが可能となる。このような構成の場合も、反射層 119 の下側に配線 L を設けることにより、開口率を損なうことなく、画像信号を保持容量に書き込む際の時定数を下げることが可能となる。

【0091】なお、全反射型、あるいは半透過反射型の液晶装置において、図 10 ないし図 14 に示したものでは、画素電極 118 や反射層 119 とデータ線との間に隙間が存在しているが、画素電極の端部がデータ線に対して平面的に重なっている構成であってもよい。

【0092】<3-3: コンタクトホール省略> 上述した透過型、反射型、または半透過反射型の液晶装置において、コンタクトホール CH3 または CH6 のいずれか一方を省略してもよい。図 15 は反射型の液晶装置においてコンタクトホール CH3 を省略した場合の画素の機械的構成の一例を示す平面図であり、図 16 は、図 15 の E-E' の断面を示す断面図である。図 17 は、図 15 に示す画素構造に対応付けて画素の等価回路を示す回路図である。

【0093】コンタクトホール CH3 および CH6 は、N チャネル TFT 116n のドレイン電極 16 および P チャネル TFT 116p のドレイン電極 24 を画素電極 118 に接続するために設けられるが、各ドレイン電極 16、24 のうちいずれか一方が画素電極 118 に接続されていれば、液晶容量 LC に画素信号を書き込むことが可能である。

【0094】また、コンタクトホール CH3 および CH6 は、画素電極 118 と形状等が異なるため、それらが形成される領域では、液晶に印加される電界の状態が画素電極 118 の領域と相違する。このため、コンタクトホール CH3 および CH6 が形成される領域は、ブラックマトリクスで覆い隠す必要があるため、開口率が低下してしまう。

【0095】この例では、コンタクトホール CH3 を省略するので、開口率を向上させることが可能となる。この場合、コンタクトホール CH3 を省略すると、N チャネル TFT 116n のドレイン電極 16 と、P チャネル TFT 116p のドレイン電極 24 は、画素電極 118 を介しては接続されないことになる。しかし、ドレイン電極 16 および 24 は、低抵抗材料で構成される配線 L によって接続されているので、コンタクトホール CH3 を省略しても、画像信号を保持容量 HC に書き込む際の時定数は殆ど大きくならない。

【0096】図 18 は、反射型の液晶装置において反射

板と画素電極を兼ね、かつ、コンタクトホールCH3を省略した場合の画素の機械的構成の一例を示す平面図である。図19は、図18のE1-E1'の断面を示す断面図である。

【0097】全反射型の液晶装置にあっては、図18および図19に示すように、第2層間絶縁膜33の上にアルミニウムや銀などの光反射性導電膜で形成した反射層119自身を反射性画素電極として用いてもよい。また、反射層119に凹凸を付与すれば、入射光を乱反射させ、一様な表示光を得ることが可能となる。このよう

な構成の場合も、反射層119の下側に配線Lを設けることにより、開口率を損なうことなく、画像信号を保持容量に書き込む際の時定数を下げることが可能となる。【0098】このように構成した場合も、コンタクトホールCH3を省略すれば、開口率を向上させることが可能となる。この場合、NチャネルTFT116nのドレイン電極16およびPチャネルTFT116pのドレイン電極24は画素電極118を介しては接続されないことになるが、ドレイン電極16および24は、低抵抗材料で構成される配線Lによって接続されているので、コン

タクトホールCH3を省略しても、画像信号を保持容量HCに書き込む際の時定数は殆ど大きくならない。【0099】<3-4:コンタクトホールおよび保持容量の省略>さらに、いずれか一方のコンタクトホールCH3またはCH6を省略する場合には、保持容量を省略してもよい。図20は反射型の液晶装置においてコンタクトホールCH3と保持容量HCを省略した場合の画素の機械的構成の一例を示す平面図であり、図21は、図20のF-F'の断面を示す断面図である。図22は、図20に示す画素構造に対応付けて画素の等価回路を示す回路図である。

【0100】この例では、保持容量HCがないので、画素信号を保持容量HCへ書き込む点からの利点はない。しかし、配線Lを用いてドレイン電極16および24を接続しているので、いずれか一方のコンタクトホールCH3またはCH6を省略することができる。

【0101】上述したようにコンタクトホールCH3およびCH6が形成される領域は、液晶に印加される電界のありようが画素電極118と相違するので、当該領域をブラックマトリックスで覆い隠す必要があるが、この例では、コンタクトホールCH3を省略するので、開口率を向上させることが可能となる。

【0102】<4:電子機器>次に、上述した液晶装置を各種の電子機器に適用される場合について説明する。

【0103】<4-1:プロジェクタ>まず、この液晶装置をライトバルブとして用いたプロジェクタについて説明する。図23は、プロジェクタの構成例を示す平面図である。

【0104】この図に示されるように、プロジェクタ1100内部には、ハロゲンランプ等の白色光源からなる

ランプユニット1102が設けられている。このランプユニット1102から射出された投射光は、ライトガイド1104内に配置された4枚のミラー1106および2枚のダイクロイックミラー1108によってRGBの3原色に分離され、各原色に対応するライトバルブとしての液晶パネル1110R、1110Bおよび1110Gに入射される。

【0105】液晶パネル1110R、1110Bおよび1110Gの構成は、上述した液晶パネル100と同等であり、画像信号処理回路(図示省略)から供給されるR、G、Bの原色信号でそれぞれ駆動されるものである。そして、これらの液晶パネルによって変調された光は、ダイクロイックプリズム1112に3方向から入射される。このダイクロイックプリズム1112においては、RおよびBの光が90度に屈折する一方、Gの光が直進する。したがって、各色の画像が合成される結果、投射レンズ1114を介して、スクリーン等にカラー画像が投写されることとなる。

【0106】ここで、各液晶パネル1110R、1110Bおよび1110Gによる表示像について着目すると、液晶パネル1110Gによる表示像は、液晶パネル1110R、1110Bによる表示像に対して左右反転することが必要となる。

【0107】なお、液晶パネル1110R、1110Bおよび1110Gには、ダイクロイックミラー1108によって、R、G、Bの各原色に対応する光が入射するので、カラーフィルタを設ける必要はない。

【0108】<4-2:モバイル型コンピュータ>次に、この液晶パネルを、モバイル型のパーソナルコンピュータに適用した例について説明する。図24は、このパーソナルコンピュータの構成を示す斜視図である。図において、コンピュータ1200は、キーボード1202を備えた本体部1204と、液晶表示ユニット1206とから構成されている。この液晶表示ユニット1206は、先に述べた液晶表示パネル100の背面にバックライトを付加することにより構成されている。

【0109】<4-3:携帯電話機>さらに、この液晶表示パネル100を、携帯電話機に適用した例について説明する。図25は、この携帯電話機の構成を示す斜視図である。図において、携帯電話機1300は、複数の操作ボタン1302とともに、透過型の液晶パネル1005を備えるものである。この透過型の液晶パネル1005にあっては、必要に応じてその前面にフロントライトが設けられる。

【0110】なお、図23~図25を参照して説明した電子機器の他にも、液晶テレビや、ビューファインダ型、モニタ直視型のビデオテープレコーダ、カーナビゲーション装置、ページャ、電子手帳、電卓、ワードプロセッサ、ワークステーション、テレビ電話、POS端末、タッチパネルを備えた装置等などが挙げられる。そし

て、これらの各種電子機器に適用可能なのは言うまでもない。

【0 1 1 1】

【発明の効果】以上説明したように本発明の電気光学パネルによれば、第 1 トランジスタ素子と第 2 トランジスタ素子の各ドレイン電極を短絡させる配線を設けたので、画像信号を保持容量へ書き込む際の時定数を減少させることができ、コントラスト比を高く取ることができる。

【図面の簡単な説明】

【図 1】本発明に係る液晶装置の全体構成を示すブロック図である。

【図 2】液晶表示パネルの構造を説明するための斜視図である。

【図 3】液晶表示パネルの構造を説明するための一部断面図である。

【図 4】同パネルにおける画素の機械的構成の一例を示す平面図である。

【図 5】図 4 における A - A ' の断面を示す断面図である。

【図 6】図 4 に示す画素構造に対応付けて画素の等価回路を示す回路図である。

【図 7】同液晶装置の動作を示すタイミングチャートである。

【図 8】応用例に係わる画素の機械的構成の他の例を示す平面図である。

【図 9】図 8 における B - B ' の断面を示す断面図である。

【図 1 0】反射型の液晶装置における画素の機械的構成の一例を示す平面図である。

【図 1 1】半透過反射型の液晶装置における画素の機械的構成の一例を示す平面図である。

【図 1 2】図 1 0 の C - C ' の断面および図 1 1 の D - D ' の断面を示す断面図である。

【図 1 3】反射型の液晶装置において反射板と画素電極を兼ねた場合の画素の機械的構成の一例を示す平面図である。

【図 1 4】図 1 3 の C 1 - C 1 ' の断面を示す断面図である。

【図 1 5】反射型の液晶装置においてコンタクトホールを 1 つ、省略した場合の画素の機械的構成の一例を示す*

*平面図である。

【図 1 6】図 1 5 の E - E ' の断面を示す断面図である。

【図 1 7】図 1 5 に示す画素構造に対応付けて画素の等価回路を示す回路図である。

【図 1 8】反射型の液晶装置において反射板と画素電極を兼ね、かつ、コンタクトホールを 1 つ、省略した場合の画素の機械的構成の一例を示す平面図である。

【図 1 9】図 1 8 の E 1 - E 1 ' の断面を示す断面図である。

【図 2 0】図 2 0 は反射型の液晶装置においてコンタクトホールと保持容量を省略した場合の画素の機械的構成の一例を示す平面図である。

【図 2 1】図 2 0 の F - F ' の断面を示す断面図である。

【図 2 2】図 2 0 に示す画素構造に対応付けて画素の等価回路を示す回路図である。

【図 2 3】同液晶装置を適用した電子機器の一例たるビデオプロジェクタの断面図である。

【図 2 4】同液晶装置を適用した電子機器の一例たるパーソナルコンピュータの構成を示す斜視図である。

【図 2 5】同液晶装置を適用した電子機器の一例たる携帯電話の構成を示す斜視図である。

【図 2 6】従来の液晶装置に用いられる素子基板の一画素に相当する回路を示す回路図である。

【図 2 7】同画素において、Nチャネル T F T 2 を経由して画像信号を保持容量に書き込む場合の等価回路を示す回路図である。

【図 2 8】同画素において、Pチャネル T F T 1 を経由して画像信号を保持容量に書き込む場合の等価回路を示す回路図である。

【符号の説明】

1 1 2 a , 1 1 2 b . . . 走査線

1 1 4 . . . データ線

1 1 8 . . . 画素電極

1 1 6 p , 1 1 6 n . . . T F T (第 1 トランジスタ素子、第 2 トランジスタ素子)

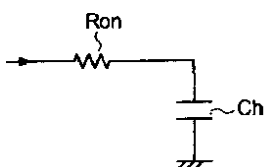
L . . . 配線

H C . . . 保持容量

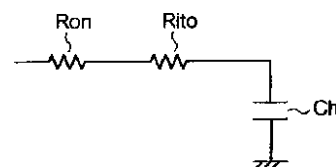
1 6 0 , 1 6 0 . . . 容量線

1 5 0 . . . データ線駆動回路

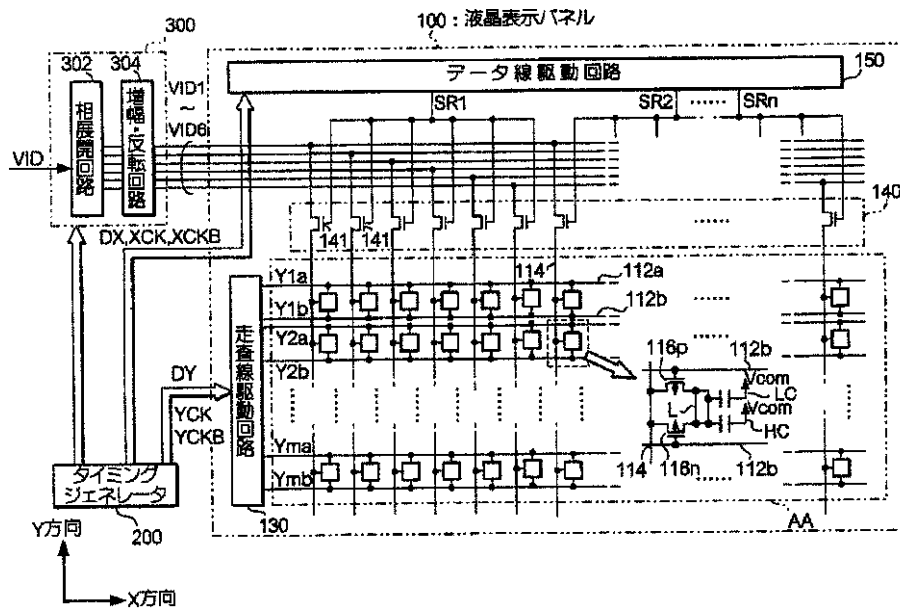
【図 2 7】



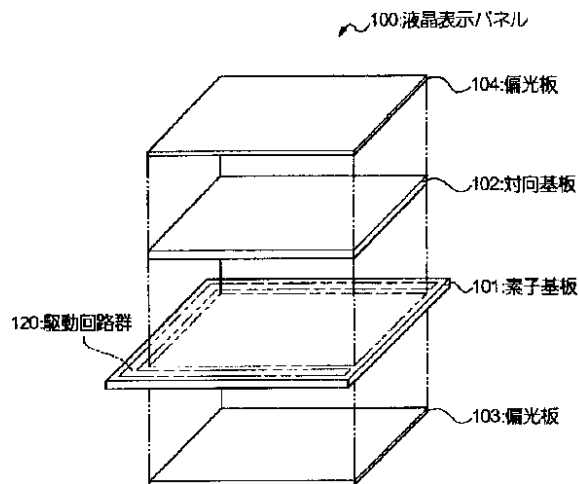
【図 2 8】



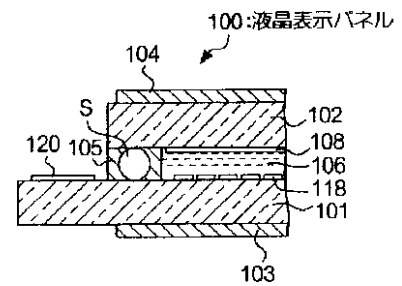
【図1】



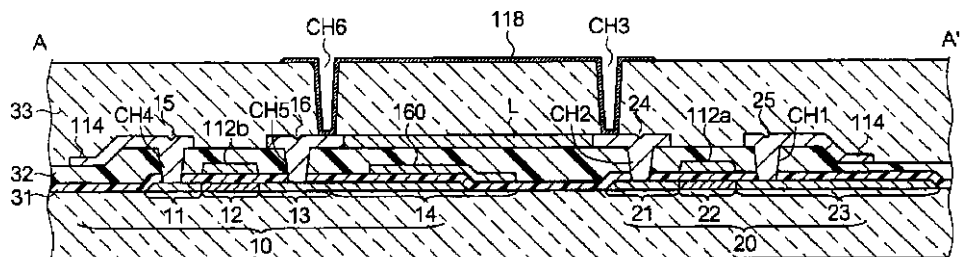
【図2】



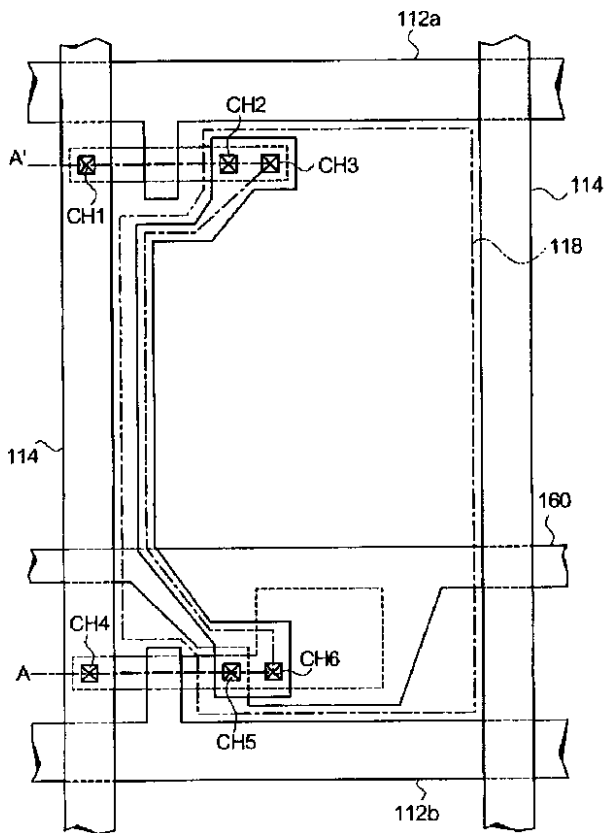
【図3】



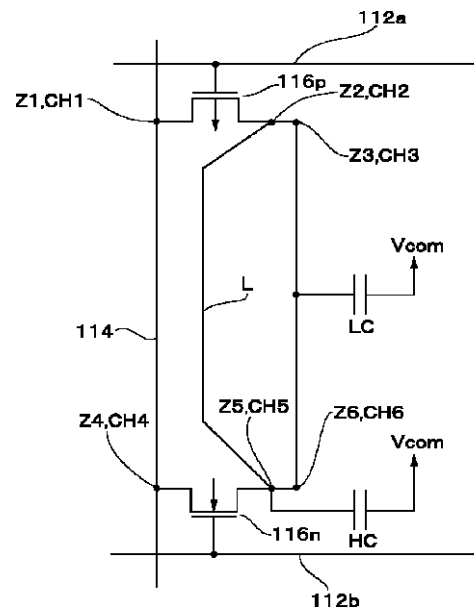
【図5】



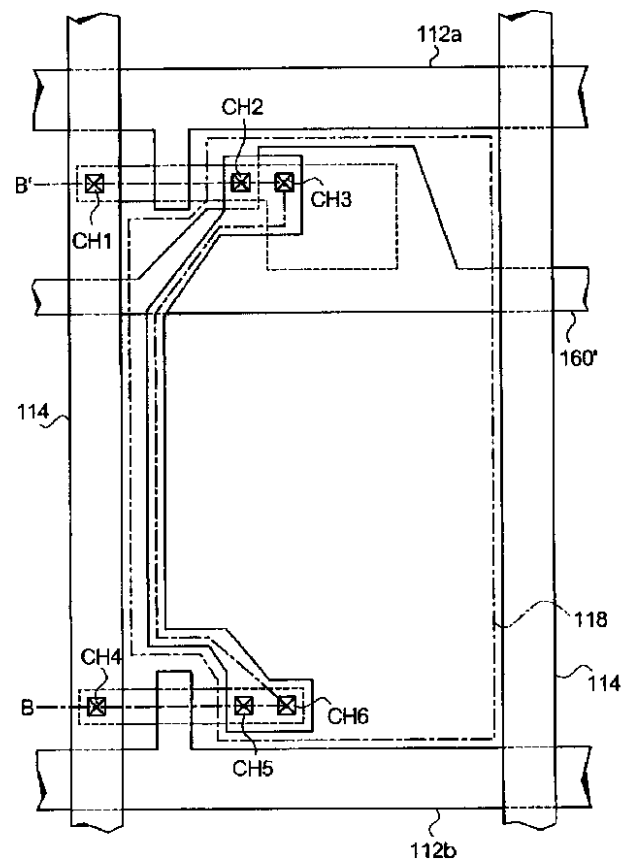
【図4】



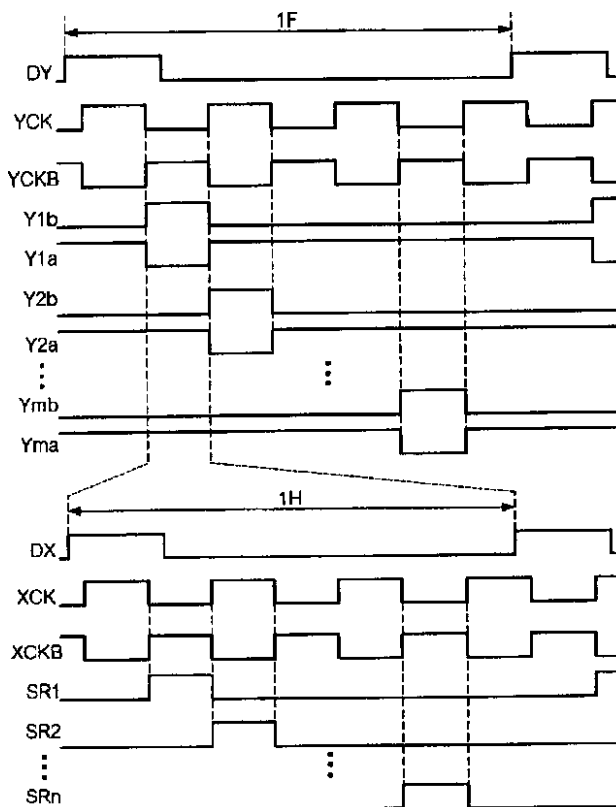
【図6】



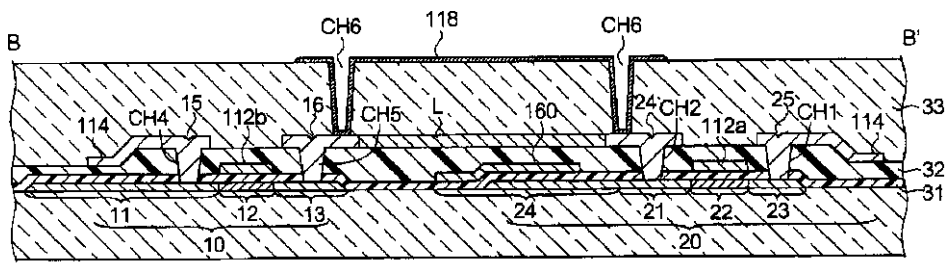
【図8】



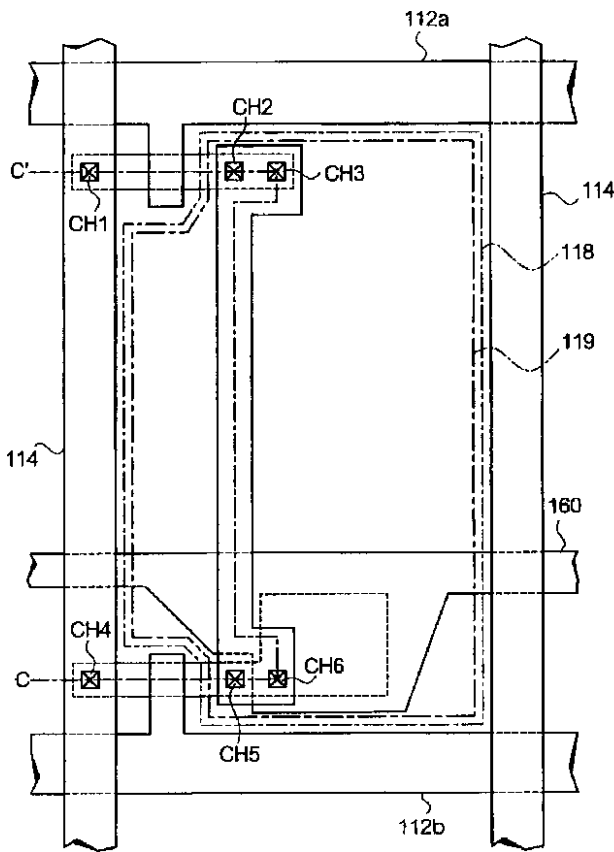
【図7】



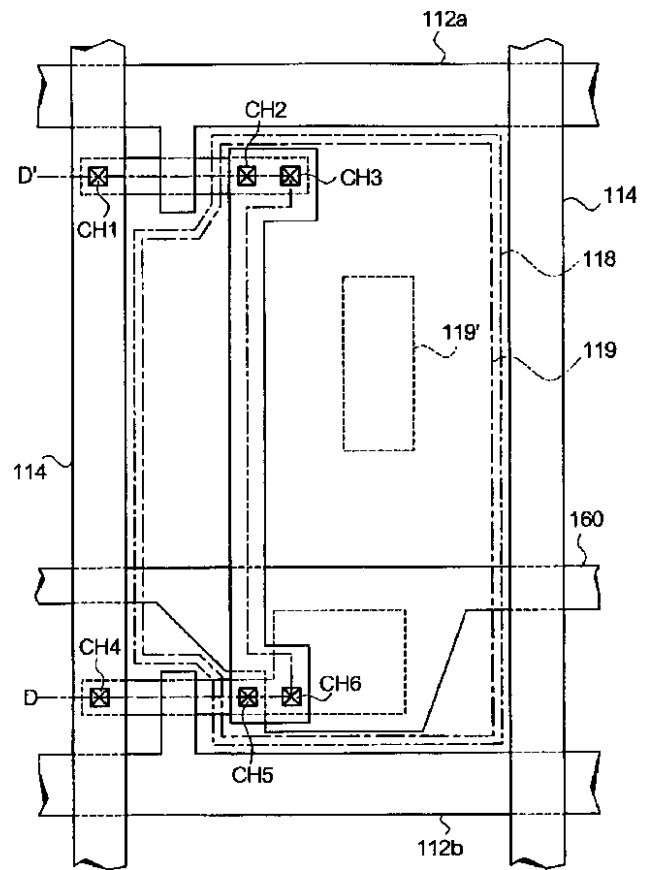
【図9】



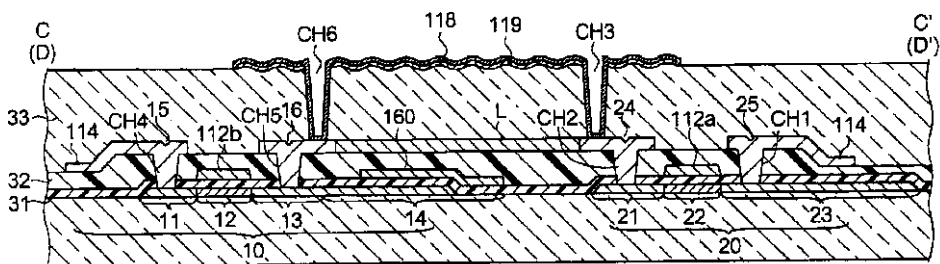
【図10】



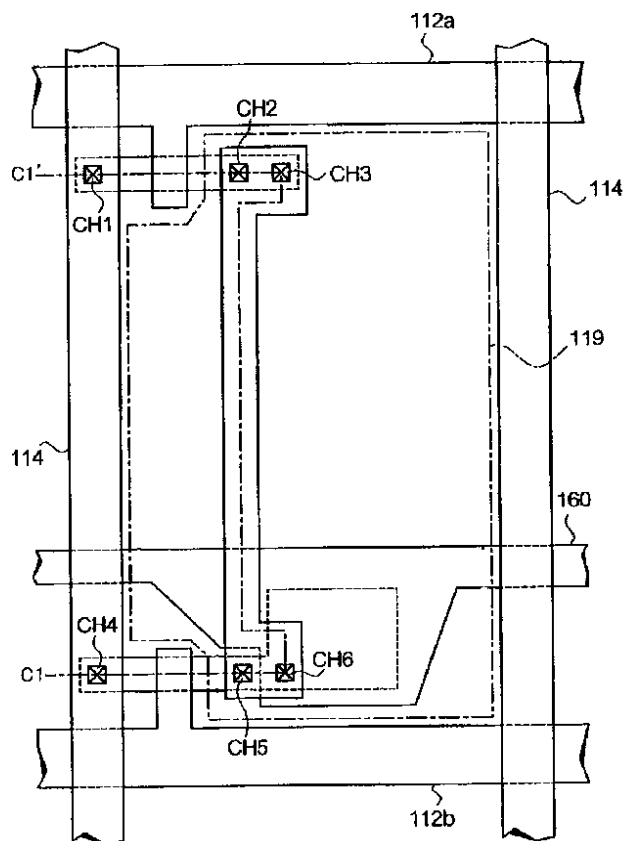
【図11】



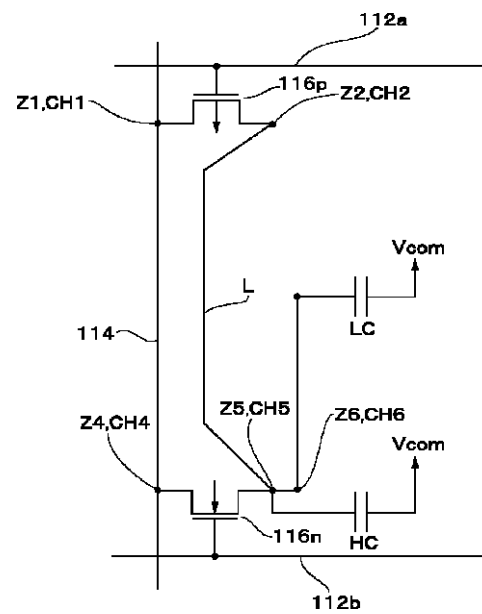
【図12】



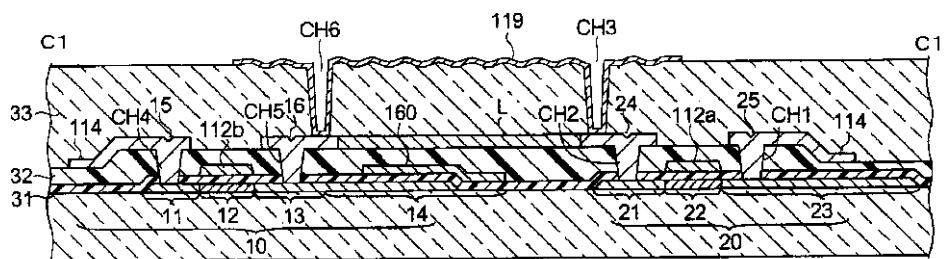
【図13】



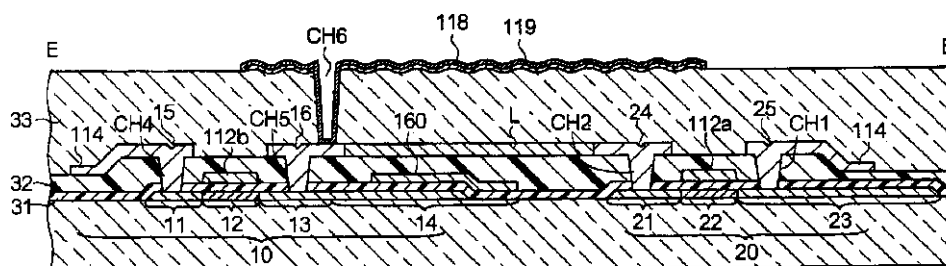
【図17】



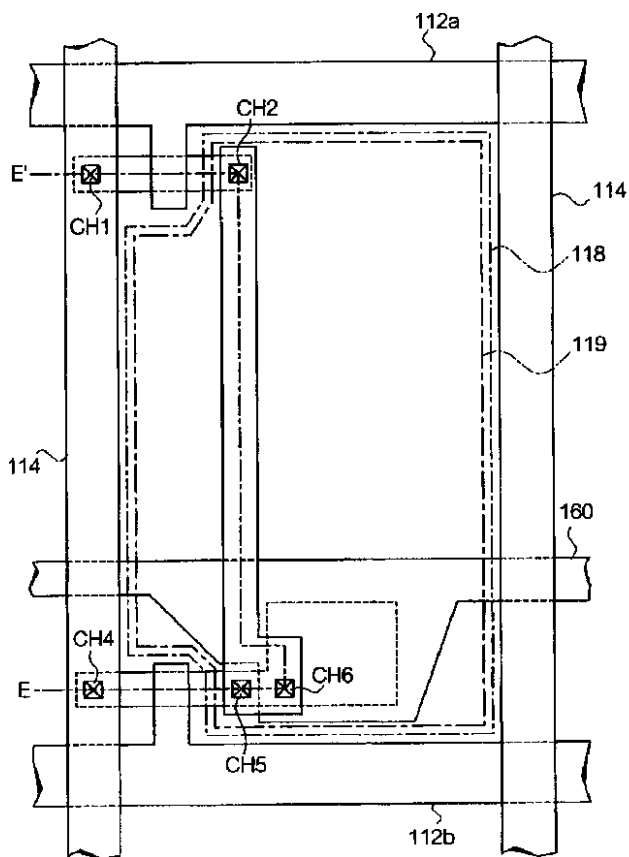
【図14】



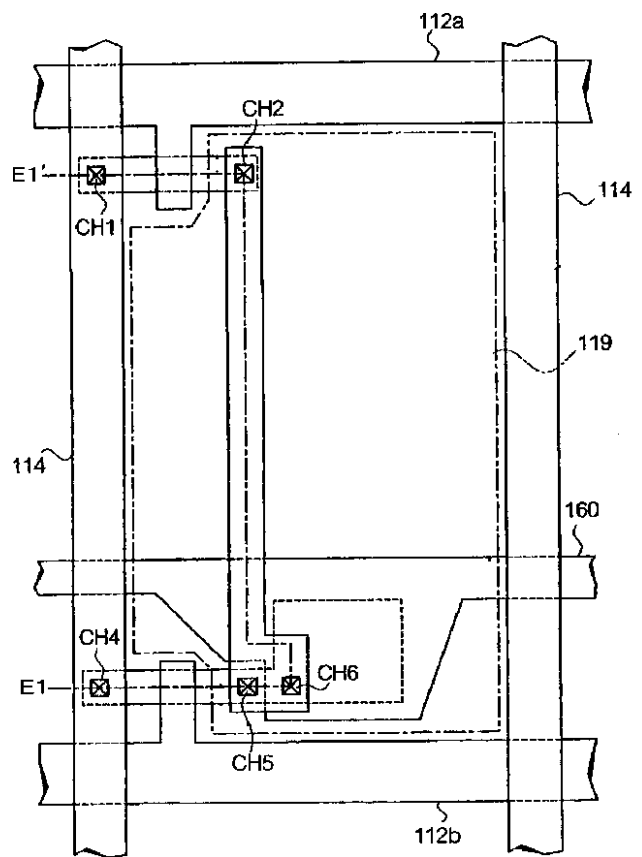
【図16】



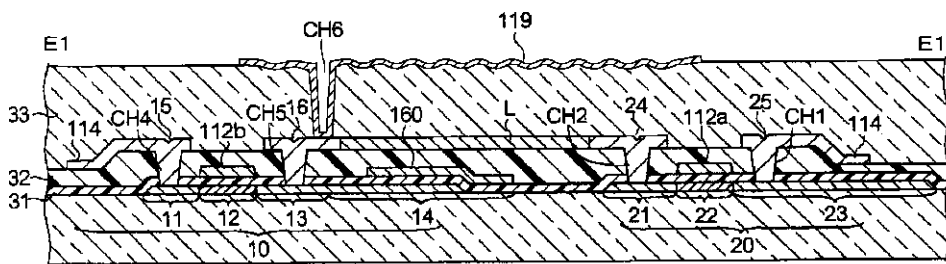
【図15】



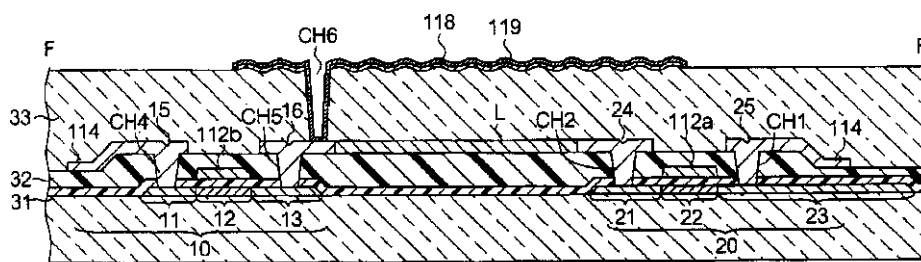
【図18】



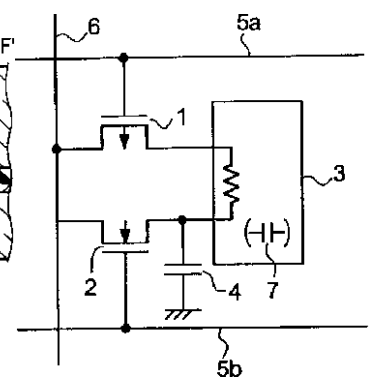
【図19】



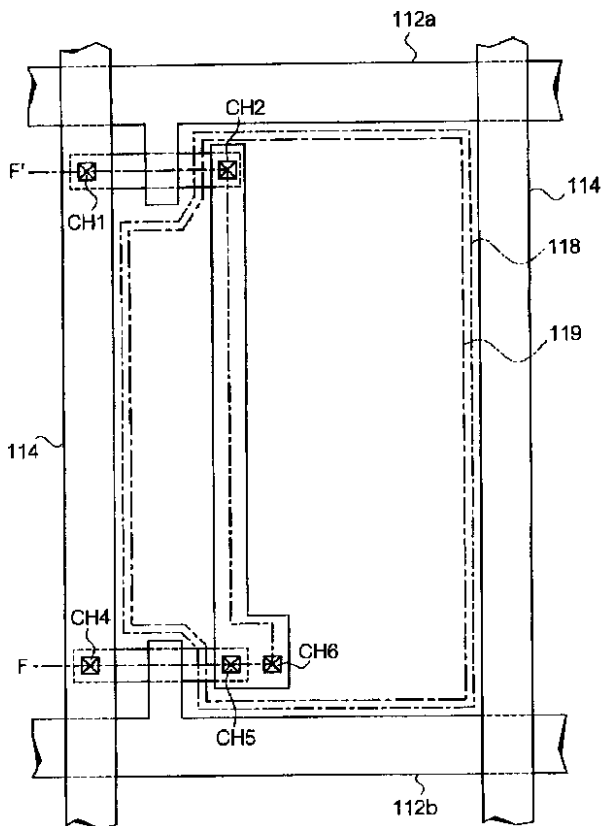
【図21】



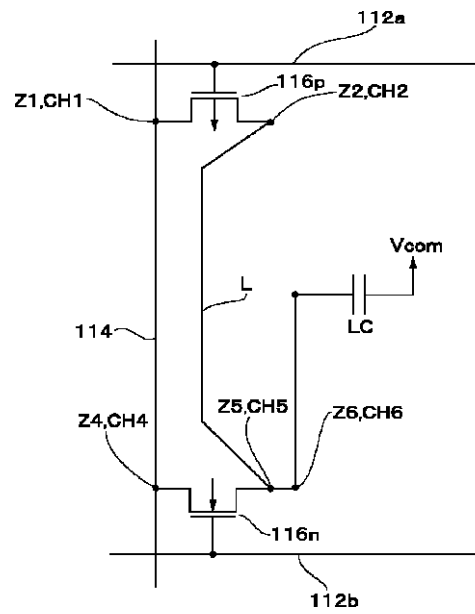
【図26】



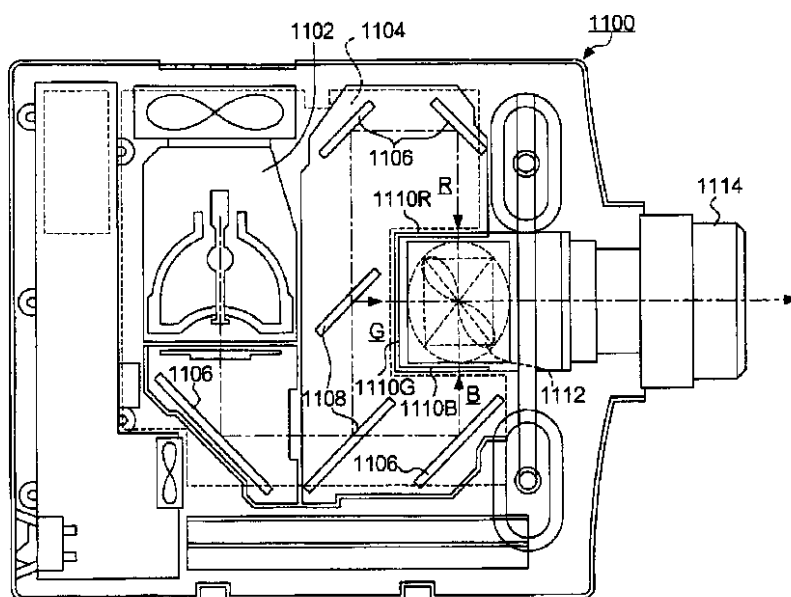
【図20】



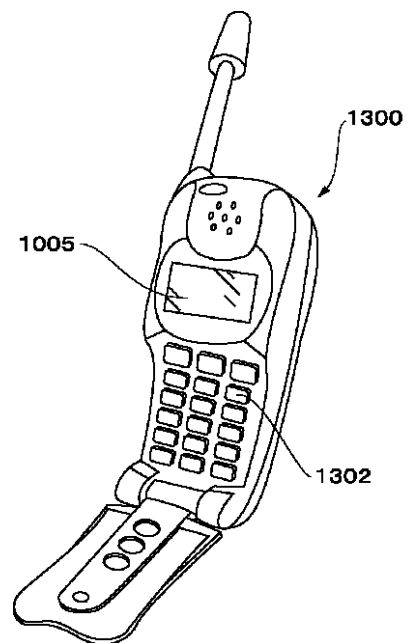
【図22】



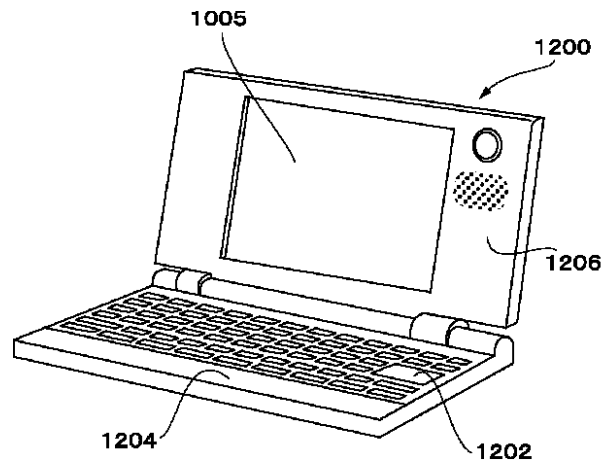
【図23】



【図25】



【図 2 4】



フロントページの続き

(51)Int.Cl.⁷

識別記号

F I

H 0 1 L 29/78

テ-マコ-ド^{*} (参考)

6 1 2 B

6 1 3 A

F タ-ム(参考) 2H092 HA06 JA24 JA46 JB42 KA18
 KB04 NA01 NA23 NA26 NA28
 PA06 PA09
 5C094 AA03 AA13 BA03 BA43 CA19
 EA04 EA07
 5F110 AA03 BB02 BB04 CC02 DD02
 GG02 GG13 HJ01 HJ13 HL01
 HL02 HL03 HL04 HL06 HL07
 HL12 HM14 HM15 NN03 NN27
 NN40 NN44 NN46 NN47 NN73
 NN78 QQ11

专利名称(译)	电光面板和电子设备		
公开(公告)号	JP2002244157A	公开(公告)日	2002-08-28
申请号	JP2001328325	申请日	2001-10-25
[标]申请(专利权)人(译)	精工爱普生株式会社		
申请(专利权)人(译)	精工爱普生公司		
[标]发明人	藤田 伸		
发明人	藤田 伸		
IPC分类号	G02F1/1368 G02F1/1343 G02F1/136 G02F1/1362 G09F9/30 G09F9/35 G09G3/36 H01L29/786		
CPC分类号	G02F1/13624 G02F1/136213 G09G3/3659		
FI分类号	G02F1/1368 G02F1/1343 G09F9/30.338 G09F9/35 H01L29/78.612.C H01L29/78.612.B H01L29/78.613.A		
F-TERM分类号	2H092/HA06 2H092/JA24 2H092/JA46 2H092/JB42 2H092/KA18 2H092/KB04 2H092/NA01 2H092/NA23 2H092/NA26 2H092/NA28 2H092/PA06 2H092/PA09 5C094/AA03 5C094/AA13 5C094/BA03 5C094/BA43 5C094/CA19 5C094/EA04 5C094/EA07 5F110/AA03 5F110/BB02 5F110/BB04 5F110/CC02 5F110/DD02 5F110/GG02 5F110/GG13 5F110/HJ01 5F110/HJ13 5F110/HL01 5F110/HL02 5F110/HL03 5F110/HL04 5F110/HL06 5F110/HL07 5F110/HL12 5F110/HM14 5F110/HM15 5F110/NN03 5F110/NN27 5F110/NN40 5F110/NN44 5F110/NN46 5F110/NN47 5F110/NN73 5F110/NN78 5F110/QQ11 2H192/AA24 2H192/BC31 2H192/BC63 2H192/BC72 2H192/BC74 2H192/BC82 2H192/CB02 2H192/CB14 2H192/CB24 2H192/CC02 2H192/CC24 2H192/DA12 2H192/DA43 2H192/DA44 2H192/EA22 2H192/EA43 2H192/EA68 2H192/FB02 2H192/JB02		
优先权	2000380517 2000-12-14 JP		
其他公开文献	JP3520417B2		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种电光面板，该电光面板能够有效地展现每个像素使用两个晶体管元件的配置的特性，并提供使用该面板的电子设备。像素包括其栅极连接到扫描线112a的P沟道TFT 116p和其栅极连接到扫描线112b的N沟道TFT 116n。当导通时，P沟道TFT 116p和N沟道TFT 116n将提供给数据线114的图像信号的电压写入保持电容器HC和液晶电容器LC。存储电容器HC连接到N沟道TFT 116n的漏极。存储电容器HC通过布线L连接到P沟道TFT 116p的漏极。由于布线L由具有低电阻的材料制成，因此可以减小当经由P沟道TFT 116p写入存储电容器HC时的时间常数。

